湖南工程學院

课 程 设 计 报 告

课程名称 数字规律课程设计

课题 任务一 16 选 1 选择器设计

课题 任务二 JK 触发器的设计

专　　业 网络工程

班　　级 1001

学　　号 06

姓　　名 陈国栋

指导教师 刘洞波　陈华光　陈多

2011 年 12 月 31 日

湖南工程學院

课程设计任务书

课程名称　数字规律课程设计

课题任务一　16 选 1 选择器设计

课题任务二　JK 触发器的设计

专业班级　网络工程

学生姓名

学　　号

指导教师

审　　批

任务书下达日期：　2011 年 12 月 14 日

任务完成日期：　2011 年 12 月 31 日

前言

Quartus® II design 是最高级和简单的，用于 system-on-a-programmable-chip (SOPC)的设计环境。 QuartusII design 供给完善的 timing closure 和 LogicLock 基于块的设计流程。QuartusII design 是唯一一个包括以 timing closure 和 基于块的设计流为根本特征的 programmable logic device (PLD)的软件。 Quartus II 设计软件改进了性能、提升了功能性、解决了潜在的设计延迟等，在工业领域领先供给 FPGA 与mask-programmed devices 开发的统一工作流程

Quartus II 是 Altera 公司的综合性 PLD 开发软件，支持原理图、 VHDL 、VerilogHDL 以及 AHDL〔Altera Hardware Description Language 〕等多种设计输入形式，内嵌自有的综合器以及仿真器，可以完成从设计输入到硬件配置的完整 PLD 设计流程。



Quartus II 可以在 XP、Linux 以及 Unix上使用，除了可以使用 Tcl 脚本完成设计流程外，供给了完善的用户图形界面设计方式。具有运行速度快，界面统一，功能集中，易学易用等特点。

Quartus II 支持 Altera 的 IP 核，包含了 LPM/MegaFunction 宏功能模块库，使用户可以充分利用成熟的模块，简化了设计的复杂性、加快了设计速度。对第三方 EDA 工具的良好支持也使用户可以在设计流程的各个阶段使用生疏的第三方 EDA 工具。

此外， Quartus II 通过和 DSP Builder 工具与 Matlab/Simulink 相结合，可以便利地实现各种 DSP 应用系统；支持 Altera 的片上可编程系统〔 SOPC〕开发，集系统级设计、 嵌入式软件开发 、可编程规律设计于一体，是一种综合性的开发平台

Maxplus II 作为 Altera 的上一代 PLD 设计软件，由于其精彩的易用性而得到了广泛的应用。目前 Altera 已经停顿了对 Maxplus II 的更支持，Quartus II 与之相比不仅仅是支持器件类型的丰富和图形界面的转变。 Altera 在 Quartus II 中包含了很多诸如 SignalTap II 、Chip Editor 和 RTL Viewer 的设计关心工具，集成了 SOPC 和 HardCopy 设计流程，并且继承了 Maxplus II 友好的图形界面及简便的使用方法。

Altera Quartus II 作为一种可编程规律的设计环境 ，由于其强大的设计力量和直观易用的接口，越来越受到 数字系统设计 者的欢送。

Altera 的 Quartus II 可编程规律软件属于第四代 PLD 开发平台。该平台支持一个工作组环境下的设计要求，其中包括支持基于 Internet 的协作设计。 Quartus 平台与 Cadence 、ExemplarLogic 、 MentorGraphics 、Synopsys 和 Synplicity 等 EDA供给商的开发工具相兼容。 改进了软件的 LogicLock 模块设计功能，增加 了 FastFit 编译选项，推动了网络编辑性能，而且提升了调试力量。支持 MAX7000/MAX3000 等乘积项器件

一、设计内容：

本课程是一门专业实践课程，学生必修的课程。其目的和作用是使学生能将已学过的数字电子系统设计、VHDL 程序设计等学问综合运用于电子系统的设计中，把握运用 VHDL 或者 Verilog HDL 设计电子系统的流程和方法，承受 Quartus II 等工具独立应当完成 2 个设计题目的设计、仿真与测试。加强和培育学生对电子系统的设计力量,培育学生理论联系实际的设计思想，训练学生综合运用数字规律课程的理论学问的力量，训练学生应用 Quartus II 进展实际数字系统设计与验证工作的力量，同时训练学生进展芯片编程和硬件试验的力量。

题目:16 选 1 选择器电路设计；

JK 触发器的设计;

二、试验目的：

（1）把握根本规律电路的设计原理及其设计方法。

（2）生疏 CPLD 应用设计及 EDA 软件的使用。

(3) 学会使用计算机组成试验箱中的可编程规律器件。

三、设计要求：

课程设计报告标准

课程设计报告应包含如下几个局部

1) 功能描述

说明设计器件的功能，包括真值表〔功能表〕，函数表达式，规律电路图

2) 具体设计

依据 VHDL 语言开发流程写出整个开发过程，可以依据如下步骤适当导出程序，程序界面截图到课程设计报告对应模块。

基本设计流程如下：

- 工程管理——新建工程、工程管理；
- 源文件输入——VHDL/Verilog 程序或原理图的设计，Altera 内嵌模块的调用（对 CPLD 而言，只有 MAXII 还有内嵌模块可调）；
- 综合、编译——检查语法、连接错误，生成综合后网表；
- 功能仿真——综合后的功能仿真（可选）；
- 简单的约束——管脚分配、I/O 特性约束（电平标准，驱动能力等）、简单的时序约束；
- 全编译——软件自动完成布局布线、生成最终编程文件；
- 时序仿真——带延时的和实际情况非常相近的时序仿真（推荐使用）；
- 编程——下载到硬件中。

3) 调试分析以及设计体会

a.仿真或程序下载调试〔附界面截图〕。

b.设计过程中遇到的问题以及解决问题的方法。

c.课程设计过程阅历教训、心得体会。

4) 书写格式

见附带说明。

4) 附录

a.参考书目

b.源程序清单〔带注释〕

- **考核方式**

指导教师负责验收程序的运行结果，并结合学生的工作态度、实际动手力量、创精神和设计报告等进展综合考评，并按优秀、良好、中等、及格和不及格五个等级给出每位同学的课程设计成绩。具体考核标准包含以下几个局部：

1) 寻常出勤 〔占 10%〕
2) 系统需求分析、功能设计、数据构造设计及程序总体构造合理与否〔占 10%〕
3) 程序能否完整、准确地运行，个人能否独立、娴熟地调试程序〔占 40%〕
4) 设计报告〔占 30%〕
5) 留意：不得抄袭他人的报告〔或给他人抄袭〕，一旦觉察，成绩为零分。
6) 独立完成状况〔占 10%〕。

- **课程设计验收要求**

1) 运行所设计的系统。
2) 答复有关问题。
3) 提交课程设计报告纸质稿。

4) 提交源程序或设计报告文档电子稿。

5) 依内容的创程度，完善程序状况及对程序讲解状况打分。

四、进度安排

上机时间：

十六周周四 14:00-18:00

十七周周二 8:00-12:00、14:00-18:00

十七周周四 8:00-12:00

十七周周五 8:00-12:00

十八周周二 14:00-18:00〔交报告〕

附带说明：

课程设计报告装订挨次：封面、任务书、名目、正文、评分、附件〔程序清单〕。

正文的格式:一级标题用 3 号黑体,二级标题用四号宋体加粗,正文用小四号宋体;行距为 22。

正文的内容:一、课题的主要功能；二、具体设计；三、程序调试；四、总结；五、附件〔全部程序的原代码，要求对程序写出必要的注释〕。**2 个任务独立完成对应报告，共用封面、封底，装订成一册。**

正文总字数要求在 5000 字以上〔不含程序原代码〕。

名目

一、16 选 1 选择器的功能.....1

1.1

1.2

1.3

2.1 创立工程.....3

2.2 VHDL 文本设计语言输入.....4

2.3

2.4

2. 7 综合编译形成网表.....7

3.1

3.2

3.3

3.4 生成波形图.....9

四、心得体会 9

一、JK 触发器的主要功能 10

1.1 特性方程.....10

1.2 真植表.....10
1.3 函数规律电路图.....11
二、具体设计 11
2.1 创立工程.....11
2.2 输入文本语言程序进展编译.....12
2.3 编译成功，选择波形编辑器功能.....13
2.4 进展仿真设置.....14
2.5 查找对应结点.....14
2.6 形成综合后网表.....14
三、程序功能调试 15
3.1 给定输入.....15
3.2 进入波形仿真.....15
3.3 形成仿真波形.....16
四、心得体会 17
五、 附录 18
5.1 116 选 1 选择器设计源代码.....18
5.2 JK 触发器设计源代码.....20
5.3 参考书目.....23
5.4 课程设计评分表.....24

一、16 选 1 选择器的主要功能

数据选择器是常用的组合规律部件之一。它由组合规律电路对数字信号进展掌握来完成比较简单的规律功能。它有假设干个数据输入端 D0、D1、 ，假设干个掌握输入端

A0、A1，.....和一个输出端 Y0。数据选择是指经过选择，把多个通道的数据传送到唯一的公共数据通道上去。它的功能相当于一个多个输入的单刀多掷开关.因此数据选择器又称多路转换器或多路开关。数据选择器(MUX)的规律功能是在掌握输入端加上适当的信号，既可从多个输入数据源中讲所需的数据信号选择出来，送到输出端。

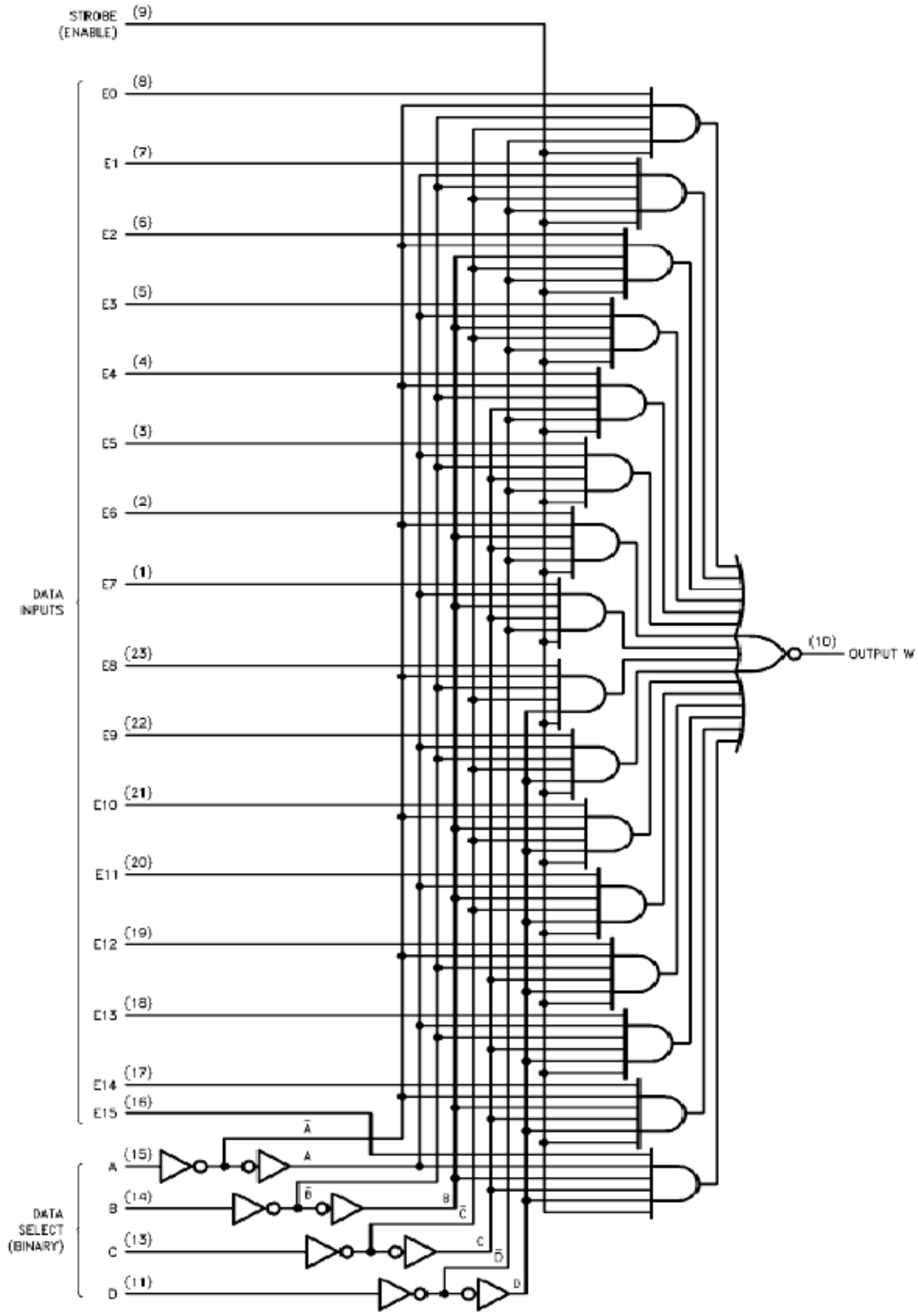
1.1 函数真值表

输			入	输出
A	B	C	D	E
0	0	0	0	$\overline{E}_0$
0	0	0	1	$\overline{E}_1$
0	0	1	0	$\overline{E}_2$
0	0	1	1	$\overline{E}_3$
0	1	0	0	$\overline{E}_4$
0	1	0	1	$\overline{E}_5$
0	1	1	0	$\overline{E}_6$
0	1	1	1	$\overline{E}_7$
1	0	0	0	$\overline{E}_8$
1	0	0	1	$\overline{E}_9$
1	0	1	0	$\overline{E}_{10}$
1	1	0	0	$\overline{E}_{11}$
1	0	1	1	$\overline{E}_{12}$
1	1	0	1	$\overline{E}_{13}$
1	1	1	0	$\overline{E}_{14}$

1	1	1	1	$\overline{E}_{15}$

说明：A,B,C,D 为输入地址；E 为输出端

1.2 函数电路图

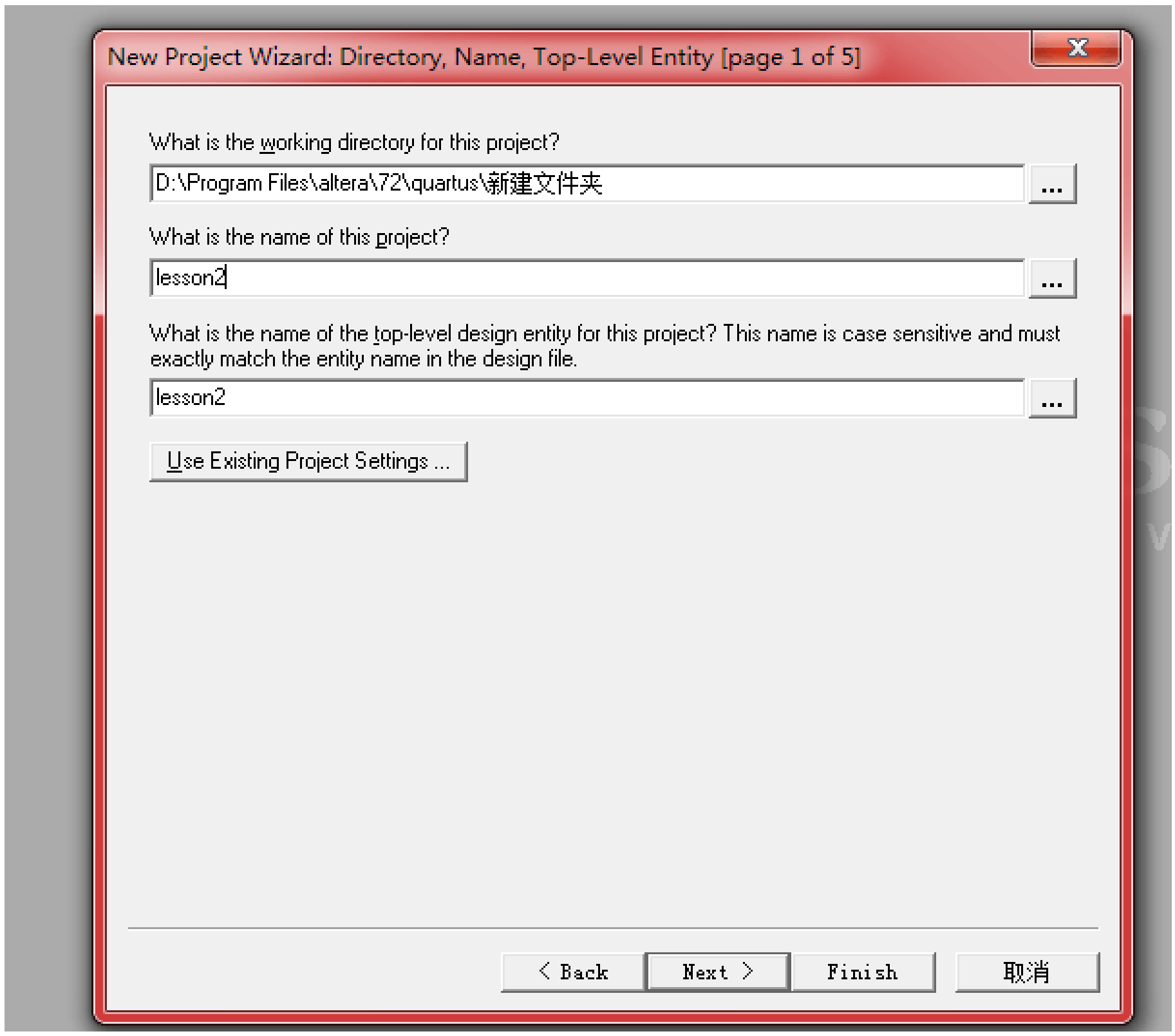


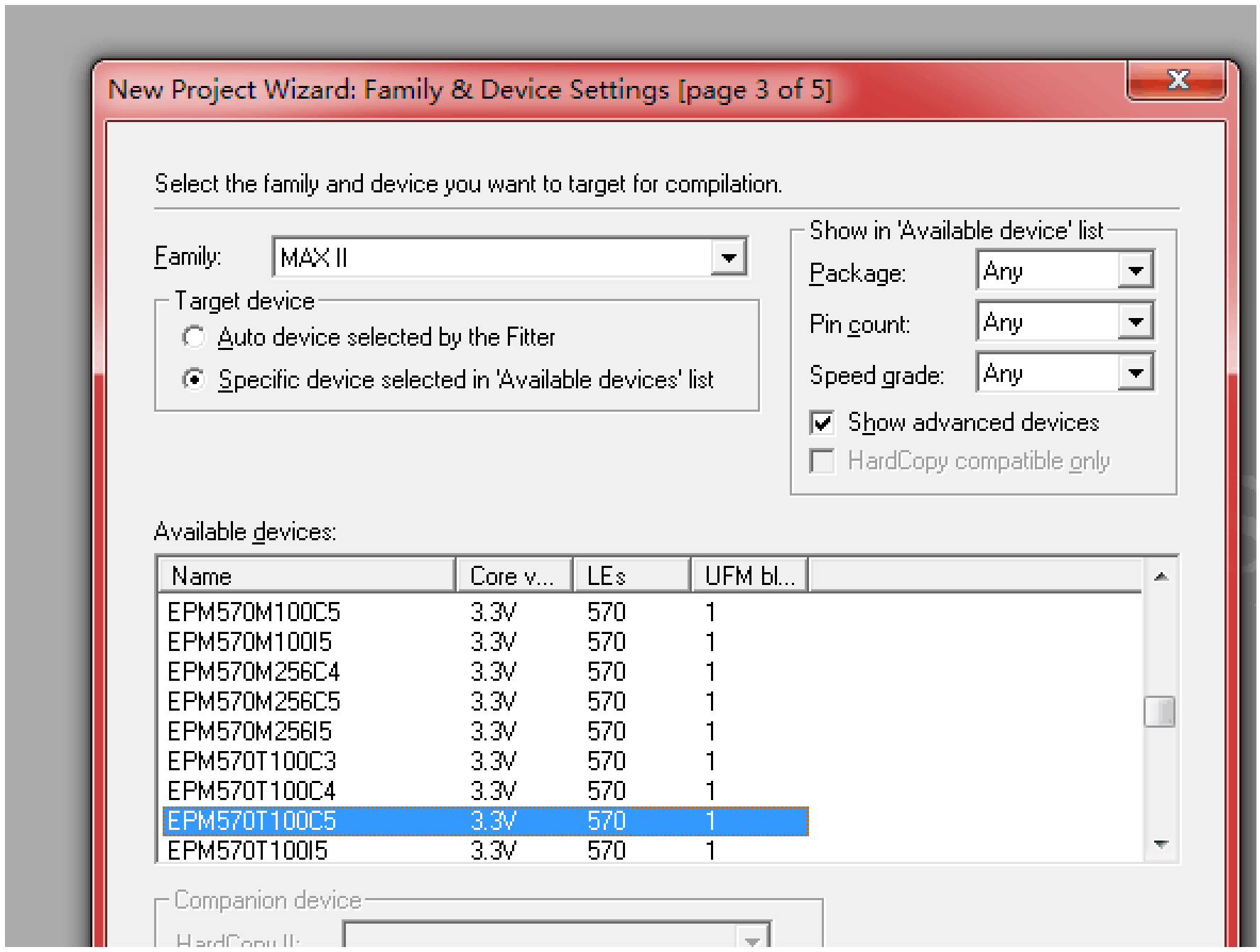
1.3 函数表达式

E= $ABCDE_{0} + ABCDE_{1} + ABCDE_{2} + ABCDE_{3} + \overline{A}\overline{B}\overline{C}\overline{D}\overline{E}_{4} + \overline{A}\overline{B}\overline{C}DE_{5} + ABCDE_{6} + ABCDE_{7} + ABCDE_{8} + ABCDE_{9} + ABCDE_{10} + ABCDE_{11} + ABCDE_{12} + ABCDE_{13} + ABCDE_{14} + ABCDE_{15}$

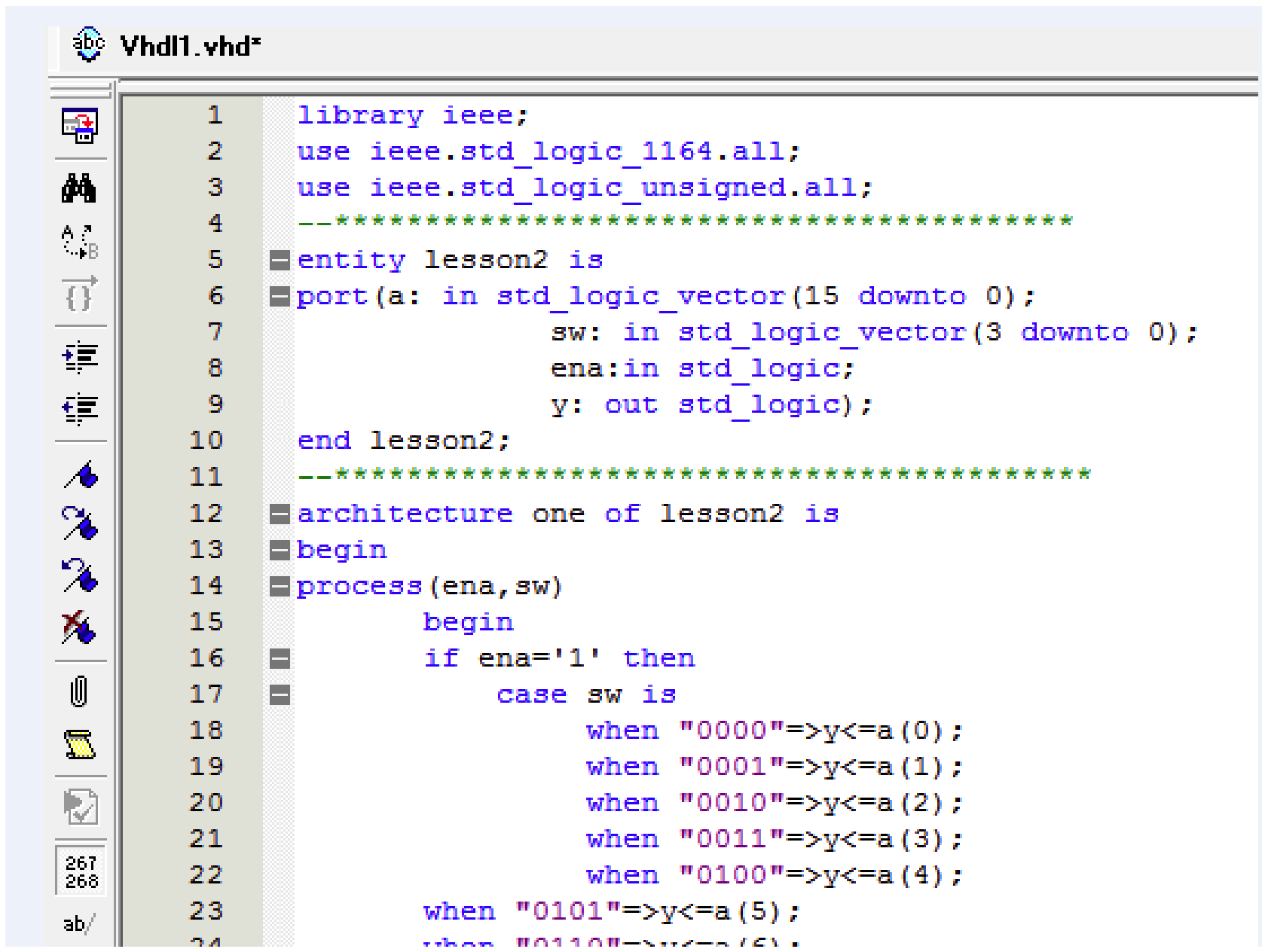
二、具体设计

2.1 工程治理,进入　quartus||界面，创立工程

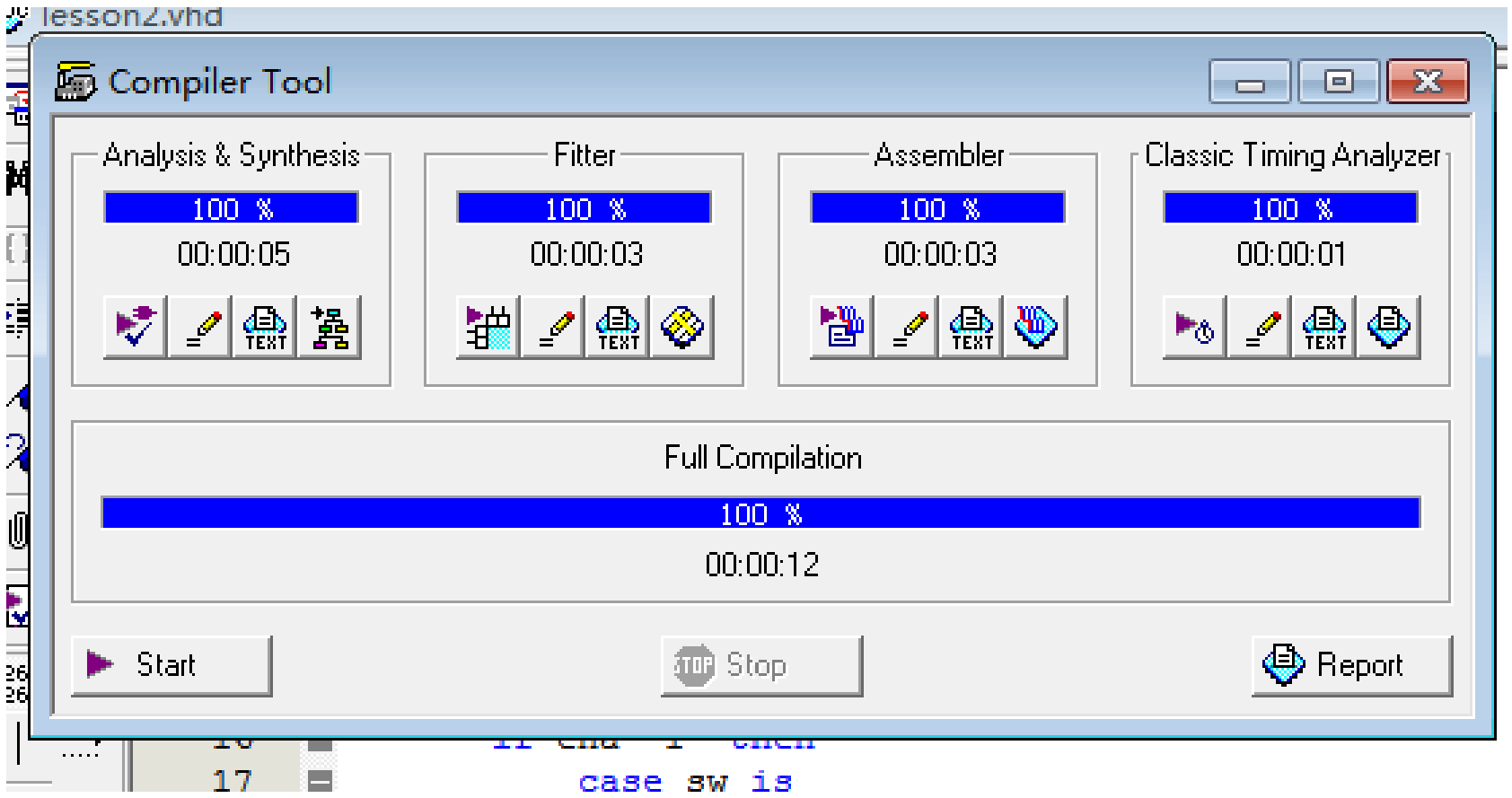




2.2VHDL 文本语言设计输入



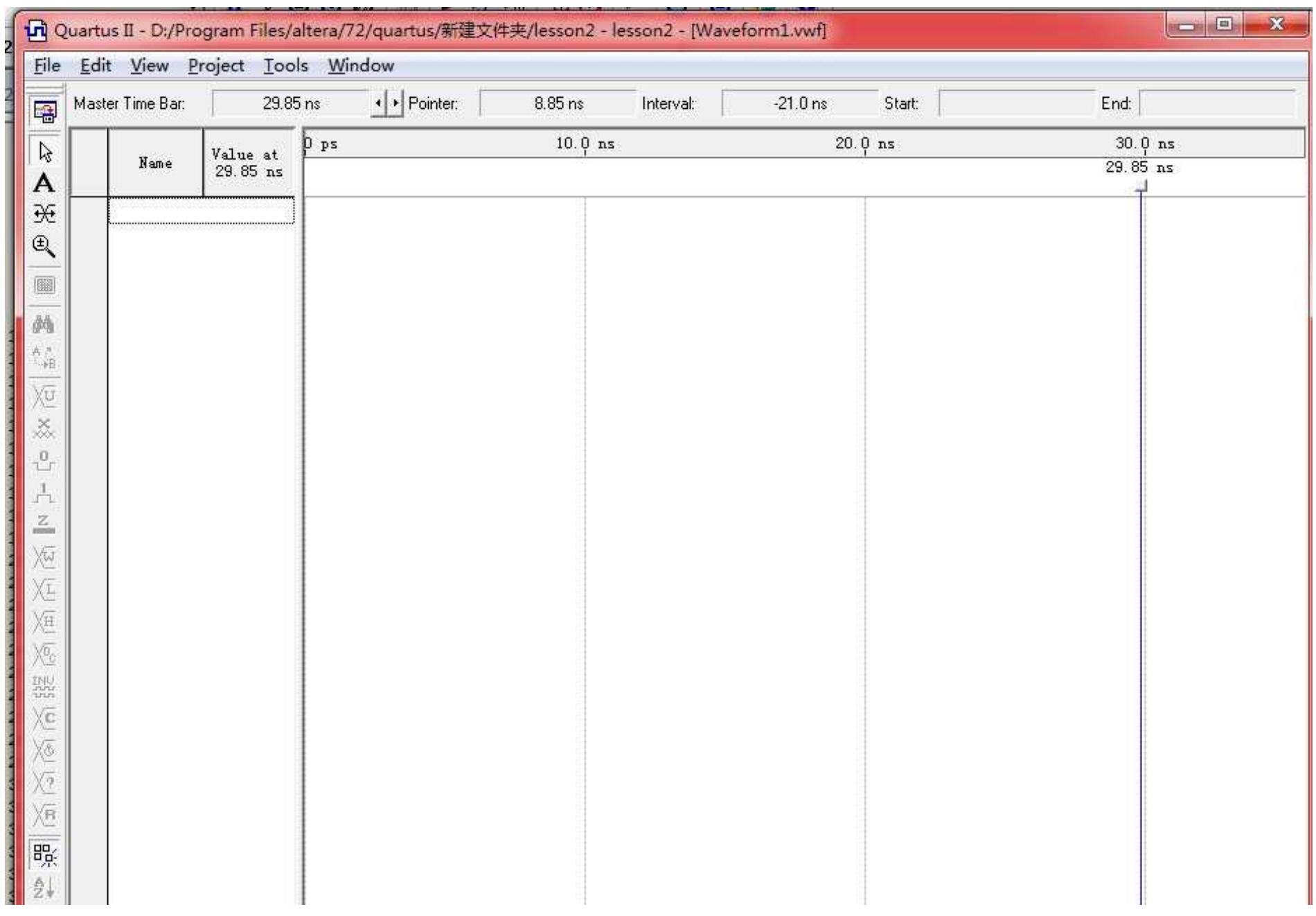
2.3 编译功能界面



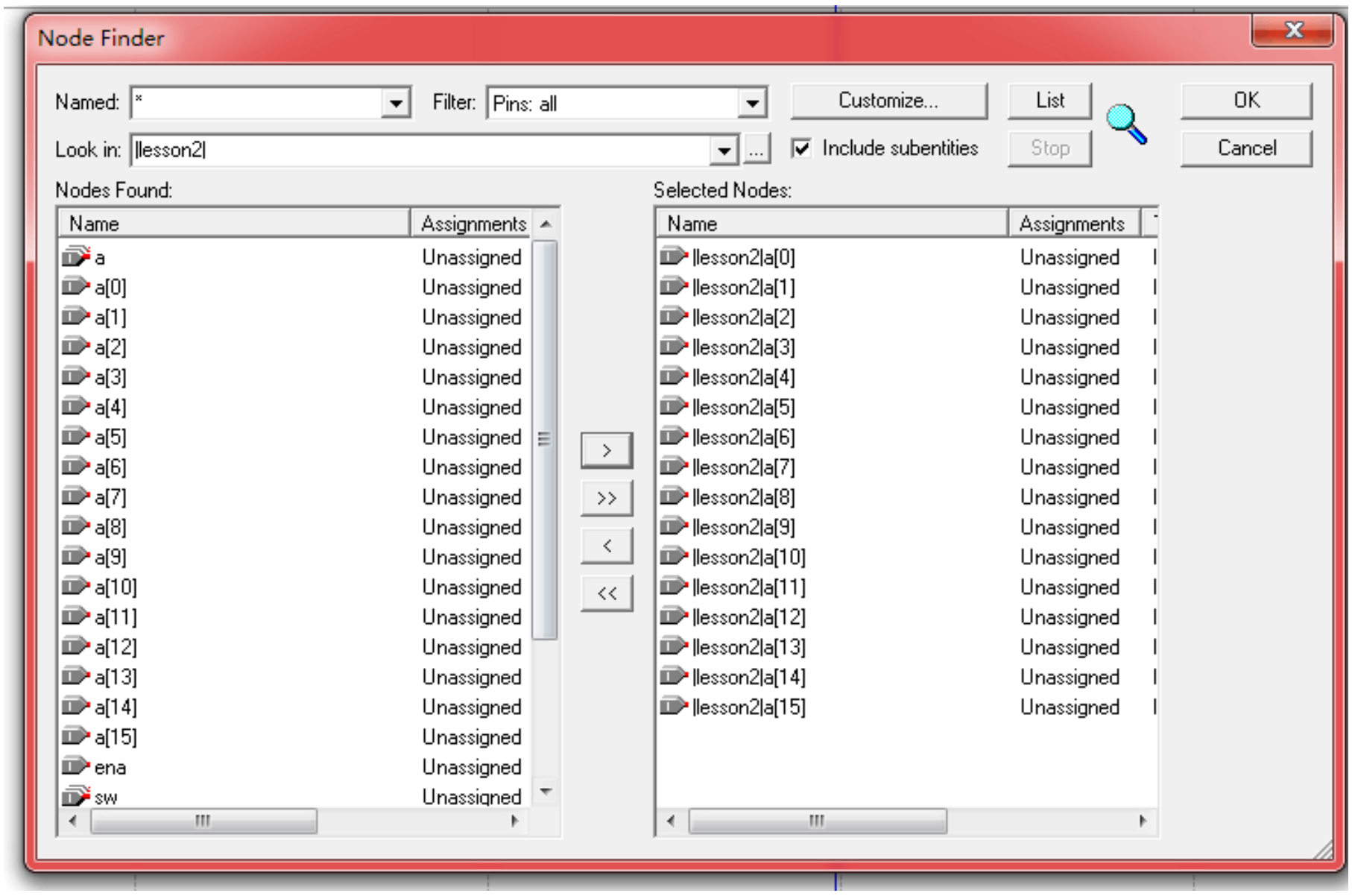
2.4 编译成功

Flow Status	Successful - Sun Jan 16 13:00:07 2011
Quartus II Version	7.2 Build 151 09/26/2007 SJ Full Version
Revision Name	lesson2
Top-level Entity Name	lesson2
Family	MAX II
Device	EPM570T100C5
Timing Models	Final
Met timing requirements	Yes
Total logic elements	11 / 570 (2 %)
Total pins	22 / 76 (29 %)
Total virtual pins	0
Total memory bits	0
DSP block 9-bit elements	0
Total PLLs	0
Total DLLs	0
UFM blocks	0 / 1 (0 %)

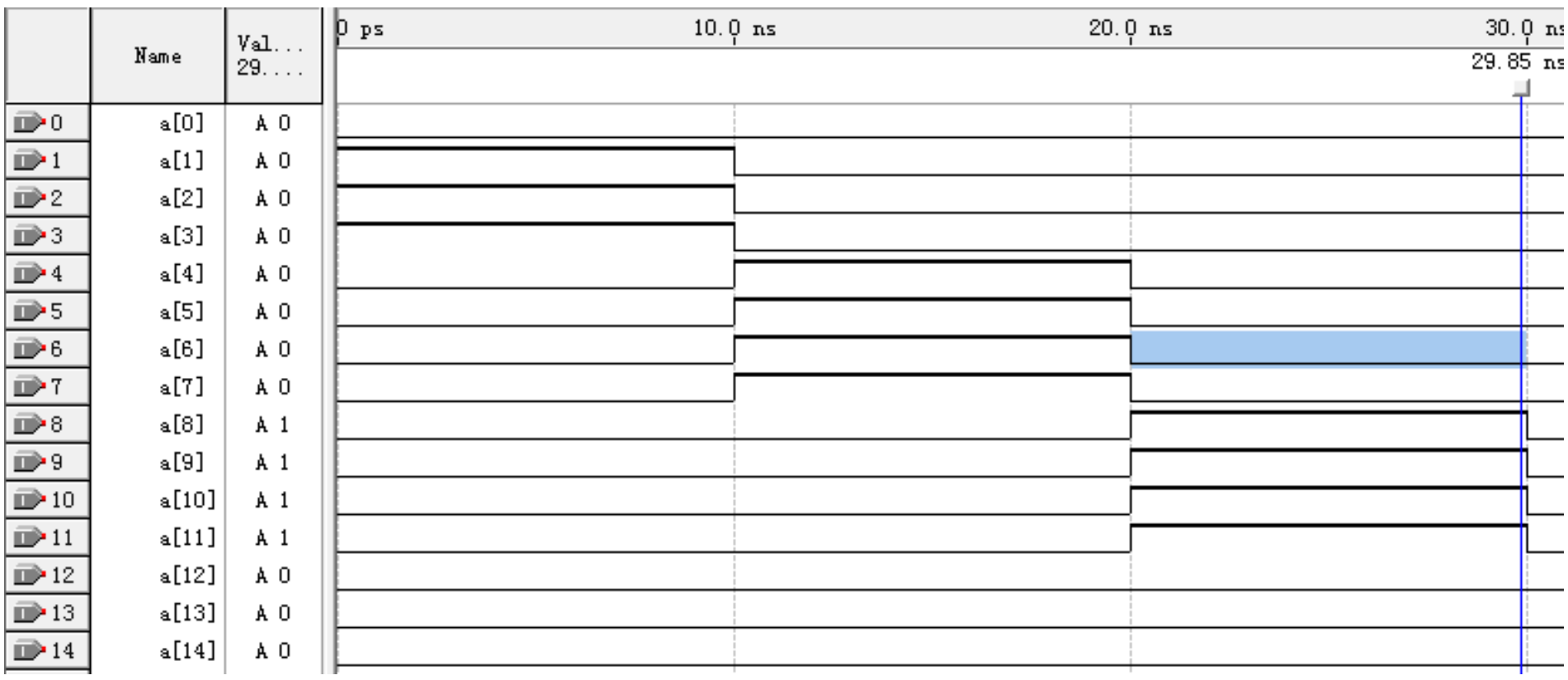
2.5翻开波形编辑器窗口



2.6对应结点查找

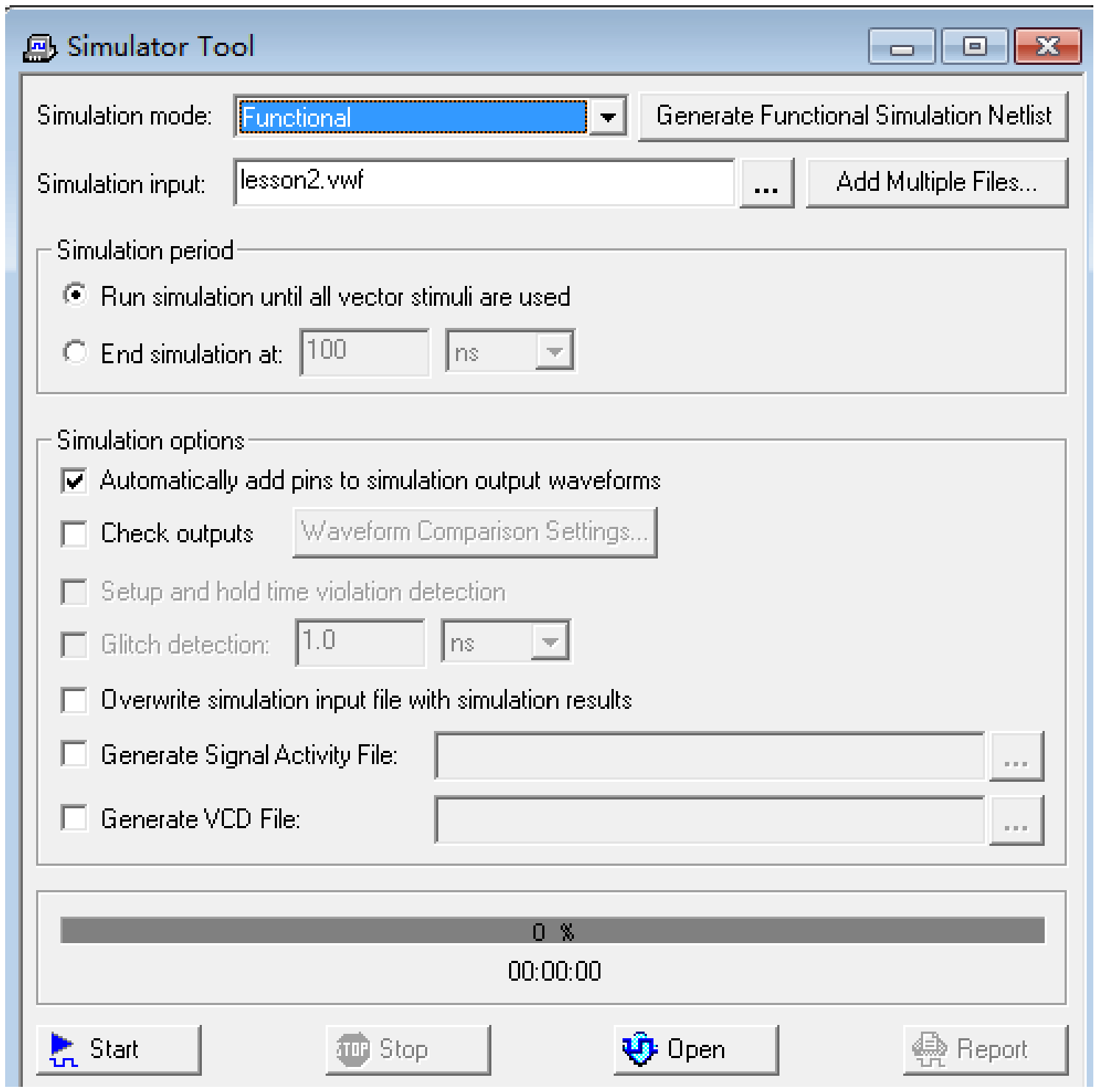


2.7综合编译，形成综合编译后网表

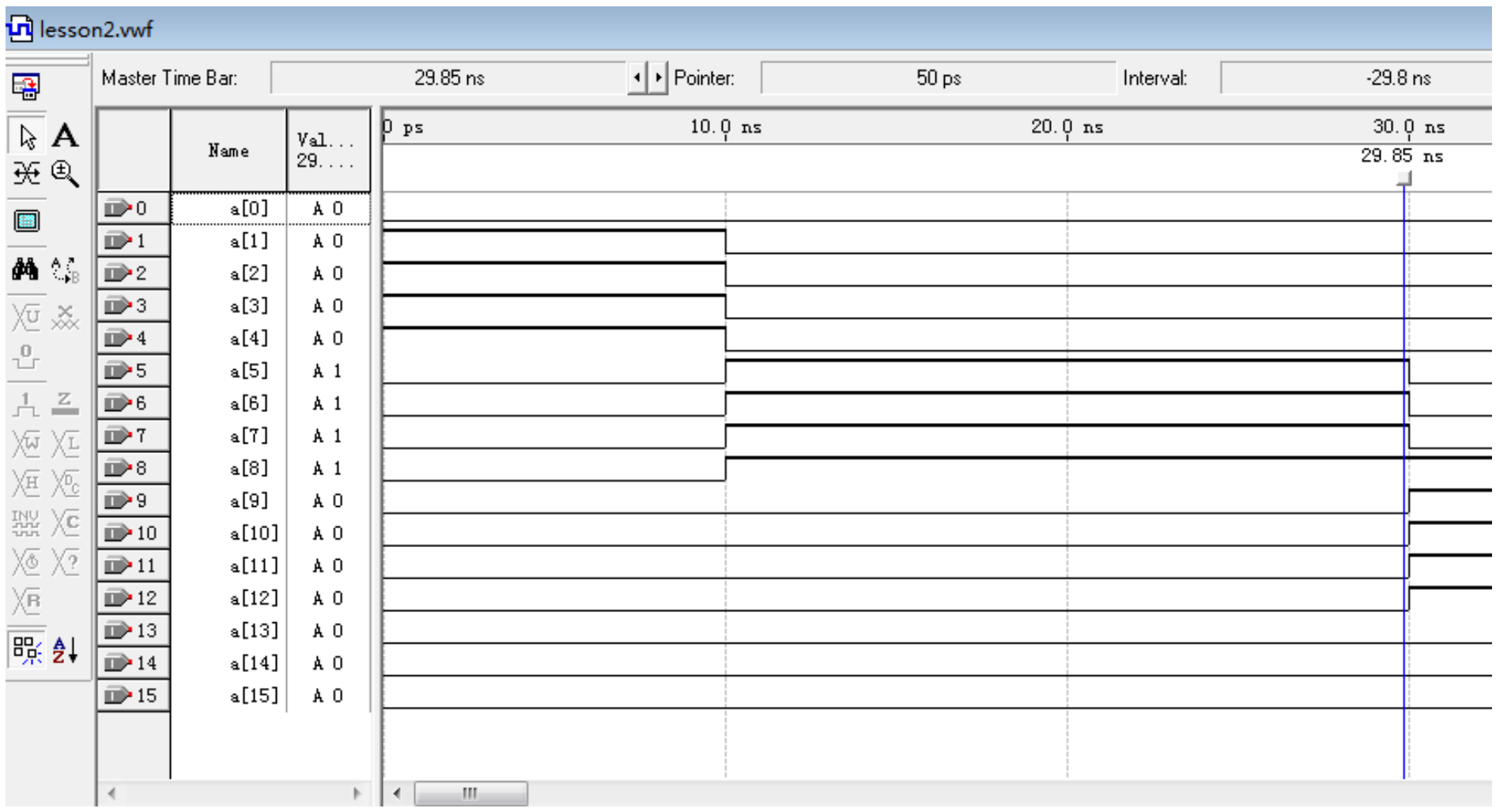


三、 程序功能调试

3.1 进入波形仿真功能


Simulator Tool
Simulation mode:
Functional
Generate Functional Simulation Netlist
Simulation input:
lesson2.vwf
...
Add Multiple Files...
Simulation period
Run simulation until all vector stimuli are used
End simulation at:
100
ns
Simulation options
Automatically add pins to simulation output waveforms
Check outputs
Waveform Comparison Settings...
Setup and hold time violation detection
Glitch detection:
1.0
ns
Overwrite simulation input file with simulation results
Generate Signal Activity File:
Generate VCD File:
0 %
00:00:00
Start
Stop
Open
Report

3.2 给定输入信号


lesson2.vwf
Master Time Bar:
29.85 ns
Pointer:
50 ps
Interval:
-29.8 ns
Name
Val...
29....
0 ps
10.0 ns
20.0 ns
30.0 ns
29.85 ns
0 a[0] A 0
1 a[1] A 0
2 a[2] A 0
3 a[3] A 0
4 a[4] A 0
5 a[5] A 1
6 a[6] A 1
7 a[7] A 1
8 a[8] A 1
9 a[9] A 0
10 a[10] A 0
11 a[11] A 0
12 a[12] A 0
13 a[13] A 0
14 a[14] A 0
15 a[15] A 0

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：https://d.book118.com/076050051021010032