

# 第六章

# 集成门电路的测试

电子设计基础与创新实践教学



# 01

PART ONE

集成门电路的测试



# 集成门电路的测试

## 1. 实验目的

- (1) 了解TTL、CMOS集成电路的区别。
- (2) 掌握集成逻辑门电路功能的测试方法。
- (3) 理解并掌握门的控制作用。

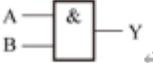
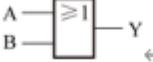
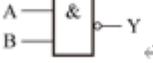
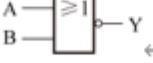
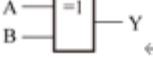
## 2. 实验原理

在数字逻辑中，最基本的逻辑运算是与运算、或运算、非运算三种，并由此组合成各种各样复杂的逻辑，实现基本逻辑运算和常用复合逻辑运算的电子线路称为逻辑门电路，常用的逻辑门电路如表所示。

### 1) TTL电路与CMOS电路

TTL电路传输延时为5~10ns，CMOS电路传输延时为25~50ns，TTL电路速度更快，但是TTL电路比CMOS电路功耗大；CMOS器件的噪声容限大，抗干扰能力更强。

常用集成门电路电平参数如表所示。

名称	表达式	逻辑符号	特点
与门	$Y = AB$		有“0”比“0” 全“1”比“1”
或门	$Y = A + B$		有“1”比“1” 全“0”比“0”
非门	$Y = \bar{A}$		有“0”比“1” 有“1”比“0”
与非门	$Y = \overline{AB}$		有“0”比“1” 全“1”比“0”
或非门	$Y = \overline{A + B}$		全“0”比“1” 有“1”比“0”
异或门	$Y = A \oplus B$		相同比“0” 不同比“1”

逻辑电平	$V_{CC}$	$V_{IH}$	$V_{IL}$	$V_{OH}$	$V_{OL}$
TTL	5.0	2.0	0.8	2.4	0.5
LVTTL	3.3	2.0	0.8	2.4	0.4
CMOS	5.0	3.5	1.5	4.45	0.5
LVC MOS	3.3	2.0	0.8	2.4	0.4

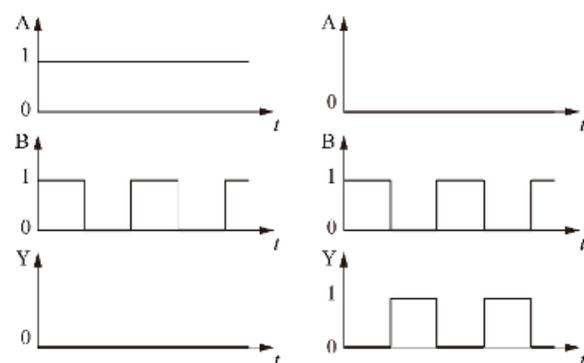
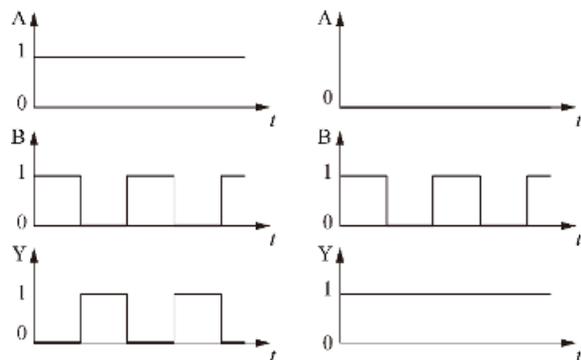
# 集成门电路的测试

## 2) 门的控制作用

图示为与非门的输入、输出波形图。当在与非门B端接入方波，在A端加上高电平时，方波信号能输出到Y端；当在A端加上低电平时，方波信号不能输出到Y端。

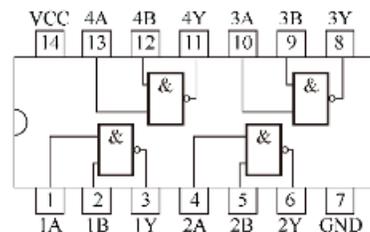
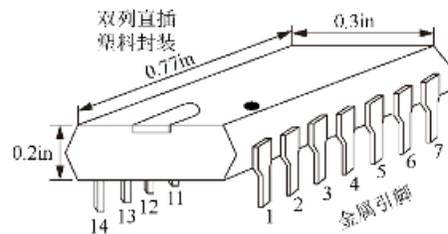
图示为或非门的输入、输出波形图。当在或非门B端接入方波，在A端加上高电平时，方波信号不能输出到Y端；当在A端加上低电平时，方波信号能输出到Y端。

从上面两组波形可以发现，A端起到了一个“门”的作用，也就是作为一个控制端，在集成电路中，常用来对输出信号进行控制，称为使能端OE或者片选端 $\overline{CS}$ 。



## 3) 芯片引脚的识别

图示为与非门74LS00的封装及引脚图。芯片上面的圆点指示了芯片的第一引脚，引脚号按逆时针排列。



# 集成门电路的测试

## 3. 实验内容及步骤

### 1) TTL与非门逻辑功能的测试

完成TTL与非门74LS00的逻辑功能及输入、输出电平的测试，将测试结果记录于表中，并记录门控制功能实验的输入、输出波形。

### 2) CMOS或非门逻辑功能的测试

完成CMOS或非门CD4001的逻辑功能和门的控制功能测试，将测试结果记录于表中，并记录门控制功能实验的输入、输出波形。

### 3) 用1片TTL与非门74LS00芯片实现异或门

推导出逻辑

### 4) 用1片CD4001和1片74LS00验证摩根定律的正确性

搭建电路并对电路进行逻辑功能测试，自行列表并记录逻辑功能测试结果。

### 5) 用1片CD4001设计一个能实现同或运算的电路

推导出逻辑表达式，画出电路图，搭建电路，并进行逻辑功能测试，自行列表并记录逻辑功能测试结果。

表达式，画出电路图，搭建电路，并进行逻辑功能测试，将测试结果记录于表中。

逻辑功能测试结果					输入、输出电平测试结果		
A	B	$\overline{AB}$	$\overline{A+B}$	$A \oplus B$	A端电平 (V)	B端电平 (V)	$\overline{AB}$ 端电平 (V)
0	0						
0	1						
1	0						
1	1						

# 02

PART ONE

## 组合逻辑电路设计



# 组合逻辑电路设计

## 1. 实验目的

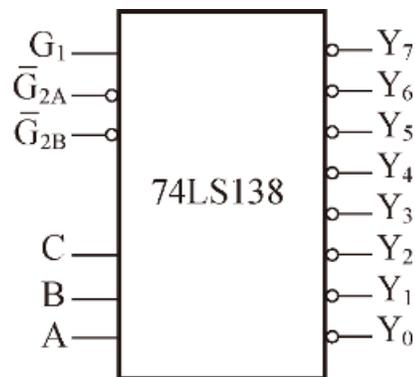
- (1) 熟练掌握组合逻辑电路的设计与测试方法。
- (2) 掌握利用小规模组合逻辑器件设计组合电路的一般方法。

## 2. 实验原理

组合逻辑电路的输出只决定于同一时刻的输入状态，输入、输出之间没有反馈，电路中也不含记忆元件。设计组合逻辑电路的方法及步骤如下：

- ① 根据具体问题进行逻辑抽象，明确输入（原因）/输出（结果），定义逻辑状态的含义，列出真值表。
- ② 把真值表转化为逻辑函数表达式，并对逻辑函数表达式进行化简。
- ③ 根据逻辑函数表达式画出逻辑电路图。

常见的组合逻辑电路单元包括译码器、数据选择器等。



输入 <sup>①</sup>					输出 <sup>②</sup>							
G <sub>1</sub> <sup>③</sup>	G <sub>2</sub> <sup>④</sup>	C <sup>⑤</sup>	B <sup>⑥</sup>	A <sup>⑦</sup>	Y <sub>0</sub> <sup>⑧</sup>	Y <sub>1</sub> <sup>⑨</sup>	Y <sub>2</sub> <sup>⑩</sup>	Y <sub>3</sub> <sup>⑪</sup>	Y <sub>4</sub> <sup>⑫</sup>	Y <sub>5</sub> <sup>⑬</sup>	Y <sub>6</sub> <sup>⑭</sup>	Y <sub>7</sub> <sup>⑮</sup>
x <sup>⑰</sup>	1 <sup>⑱</sup>	x <sup>⑲</sup>	x <sup>⑳</sup>	x <sup>㉑</sup>	1 <sup>㉒</sup>	1 <sup>㉓</sup>	1 <sup>㉔</sup>	1 <sup>㉕</sup>	1 <sup>㉖</sup>	1 <sup>㉗</sup>	1 <sup>㉘</sup>	1 <sup>㉙</sup>
0 <sup>㉚</sup>	x <sup>㉛</sup>	x <sup>㉜</sup>	x <sup>㉝</sup>	x <sup>㉞</sup>	1 <sup>㉟</sup>	1 <sup>㊱</sup>	1 <sup>㊲</sup>	1 <sup>㊳</sup>	1 <sup>㊴</sup>	1 <sup>㊵</sup>	1 <sup>㊶</sup>	1 <sup>㊷</sup>
1 <sup>㊸</sup>	0 <sup>㊹</sup>	0 <sup>㊺</sup>	0 <sup>㊻</sup>	0 <sup>㊼</sup>	0 <sup>㊽</sup>	1 <sup>㊾</sup>	1 <sup>㊿</sup>	1 <sup>㋀</sup>	1 <sup>㋁</sup>	1 <sup>㋂</sup>	1 <sup>㋃</sup>	1 <sup>㋄</sup>
1 <sup>㋅</sup>	0 <sup>㋆</sup>	0 <sup>㋇</sup>	0 <sup>㋈</sup>	1 <sup>㋉</sup>	1 <sup>㋊</sup>	0 <sup>㋋</sup>	1 <sup>㋌</sup>	1 <sup>㋍</sup>	1 <sup>㋎</sup>	1 <sup>㋏</sup>	1 <sup>㋐</sup>	1 <sup>㋑</sup>
1 <sup>㋒</sup>	0 <sup>㋓</sup>	0 <sup>㋔</sup>	1 <sup>㋕</sup>	0 <sup>㋖</sup>	1 <sup>㋗</sup>	1 <sup>㋘</sup>	0 <sup>㋙</sup>	1 <sup>㋚</sup>	1 <sup>㋛</sup>	1 <sup>㋜</sup>	1 <sup>㋝</sup>	1 <sup>㋞</sup>
1 <sup>㋟</sup>	0 <sup>㋠</sup>	1 <sup>㋡</sup>	0 <sup>㋢</sup>	0 <sup>㋣</sup>	1 <sup>㋤</sup>	1 <sup>㋥</sup>	1 <sup>㋦</sup>	1 <sup>㋧</sup>	0 <sup>㋨</sup>	1 <sup>㋩</sup>	1 <sup>㋪</sup>	1 <sup>㋫</sup>
1 <sup>㋬</sup>	0 <sup>㋭</sup>	1 <sup>㋮</sup>	1 <sup>㋯</sup>	0 <sup>㋰</sup>	1 <sup>㋱</sup>	1 <sup>㋲</sup>	1 <sup>㋳</sup>	1 <sup>㋴</sup>	1 <sup>㋵</sup>	1 <sup>㋶</sup>	0 <sup>㋷</sup>	1 <sup>㋸</sup>
1 <sup>㋹</sup>	0 <sup>㋺</sup>	1 <sup>㋻</sup>	1 <sup>㋼</sup>	0 <sup>㋽</sup>	1 <sup>㋾</sup>	1 <sup>㋿</sup>	1 <sup>㊀</sup>	1 <sup>㊁</sup>	1 <sup>㊂</sup>	1 <sup>㊃</sup>	0 <sup>㊄</sup>	1 <sup>㊅</sup>
1 <sup>㊆</sup>	0 <sup>㊇</sup>	1 <sup>㊈</sup>	1 <sup>㊉</sup>	1 <sup>㊊</sup>	1 <sup>㊋</sup>	1 <sup>㊌</sup>	1 <sup>㊍</sup>	1 <sup>㊎</sup>	1 <sup>㊏</sup>	1 <sup>㊐</sup>	1 <sup>㊑</sup>	0 <sup>㊒</sup>

注：x=不定，G<sub>2</sub>=G<sub>2A</sub>+G<sub>2B</sub>。

# 组合逻辑电路设计



## 1) 译码器

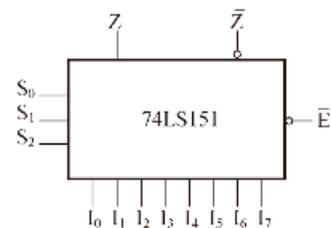
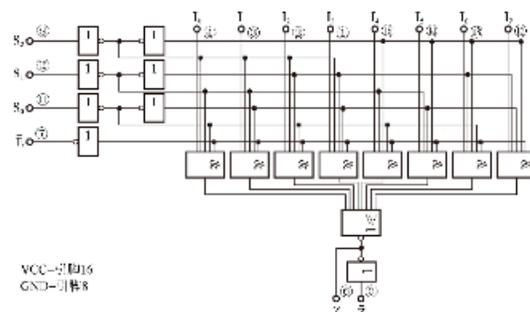
译码器也称解码器，按功能可分为变量译码器和显示译码器两类。常见的变量译码器有 $n$ 线- $2^n$ 线译码器和8421-BCD码译码器两类；显示译码器用来将二进制数转换成对应的段码，以驱动LED或者LCD。

74LS138是1个3线-8线译码器，它是一种通用译码器，其逻辑符号如图所示。根据其功能表（见表6-2-1），当 $G_1$ 为高电平且 $G_2=G_{2A}+G_{2B}$ 为低电平时，译码器被选通，输出二进制代码与输入二进制代码相对应。

## 2) 数据选择器

数据选择器可以从多个输入源中选择某一路数据输出。74LS151是一个八选一数据选择器，其逻辑符号如图6-2-2所示。由它的内部逻辑电路图及功能表可知， $S_0$ 、 $S_1$ 、 $S_2$ 是地址输入端， $I_0 \sim I_7$ 是数据输入端， $Z$ 、 $\bar{Z}$ 是输出端， $\bar{E}$ 是使能端，当 $\bar{E} = 0$ 时，芯片被使能，根据地址信号 $S_0$ 、 $S_1$ 、 $S_2$ 的不同组合从 $I_0 \sim I_7$ 中选择一路输出到 $Z$ 。其逻辑表达式为

$$Z = \bar{S}_2\bar{S}_1\bar{S}_0I_0 + \bar{S}_2\bar{S}_1S_0I_1 + \bar{S}_2S_1\bar{S}_0I_2 + \bar{S}_2S_1S_0I_3 + S_2\bar{S}_1\bar{S}_0I_4 + S_2\bar{S}_1S_0I_5 + S_2S_1\bar{S}_0I_6 + S_2S_1S_0I_7$$



$\bar{E}^{(1)}$	$S_2^{(2)}$	$S_1^{(3)}$	$S_0^{(4)}$	$I_0 \sim I_7^{(5)}$	$Z^{(6)}$	$\bar{Z}^{(7)}$
1	x	x	x	x	1	0
0	0	0	0	$I_0 \sim I_7$	$I_0$	$\bar{I}_0$
0	0	0	1	$I_0 \sim I_7$	$I_1$	$\bar{I}_1$
0	0	1	0	$I_0 \sim I_7$	$I_2$	$\bar{I}_2$
0	0	1	1	$I_0 \sim I_7$	$I_3$	$\bar{I}_3$
0	1	0	0	$I_0 \sim I_7$	$I_4$	$\bar{I}_4$
0	1	0	1	$I_0 \sim I_7$	$I_5$	$\bar{I}_5$
0	1	1	0	$I_0 \sim I_7$	$I_6$	$\bar{I}_6$
0	1	1	1	$I_0 \sim I_7$	$I_7$	$\bar{I}_7$

# 组合逻辑电路设计

## 1) 自动传输线中停机与告警控制电路设计

某自动传输线由三条传送带串联而成，各传送带均由一台电动机拖动。自物料起点至终点，这三台电动机分别设为A、B、C。为了避免物料在传输途中堆积于传送带上，要求A开机则B必须开机，B开机则C必须开机；否则，应立即停机并发出告警信号F。试用最少的与非门（选用74LS00）及非门（选用74LS04）

4) 设计具有停机与告警功能（用LED显示）的控制电路。要求：

- ① 写出设计过程，列出真值表，写出逻辑函数表达式，画出逻辑电路图。
- ② 对所设计的电路进行逻辑功能测试，将测试结果填入表。
- ③ 将输入端A、B接高电平，输入端C接1kHz的方波，双踪观测输入C和输出F的波形并记录。

## 2) 自备电站中发电机启停控制电路设计

某工厂有三个车间和一个自备电站，站内有两台发电机X和Y，Y的发电量是X的两倍，如果一个车间开工，启动X就可满足要求；如果两个车间同时开工，启动Y就可满足要求；若三个车间同时开工，则X和Y都要启动。要求：

- ① 用异或门（选用74LS86）、与或非门（选用74LS54）及非门（选用74LS04）设计一个控制X和Y启停的电路。
- ② 用74LS138译码器及74LS20与非门实现该电路。

### 3) 设计1位二进制全加器要求:

- ① 检测74LS138译码器的逻辑功能。
- ② 用74LS138译码器及74LS20与非门实现。
- ③ 用74LS151数据选择器实现。

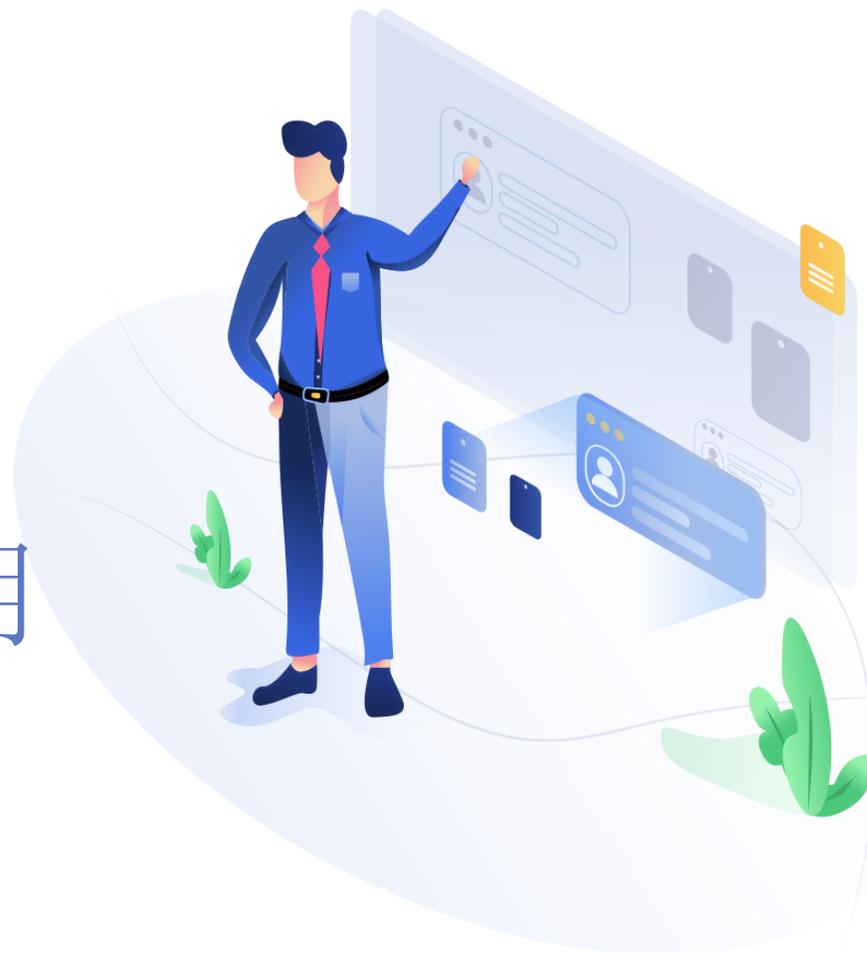
### 4) 设计一个可控加、减运算电路

试分别用74LS138译码器和74LS153数据选择器实现可控加、减运算电路。要求当控制端 $X=0$ 时, 进行1位二进制加法运算; 当控制端 $X=1$ 时, 进行1位二进制减法运算。  
要求:

- ① 写出设计过程, 列出真值表, 写出逻辑函数表达式, 画出逻辑电路图;
- ② 对所设计的电路进行测试, 记录测试结果。

# 03 PART ONE

## 触发器及其应用



# 触发器及其应用

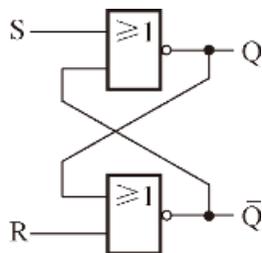
## 1. 实验目的

- (1) 掌握测试D触发器和JK触发器逻辑功能的方法。
- (2) 了解触发器的基本应用。

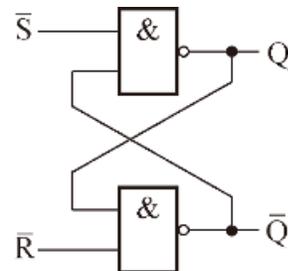
## 2. 实验原理

在数字电路中，需要使用具有记忆功能的逻辑单元电路来对状态信息进行保存，这种基本单元电路称为锁存器（Latch），图6-3-1所示为用或非门组成的RS锁存器，图6-3-2所示为用与非门组成的RS锁存器，其逻辑功能分别如表所示。

如果在每个存储单元电路中引入一个时钟信号作为触发信号，只有当触发信号为有效电平时，该电路才能按照输入被设置为相应的状态，这种单元电路称为触发器。触发器按照触发方式分为电平触发器、脉冲触发器、边沿触发器等；按照逻辑功能分为RS触发器、JK触发器、T触发器、D触发器等，其特性及逻辑符号如表所示。



S <sup>n</sup>	R <sup>n</sup>	Q <sup>n+1</sup>	Q <sup>n+1</sup>
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	不定
1	1	1	不定



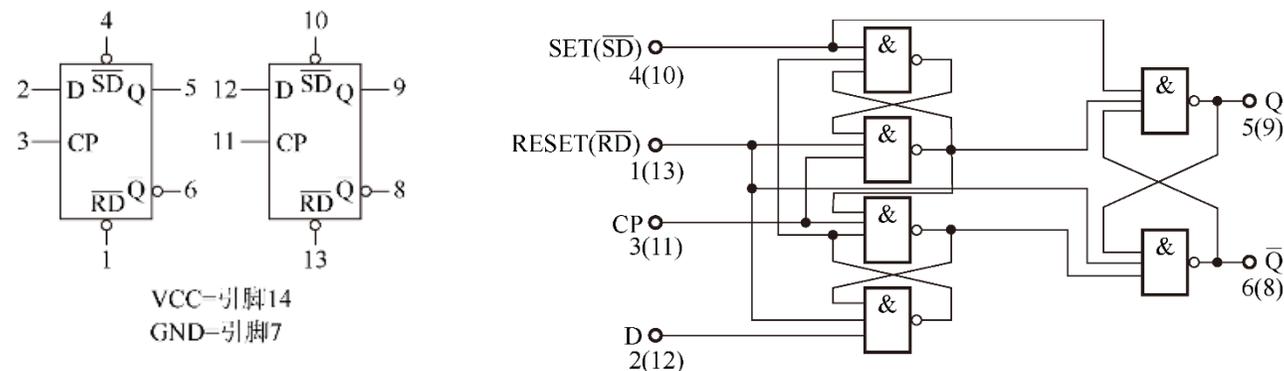
S <sup>n</sup>	R <sup>n</sup>	Q <sup>n+1</sup>	Q <sup>n+1</sup>
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
0	0	0	不定
0	0	1	不定

# 触发器及其应用

名称	特性表	状态方程及状态转换图	逻辑符号																																				
RS 触发器	<table border="1"> <tr><th>S</th><th>R</th><th>Q<sup>n</sup></th><th>Q<sup>n+1</sup></th></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>不定</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>不定</td></tr> </table>	S	R	Q <sup>n</sup>	Q <sup>n+1</sup>	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	0	1	0	0	1	1	0	1	1	1	1	0	不定	1	1	1	不定	$Q^{n+1} = S + \bar{R}Q^n$	
S	R	Q <sup>n</sup>	Q <sup>n+1</sup>																																				
0	0	0	0																																				
0	0	1	1																																				
0	1	0	0																																				
0	1	1	0																																				
1	0	0	1																																				
1	0	1	1																																				
1	1	0	不定																																				
1	1	1	不定																																				
JK 触发器	<table border="1"> <tr><th>J</th><th>K</th><th>Q<sup>n</sup></th><th>Q<sup>n+1</sup></th></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td></tr> </table>	J	K	Q <sup>n</sup>	Q <sup>n+1</sup>	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	0	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1	0	$Q^{n+1} = j\bar{Q}^n + \bar{k}Q^n$	
J	K	Q <sup>n</sup>	Q <sup>n+1</sup>																																				
0	0	0	0																																				
0	0	1	1																																				
0	1	0	0																																				
0	1	1	0																																				
1	0	0	1																																				
1	0	1	1																																				
1	1	0	1																																				
1	1	1	0																																				
T 触发器	<table border="1"> <tr><th>T</th><th>Q<sup>n</sup></th><th>Q<sup>n+1</sup></th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	T	Q <sup>n</sup>	Q <sup>n+1</sup>	0	0	0	0	1	1	1	0	1	1	1	0	$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$																						
T	Q <sup>n</sup>	Q <sup>n+1</sup>																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	0																																					
D 触发器	<table border="1"> <tr><th>D</th><th>Q<sup>n</sup></th><th>Q<sup>n+1</sup></th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	D	Q <sup>n</sup>	Q <sup>n+1</sup>	0	0	0	0	1	1	1	0	1	1	1	0	$Q^{n+1} = D$																						
D	Q <sup>n</sup>	Q <sup>n+1</sup>																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	0																																					

## 1) D触发器 (74LS74)

74LS74是一个边沿触发的双D触发器，其逻辑符号及内部逻辑电路图如图所示，其逻辑功能表如表所示。74LS74由时钟脉冲的上升沿触发，输入端的信号将被传送到输出端。

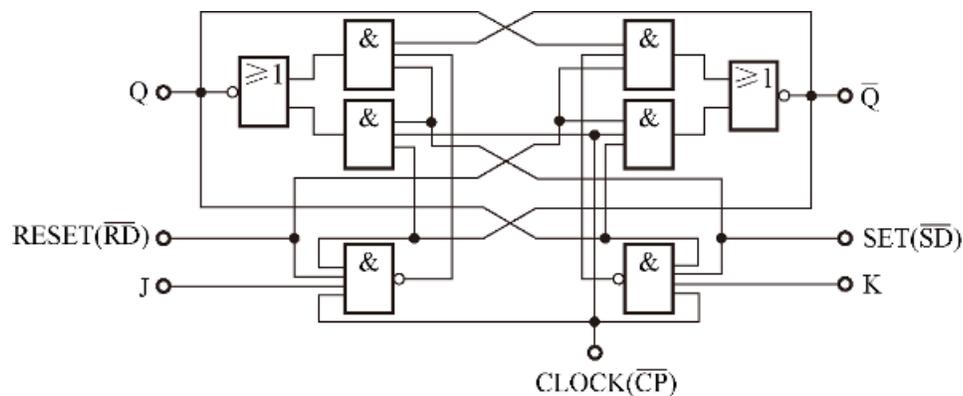
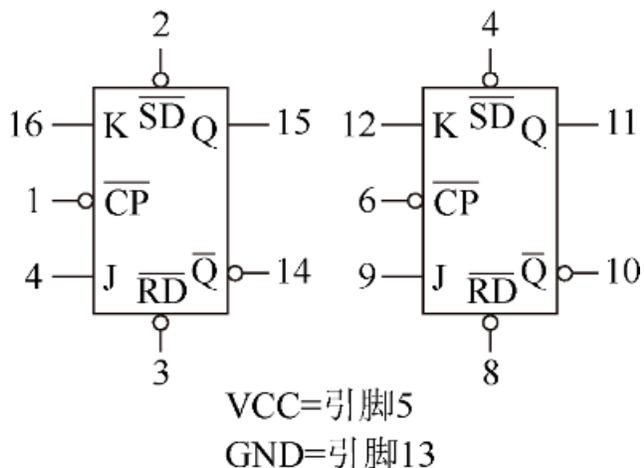


Operating Mode (操作模式)	INPUTS (输入)			OUTPUTS (输出)	
	$\bar{SD}$	$\bar{RD}$	D	Q	$\bar{Q}$
Set (置位)	0	1	x	1	0
Reset (清零)	1	0	x	0	1
Undetermined (不确定状态)	0	0	x	1	1
Load "1" (置1)	1	1	1	1	0
Load "0" (置0)	1	1	0	0	1

# 触发器及其应用

## 2) JK触发器 (74LS76)

74LS76是一个边沿触发的JK触发器，其逻辑符号及内部逻辑电路图如图所示，其逻辑功能表如表所示。74LS76由时钟脉冲的下降沿触发，输入端的信号将被传送到输出端。



操作模式 <sup>①</sup>	输入 <sup>②</sup>			输出 <sup>③</sup>		
	$\overline{SD}$ <sup>④</sup>	$\overline{RD}$ <sup>⑤</sup>	J <sup>⑥</sup>	K <sup>⑦</sup>	Q <sup>⑧</sup>	$\overline{Q}$ <sup>⑨</sup>
置位 <sup>⑩</sup>	0 <sup>⑪</sup>	1 <sup>⑫</sup>	x <sup>⑬</sup>	x <sup>⑭</sup>	1 <sup>⑮</sup>	0 <sup>⑯</sup>
清零 <sup>⑰</sup>	1 <sup>⑱</sup>	0 <sup>⑲</sup>	x <sup>⑳</sup>	x <sup>㉑</sup>	0 <sup>㉒</sup>	1 <sup>㉓</sup>
不确定状态 <sup>㉔</sup>	0 <sup>㉕</sup>	0 <sup>㉖</sup>	x <sup>㉗</sup>	x <sup>㉘</sup>	1 <sup>㉙</sup>	1 <sup>㉚</sup>
翻转(计数) <sup>㉛</sup>	1 <sup>㉜</sup>	1 <sup>㉝</sup>	1 <sup>㉞</sup>	1 <sup>㉟</sup>	$\overline{Q}$ <sup>㊱</sup>	Q <sup>㊲</sup>
置 1 <sup>㊳</sup>	1 <sup>㊴</sup>	1 <sup>㊵</sup>	0 <sup>㊶</sup>	1 <sup>㊷</sup>	0 <sup>㊸</sup>	1 <sup>㊹</sup>

续表<sup>①</sup>

操作模式 <sup>①</sup>	输入 <sup>②</sup>			输出 <sup>③</sup>		
	$\overline{SD}$ <sup>④</sup>	$\overline{RD}$ <sup>⑤</sup>	J <sup>⑥</sup>	K <sup>⑦</sup>	Q <sup>⑧</sup>	$\overline{Q}$ <sup>⑨</sup>
置 0 <sup>⑩</sup>	1 <sup>⑪</sup>	1 <sup>⑫</sup>	1 <sup>⑬</sup>	0 <sup>⑭</sup>	1 <sup>⑮</sup>	0 <sup>⑯</sup>
保持 <sup>⑰</sup>	1 <sup>⑱</sup>	1 <sup>⑲</sup>	0 <sup>⑳</sup>	0 <sup>㉑</sup>	Q <sup>㉒</sup>	$\overline{Q}$ <sup>㉓</sup>

# 触发器及其应用

## 3. 实验内容及步骤

### 1) RS锁存器的逻辑功能测试

用74LS00芯片搭建RS锁存器，并测试其逻辑功能，将结果填入表6-3-6。

### 2) D触发器的逻辑功能测试

设置触发器的初始状态，将D端分别接高、低电平，用点动脉冲作为CP，观察并记录当CP的上升沿、下降沿到来时Q端状态的变化，并将结果填入表。

### 3) JK触发器的逻辑功能测试

设置JK触发器的初始状态，用点动脉冲作为CP，观察并记录当CP的下降沿到来时Q端状态的变化，并将结果填入表。

$\bar{S}^{(i)}$	$\bar{R}^{(i)}$	$Q^{n(i)}$	$Q^{n+1(i)}$
1 <sup>(i)</sup>	1 <sup>(i)</sup>	0 <sup>(i)</sup>	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	1 <sup>(i)</sup>	↔
0 <sup>(i)</sup>	1 <sup>(i)</sup>	0 <sup>(i)</sup>	↔
0 <sup>(i)</sup>	1 <sup>(i)</sup>	1 <sup>(i)</sup>	↔
1 <sup>(i)</sup>	0 <sup>(i)</sup>	0 <sup>(i)</sup>	↔
1 <sup>(i)</sup>	0 <sup>(i)</sup>	1 <sup>(i)</sup>	↔
0 <sup>(i)</sup>	0 <sup>(i)</sup>	0 <sup>(i)</sup>	不定 <sup>(i)</sup>
0 <sup>(i)</sup>	0 <sup>(i)</sup>	1 <sup>(i)</sup>	不定 <sup>(i)</sup>

$\bar{RD}^{(i)}$	$\bar{SD}^{(i)}$	$D^{(i)}$	$CP^{(i)}$	$Q^{n(i)}$	$Q^{n+1(i)}$	功能 <sup>(i)</sup>
0 <sup>(i)</sup>	1 <sup>(i)</sup>	X <sup>(i)</sup>	X <sup>(i)</sup>	↔	X <sup>(i)</sup>	↔
1 <sup>(i)</sup>	0 <sup>(i)</sup>	X <sup>(i)</sup>	X <sup>(i)</sup>	↔	X <sup>(i)</sup>	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	0 <sup>(i)</sup>	↑ <sup>(i)</sup>	0 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	0 <sup>(i)</sup>	↑ <sup>(i)</sup>	1 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	0 <sup>(i)</sup>	↓ <sup>(i)</sup>	0 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	0 <sup>(i)</sup>	↓ <sup>(i)</sup>	1 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	1 <sup>(i)</sup>	↑ <sup>(i)</sup>	0 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	1 <sup>(i)</sup>	↑ <sup>(i)</sup>	1 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	1 <sup>(i)</sup>	↓ <sup>(i)</sup>	0 <sup>(i)</sup>	↔	↔
1 <sup>(i)</sup>	1 <sup>(i)</sup>	1 <sup>(i)</sup>	↓ <sup>(i)</sup>	1 <sup>(i)</sup>	↔	↔

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：  
<https://d.book118.com/076225023032011003>