

TMS320C200系列 DSP寄存器及初始化

TMS320LF240系列 DSP使用时，在掌握了其工作原理和过程之后，就要熟练使用DSP自带的一些资源如：IO口、DSRMSRAM、EVA、EVB、SCI、SPI、ADC和WD等等；对这些资源的使用很重要的一点就是对其合理配置和初始化，初始化的关键就是对其相关寄存器的设置，设置寄存器必须了解各位的含义，记住每位含义是不大现实的；为此，我们专门设计了 DSP初始化子程序，注明每个模块所用到的寄存器以及每位含义，以方便设计。

=====

DSP系统初始化

=====

15	13	12	11	10	9	8									0
ST0	ARP		OV	OVM	1	INTM	DP								
15	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ST1	ARB		CNF	TC	SXM	C	1	1	1	1	XF	1	1	PM	

- ARB--- 辅助寄存器指针缓冲器：当 ARP被加载到 ST0，除了使用 LST指令外，原有的 ARP值被复制到 ARB中当通过 LST#1指令加载 ARB时，也把相同的 ARB值复制到 ARP
- ARP--- 辅助寄存器指针：ARP选择间接寻址时当前的辅助寄存器 AR当 ARP被加载时，原有的 ARP值被复制到 ARB寄存器中在间接寻址时，ARP可由存储器相关指令改变，也可由 LARPMAR和 LST指令改变当执行 LST#1指令时，ARP也可加载每 ARB相同的值
- C---- 进位位：此位在加法结果产生进位时被置为 1，或在减法结果产生借位时被清 0 否则，除了执行带有 16 位移位的 ADD或 SUB指令外，C 在加法后被清除或在减法后被设置在 ADD或 SUB指令时，ADD仅可对进位位进行置位而 SUB仅可对进位位进行清除，而不会对进位位产生其他影响移 1 位和循环指令也可影响进位位 C，以及 SETC CLRC和 LST指令也可影响 C条件转移、调用和返回指令可以根据 C的状态进行执行复位时 C被置 1
- CNF--- 片内 DARAM置位：若 CNF=0 可配置的双口 RAM区被映射到数据存储空间若 CNF=1 可配置的双口 RAM区被映射到程序存储空间 CNF位可通过 SETC CNF CLRC CNF和 LST指令修改 R/S/ 复位时 CNF置为 0
- DP---- 数据存储器页指针：9 位的 DP寄存器与一个指令字的低七位一起形成一个 16 位的直接寻址地址 INTM--- 中断模式位：当 INTM被置为 0 时，所有的未屏蔽中断使能当它被置 1，所有可屏蔽中断禁止
- OV---- 溢出标志位：该位保存一个被锁存的值，用以指示 CALU中是否有溢出发生一旦发生溢出，OV位保持为 1 直到下列条件中的一个发生时才能被清除
- OVM---溢出方式位：当 OVM=0 时，累加器中结果正常溢出当 OVM=1 时，根据遇到溢出的情况，累加器被设置为它的最大正值或负值 SETC指令和 CLRC指令分别对该位进行置位和复位
- PM---- 乘积移位方式：
 - 若 PM=00 乘法器的 32 位乘积结果不移位直接装入 CALU
 - 若 PM=01 PREG输出左移 1 位后装入 CALU 最低位 LSB以 0 填充
 - 若 PM=10 PREG输出左移 4 位后装入 CALU 最低位 LSB以 0 填充
 - 若 PM=11 时 PREG输出进行符号扩展右移六位
- SXM----符号扩展方式位：当 SXM=1 时，数据通过定标移位器传送到累加器时将产生符号扩展 SXM=0 将抑制符号扩展 SXM位对某些指令没有影响
- TC---- 测试 / 控制标志位：在下述情况之一，TC位被置 1：由 BIT 或 BITT指令测试的位为 1 当利用 NORM指令测试时，累加器的两个最高有效位 异或 功能为真条件转移、调用和返回指令可根据 TC位的条件来执行 BIT、

BITT、CMPLST和NORM指令影响TC位

XF---- XF引脚状态位：该位决定XF引脚的状态 SETCX指令可对位XF进行置位，而 CLR CX指令可对其进行清0
复位时XF置1

SCSR1--系统控制和状态寄存器 1---地址 7018H

D15--- 保留位

D14---CLKSRC CLKOUT1脚源选择位

0 CLKOUT 引脚输出 CPU时钟

1 CLKOUT 引脚输出 WDCLK时钟

D13---12 LPM (1: 0)。低功耗模式选择位

00 CPU 进入 IDLE1 (LPM0)

01 CPU 进入 IDLE2 (LPM1)

1x CPU 进入 HALT(LPM2)

D11-9---PLL 时钟预定标选择位，这三对输入时钟选择 PLL倍频系数。

sCLKPS1 CLIPS0 系统时钟频率

0 0 0 4*fin

1 0 0 0.8*fin

0 0 1 2*fin

1 0 1 0.66*fin

0 1 0 1.33*fin

1 1 0 0.57*fin

0 1 1 1*fin

1 1 1 0.5*fin

D8--- 保留位

D7---ADC CLKENADC模块时钟使能控制位。

0 禁止 ADC模块的时钟（即：关断 ADC模块以节约能量）

1 使能 ADC模块的时钟，且正常运行

D6---SCI CLKEN SCI 模块时钟使能控制位。

0 禁止 SCI 模块的时钟（即：关断 SCI 模块以节约能量）

1 使能 SCI 模块的时钟，且正常运行

D5---SPI CLKEN SPI 模块时钟使能控制位。

0 禁止 SPI 模块的时钟（即：关断 SPI 模块以节约能量）

1 使能 SPI 模块的时钟，且正常运行

D4---CAN CLKENCAN模块时钟使能控制位。

0 禁止 CAN模块的时钟（即：关断 CAN模块以节约能量）

1 使能 CAN模块的时钟，且正常运行

D3---EVB CLKEN EVB模块时钟使能控制位。

0 禁止 EVB模块的时钟（即：关断 EVB模块以节约能量）

1 使能 EVB模块的时钟，且正常运行

D2---EVA CLKEN EVA模块时钟使能控制位。

0 禁止 EVA模块的时钟（即：关断 EVA模块以节约能量）

1 使能 EVA模块的时钟，且正常运行

D1--- 保留位

D0---ILLADR位。无效地址检测位。

SCSR2----- 系统控制和状态寄存器 2---7019h

D15-7: 保留位

D6---I/P QUAL 时钟输入限定，它限定输入到 LF240x 的 CAP1-6、XINT1-2、ADCSQCPDPINTA*/PDPINTB*脚上的最小脉冲宽度。脉冲宽度只有达到这个宽度之后，内部的输入状态才会改变。

0-锁存脉冲至少需要 5 个时钟周期

1-锁存脉冲至少需要 11 个时钟周期。如这些引脚作 I/O 使用，则不使用输入时钟限定电路。

D5---WD 保护位，该位可用于禁止 WD 工作。该位是一个只能清除的位，复位后=1。通过向该位写 1 对其清 0。

0-保护 WD 防止 WD 被软件禁止。

1-复位时的默认值，禁止 WD 工作。

D4---XMIF HI-Z。该位控制外部存储器接口信号(XMIF)。

0-所有 XMIF 信号为正常驱动模式(非高阻态)。

1-所有 XMIF 信号处于高阻态。注意：该位仅对 LF2407/ LF2407A 型号有效，对其它型号为保留位

D3--- (使能位)。这位反映了 BOOTEN*脚在复位时的状态。

0-使能引导 ROM 地址 0000h-00FFh 被片内引导 ROM 块占用。禁止用 FLash 存储器。

1-禁止引导 ROM LF2407 片内 Flash 程序存储器映射地址范围为 0000h-7FFFh。

D2---MP/MC* (微处理器 / 微控制器选择)。

0:DSP 设置为微控制器方式，片内 FLASH 映射到程序存储器空间，地址为 0000h-7FFFh。

1:DSP 设置为微处理器方式，程序空间 0000h-7FFFh 被映射到片外程序存储器空间(必须外扩外部程序存储器)

D1-0---SARAM 的程序/数据空间选择

00-地址空间不被映射，该空间被分配到外部存储器

IMR----- 中断屏蔽寄存器

D15~6 保留位。这些位读出时始终为 0。

D5---INT6 mask 中断 6 的屏蔽位。

0 中断 INT6 级被屏蔽

1 中断 INT6 级被使能

D4---INT5 mask 中断 5 的屏蔽位。。

0 中断 INT5 级被屏蔽

1 中断 INT5 级被使能

D3---INT4 mask 中断 4 的屏蔽位。

0 中断 INT4 级被屏蔽

1 中断 INT4 级被使能

D2---INT3 mask 中断 3 的屏蔽位。

0 中断 INT3 级被屏蔽

1 中断 INT3 级被使能

D1---INT2 mask 中断 2 的屏蔽位。

0 中断 INT2 级被屏蔽

1 中断 INT2 级被使能

D0---INT1 mask 中断 1 的屏蔽位。

0 中断 INT1 级被屏蔽

1 中断 INT1 级被使能

IFR----- 中断标志寄存器

D15~6 保留位。这些位读出时始终为 0。

D5---INT6 flag 中断 6 标志位。该位用作连至第 6 级中断 INT6 的所有中断标志。

0 无 INT6 级的中断挂起

1 至少一个 INT6 级的中断挂起，向该位写 1 可将该位清除为 0，即清除中断请求。

D4---INT5 FLAG 中断 5 标志位。该位用作连至第 5 级中断 INT5 的所有中断标志。

0 无 INT5 级的中断挂起

1 至少一个 INT5 级的中断挂起，向该位写 1 可将该位清除为 0，即清除中断请求。

D3---INT4 FLAG 中断 4 标志位。该位用作连至第 4 级中断 INT4 的所有中断标志。

0 无 INT4 级的中断挂起

1 至少一个 INT4 级的中断挂起，向该位写 1 可将该位清除为 0，即清除中断请求。

D2---INT3 FLAG 中断 3 标志位。该位用作连至第 3 级中断 INT3 的所有中断标志。

0 无 INT3 级的中断挂起

- 1 至少一个 INT3 级的中断挂起，向该位写 1 可将该位清除为 0，即清除中断请求。
- D1---INT2 FLAG 中断 2 标志位。该位用作连至第 2 级中断 INT2 的所有中断标志。
- 0 无 INT2 级的中断挂起
- 1 至少一个 INT2 级的中断挂起，向该位写 1 可将该位清除为 0，即清除中断请求。
- D0---INT1 FLAG 中断 1 标志位。该位用作连至第 1 级中断 INT1 的所有中断标志。
- 0 无 INT1 级的中断挂起
- 1 至少一个 INT1 级的中断挂起，向该位写 1 可将该位清除为 0，即清除中断请求。

外设中断寄存器包括如下几种：

外设中断请求寄存器 0(PIRQR0)

外设中断请求寄存器 1(PIRQR1)

外设中断请求寄存器 2(PIRQR2)

外设中断应答寄存器 0(PIACKR0)

外设中断应答寄存器 1(PIACKR1)

外设中断应答寄存器 2(PIACKR2)

外设中断请求寄存器和外设中断应答寄存器都属于外设中断扩展模块用来向 CPU 产生 INT1-INT6 中断请求的内部寄存器。这些寄存器用户只能对其读。

PIVR----- 外设中断向量寄存器---701Eh

该寄存器的 16 位 V15-V0，为最近一次被应答的外设中断的地址向量。

PIRQR0----- 外设中断请求寄存器 0---7010h

D15 -0 : 外设请求标志位 IRQ0.15-IRQ0.0

0 无相应外设的中断请求

1 相应外设的中断请求被挂起

注：写入 1 会发出一个中断请求到 DSP 核，写入 0 无影响。

PIRQR1----- 外设中断请求寄存器 1---7011h

D15: 保留位，读出为 0，写入无影响。

D14 -0 : 外设请求标志位 IRQ1.14-IRQ1.0

0 无相应外设的中断请求

1 相应外设的中断请求被挂起

注：写入 1 会发出一个中断请求到 DSP 核，写入 0 无影响。

PIRQR2----- 外设中断请求寄存器 2---7012h

D15 : 保留位

D14 -0 : 外设请求标志位 IRQ2.14-IRQ2.0

0 无相应外设的中断请求

1 相应外设的中断请求被挂起

注：写 1 会发出一个中断请求到 DSP 核，写 0 无影响。

PIACKR0----- 外设中断应答寄存器 0---7014h

PIACKR1----- 外设中断应答寄存器 1---7015h

PIACKR2----- 外设中断应答寄存器 2---7016h

XINT1CR----- 外部中断 1 控制寄存器---7070h

寄存器位	对应功能
------	------

D15: XINT1标志位。	0 没有检测到跳变 1 检测到跳变
D14-3: 保留位	
D2: XINT1极性	0 在下降沿产生中断 1 在上升沿产生中断
D1: XINT1优先级	0 高优先级 1 低优先级
D0: XINT1使能位	0 屏蔽中断 1 使能中断

XINT2CR----- 外部中断 2 控制寄存器---7071h

寄存器位	对应功能
D15: XINT2中断请求标志位	当 XINT2的中断请求被应 答时，该位被自动清 0。 0—没有检测到跳变 1—检测到跳变 软件向该位写 1(写 0 无效)或器件复位时，该位也被清 0
D14-3: 保留位	
D2: XINT2极性	该位决定 XINT2引脚信号的上升沿还是下降沿产生中断。 0 在下降沿产生中断 1 在上升沿产生中断
D1: XINT2的中断优先级	0 高优先级 1 低优先级
D0: XINT2的中断使能位	0 屏蔽该中断 1 使能该中断

中断相关代码

```

setc intm      关闭所有可屏蔽中断
clr sxm
clr ovm
clr cnf B0     被配置为数据存储空间
ldp #DP_PF1
splk #85feh, SCSR1
splk #0e8h, WDCR  不使能 WDT
ldp #0
splk #0000h, IMR  关闭中断
splk #0ffffh, IFR  清全部中断标志
LDP #0E0H
SPLK #81FEH, SCSR1 CLKIN=6 M,CLKOUT=24 M
SPLK #0E8H, WDCR  不使能 WDT

```

GPIO---- 初始化

7090h MCRA I/O 复用控制寄存器 A
 7092h MCRB I/O 复用控制寄存器 B
 7094h MCRC I/O 复用控制寄存器 C
 7098h PADATDIR I/O 端口 A 数据和方向寄存器
 709Ah PBDATDIR I/O 端口 B 数据和方向寄存器

709Ch PCDATDIR I/O 端口 C 数据和方向寄存器
 709Eh PDDATDIR I/O 端口 D 数据和方向寄存器
 7095h PEDATDIR I/O 端口 E 数据和方向寄存器
 7096h PFDATDIR I/O 端口 F 数据和方向寄存器

MCRA----I/O 口复用控制寄存器 A---7090H

MCRA.n=1(基本功能) MCRA.n=0(一般 I/O 口)

0 MCRA. 0	SCITXD	IOPA0
1 MCRA. 1	SCIRXD	IOPA1
2 MCRA. 2	XINT1	IOPA2
3 MCRA. 3	CAP1/QEP1	IOPA3
4 MCRA. 4	CAP2/QEP2	IOPA4
5 MCRA. 5	CAP3	IOPA5
6 MCRA. 6	PWM1	IOPA6
7 MCRA. 7	PWM2	IOPA7
8 MCRA. 8	PWM3	IOPB0
9 MCRA. 9	PWM4	IOPB1
10 MCRA.10	PWM5	IOPB2
11 MCRA.11	PWM6	IOPB3
12 MCRA.12	T1PWM/T1CMP	IOPB4
13 MCRA.13	T2PWM/T2CMP	IOPB5
14 MCRA.14	TDIRA	IOPB6
15 MCRA.15	TCLKINA	IOPB7

MCRB----I/O 口复用控制寄存器 B---7092H

MCRB.n=1(基本功能) MCRB.n=0(一般 I/O 口)

0 MCRB. 0	W/R	IOPC0
1 MCRB. 1	BIO	IOPC1
2 MCRB. 2	SPISIMO	IOPC2
3 MCRB. 3	SPISOMI	IOPC3
4 MCRB. 4	SPICLK	IOPC4
5 MCRB. 5	SPISTE	IOPC5
6 MCRB. 6	CANTX	IOPC6
7 MCRB. 7	CANRX	IOPC7
8 MCRB. 8	XINT2/ADCSOC	IOPD0
9 MCRB. 9	EMU0	Reserved
10 MCRB.10	EMU1	Reserved
11 MCRB.11	TCK	Reserved
12 MCRB.12	TDI	Reserved
13 MCRB.13	TDO	Reserved
14 MCRB.14	TMS	Reserved
15 MCRB.15	TMS2	Reserved

MCRC-----I/O 口复用控制寄存器 A---7094H

MCRC.n=1(基本功能) MCRC.n=0(一般 I/O 口)

0 MCRC. 0	CLKOUT	IOPE0	8 MCRC. 8	CAP5/QEP4	IOPF0
1 MCRC. 1	PWM7	IOPE1	9 MCRC. 9	CAP6	IOPF1
2 MCRC. 2	PWM8	IOPE2	10 MCRC.10	T3PWM/T3CMP	IOPF2
3 MCRC. 3	PWM9	IOPE3	11 MCRC.11	T4PWM/T4CMP	IOPF3
4 MCRC. 4	PWM10	IOPE4	12 MCRC.12	TDIRB	IOPF4
5 MCRC. 5	PWM11	IOPE5	13 MCRC.13	TCLKINB	IOPF5
6 MCRC. 6	PWM12	IOPE6	14 MCRC.14	Reserved	IOPF6
7 MCRC. 7	CAP4/QEP3	IOPE7	15 MCRC.15	Reserved	Reserved

注意：保留位是不可操作的，读出为0，写入对它无影响。当复用 I/O 脚无论是被配置为外设功能还是为通用 I/O 时，引脚的状态都可通过读 I/O 数据寄存器来获取。如果 I/O 端口用作通用 I/O，则必须对数据和方向寄存器进行初始化设置，规定其为输入端口还是输出端口。

PADATDIR---I/O端口 A数据和方向控制寄存器 ---7098h		PBDATDIR----I/O端口 B数据和方向控制寄存器 ---709Ah	
D15-8---AnDIR	PA7-PA0的数据方向 0—相应引脚配置为输入 1—相应引脚配置为输出	D15-8: BnDIR	PB7-PB0的数据方向 0—相应引脚配置为输入 1—相应引脚配置为输出
D7-0---IOPAn	如果 AnDIR=0 引脚配置为输入： 0—相应引脚的电平读为低电平 1—相应引脚的电平读为高电平 如果 AnDIR=1 引脚配置为输出： 0—设置相应引脚，使其输出信号为低电平 1—设置相应引脚，使其输出信号为高电平	D7-0: IOPBn	如果 BnDIR=0 引脚配置为输入方式。 0—相应引脚的电平读为低电平 1—相应引脚的电平读为高电平 如果 BnDIR=1 引脚配置为输出 0—设置相应引脚，使其输出信号为低电平时有效 1—设置相应引脚，使其输出信号为高电平时有效

PCDATDIR-----I/O 端口 C数据和方向控制寄存器---709Ch

D15-8: CnDIR PC7-PC0的数据方向

0—相应引脚配置为输入

1—相应引脚配置为输出

D7-0: IOPC7-IOPC0

如果 CnDIR=0 引脚配置为输入。

0—相应引脚的电平读为低电平

1—相应引脚的电平读为高电平

如果 BnDIR=1 引脚配置为输出

0—设置相应引脚，使其输出信号为低电平

1—设置相应引脚，使其输出信号为高电平

PDDATDIR-----I/O 端口 D数据和方向控制寄存器---709Eh

D15-9 : 保留位

D8 : D0DIR

0—相应引脚配置为输入

1—相应引脚配置为输出

D7-1 : 保留

D0 : IOPD0

如果 D0DIR=0 引脚配置为输入。

0—相应引脚的电平读为低电平

1—相应引脚的电平读为高电平

如果 D0DIR=1 引脚配置为输出

0—设置相应引脚，使其输出信号为低电平时有效

1—设置相应引脚，使其输出信号为高电平时有效

PEDATDIR-----I/O 端口 E 数据和方向控制寄存器---7095h

D15-8 : EnDIR

0—相应引脚配置为输入

1—相应引脚配置为输出

D7-0 : IOPEn

如果 EnDIR=0 引脚配置为输入。

0—相应引脚的电平读为低电平

1—相应引脚的电平读为高电平

如果 EnDIR=1, 引脚配置为输出

0—设置相应引脚, 使其输出信号为低电平时有效

1—设置相应引脚, 使其输出信号为高电平时有效

PFDATDIR-----I/O 端口 F 数据和方向控制寄存器---7096h

D15: 保留位

D14-8 : EnDIR

0—相应引脚配置为输入

1—相应引脚配置为输出

D7-0 : IOPFn

如果 FnDIR=0 引脚配置为输入。

0—相应引脚的电平读为低电平

1—相应引脚的电平读为高电平

如果 FnDIR=1, 引脚配置为输出

0—设置相应引脚, 使输出为低电平有效

1—设置相应引脚, 使输出为高电平有效

IO 相关代码

```
ldp #DP_PF2
splk #0ff00h, MCRB
```

```
lacl MCRC
and #0ff00h IOPE      口配置为一般 I/O 功能
sacl MCRC
lacl PEDATDIR
or #0ff00h IOPE      设置为输出方式
sacl PEDATDIR
```

EVA/B---- 初始化

事件管理器 A 的引脚 事件管理器 B 的引脚

CAP1/QEP1 捕捉单元 1 输入,QEP 电路输入 1 CAP4/QEP3 捕捉单元 4 输入,QEP 电路 输入 3
 CAP2/QEP2 捕捉单元 2 输入,QEP 电路 输入 2 CAP5/QEP4 捕捉单元 5 输入,QEP 电路 输入 4
 CAP3 捕捉单元 3 输入 CAP6 捕捉单元 6 输入
 PWM1 比较单元 1 输出 1 PWM7 比较单元 4 输出 1
 PWM2 比较单元 1 输出 2 PWM8 比较单元 4 输出 2
 PWM3 比较单元 2 输出 1 PWM9 比较单元 5 输出 1
 PWM4 比较单元 2 输出 2 PWM10 比较单元 5 输出 2
 PWM5 比较单元 3 输出 1 PWM11 比较单元 6 输出 1
 PWM6 比较单元 3 输出 2 PWM12 比较单元 6 输出 2
 T1CMP/T1PWM 定时器 1 比较/PWM 输出 T3CMP/T3PWM 定时器 3 比较/PWM 输出
 T2CMP/T2PWM 定时器 2 比较/PWM 输出 T4CMP/T4PWM 定时器 4 比较/PWM 输出
 TCLKINA EVA 定时器的外部时钟输入 TCLKINB EVB 定时器的外部时钟输入
 TDIRA EVA 定时器的计数方向输入 TDIRB EVB 定时器的计数方向输入

EV 寄存器及地址

EVA 定时器寄存器地址

地址	寄存器	名称	说明
7400h	GPTCONA	定时器控制寄存器 A	EVA
7401h	T1CNT	定时器 1 的计数寄存器	定时器 1
7402h	T1CMPR	定时器 1 的比较寄存器	
7403h	T1PR	定时器 1 的周期寄存器	
7404h	T1CON	定时器 1 的控制寄存器	
7405h	T2CNT	定时器 2 的计数寄存器	定时器 2
7406h	T2CMPR	定时器 2 的比较寄存器	
7407h	T2PR	定时器 2 的周期寄存器	
7408h	T2CON	定时器 2 的控制寄存器	
7500h	GPTCONB	定时器控制寄存器 B	EVB
7501h	T3CNT	定时器 1 的计数寄存器	定时器 3
7502h	T3CMPR	定时器 1 的比较寄存器	
7503h	T3PR	定时器 1 的周期寄存器	
7504h	T3CON	定时器 1 的控制寄存器	
7505h	T4CNT	定时器 2 的计数寄存器	定时器 4
7506h	T4CMPR	定时器 2 的比较寄存器	
7507h	T4PR	定时器 2 的周期寄存器	
7508h	T4CON	定时器 2 的控制寄存器	

比较控制寄存器地址

7411h COMCONA 比较控制寄存器 A EVA
7413h ACTRA 比较动作控制寄存器 A
7415h DBTCONA 死区时间控制寄存器 A
7417h CMPR1 比较寄存器 1
7418h CMPR2 比较寄存器 2
7419h CMPR3 比较寄存器 3

EVB比较控制寄存器地址

7511h COMCONB 比较控制寄存器 B EVB
7513h ACTRB 比较动作控制寄存器 B
7515h DBTCONB 死区时间控制寄存器 B
7517h CMPR4 比较寄存器 4
7518h CMPR5 比较寄存器 5
7519h CMPR6 比较寄存器 6

FIFO堆栈的底部寄存器，允许读取最近的捕捉值

7427h CAP1FBOT EVA
7428h CAP2FBOT
7429h CAP3FBOT
7527h CAP4FBOT EVB
7428h CAP5FBOT
7429h CAP6FBOT

EV中断寄存器地址

742Ch EVAIMRA EVA的中断屏蔽寄存器 A EVA
742Dh EVAIMRB EVA的中断屏蔽寄存器 B
742Eh EVAIMRC EVA的中断屏蔽寄存器 C
742Fh EVAIFRA EVA的中断标志寄存器 A
7430h EVAIFRB EVA的中断标志寄存器 B
7431h EVAIFRC EVA的中断标志寄存器 C
752Ch EVBIMRA EVB的中断屏蔽寄存器 A EVB
752Dh EVBIMRB EVB的中断屏蔽寄存器 B
752Eh EVBIMRC EVB的中断屏蔽寄存器 C
752Fh EVBIFRA EVB的中断标志寄存器 A
7530h EVBIFRB EVB的中断标志寄存器 B
7431h EVBIFRC EVB的中断标志寄存器 C

EVA捕捉控制寄存器地址

7420h CAPCONA 捕捉控制寄存器 A EVA
7422h CAPFIFOA 捕捉 FIFO 状态寄存器 A
7423h CAP1FIFO 两级深度的捕捉 FIFO 堆栈 1
7424h CAP2FIFO 两级深度的捕捉 FIFO 堆栈 2
7425h CAP3FIFO 两级深度的捕捉 FIFO 堆栈 3

EVB捕捉控制寄存器地址

7520h CAPCONB 捕捉控制寄存器 B EVB
7522h CAPFIFOB 捕捉 FIFO 状态寄存器 B
7523h CAP4FIFO 两级深度的捕捉 FIFO 堆栈 4
7524h CAP5FIFO 两级深度的捕捉 FIFO 堆栈 5
7525h CAP6FIFO 两级深度的捕捉 FIFO 堆栈 6

EVAIFRA---EVA中断标志寄存器 A--742FH

D15~11 保留位

D10 T1OFINT FLAG 通用定时器 1 上溢中断标志

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D9 T1UFINT FLAG 通用定时器 1 下溢中断标志

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D8: TICINTFLAG 通用定时器 1 比较中断标志位。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D7: T1PINT FLAG 通用定时器 1 周期中断标志位。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D6~4 保留位

D3: CMP3INT。比较单元 3 中断标志位。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D2: CMP2INT。比较单元 2 中断标志位

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D1: CPP1INT。比较单元 1 中断标志位

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D0: PDPINTA。功率驱动保护中断标志。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

EVAIFRB---- EVA中断标志寄存器 B----7430H

D15~4 保留位

D3: T2OFINTFLAG 通用定时器 2 上溢中断标志位。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D2: T2OFINT FLAG 通用定时器 2 上溢中断标志位

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D1: T2CINT FLAG 通用定时器 2 比较中断标志位。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D2: T2PINT FLAG 通用定时器 2 周期中断标志位。

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

EVAIFRC----EVA中断标志寄存器 C----7431H

D15~3 保留位

D2 CAP3INT FLAG 捕获单元 3 中断标志位

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D1 CAP2INT FLAG 捕获单元 2 中断标志位

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

D0 CAP1INT FLAG。捕获单元 1 中断标志位

READ: 0 标志被复位 WRITE: 0 无效

1 标志被置位 1 复位标志位

EVAIMRA----EVA中断屏蔽寄存器 A----742CH

D15~11 保留位

D10 T1OFINT ENABLE 通用定时器 1 上溢中断使能位。

0 禁止 1 使能

D9 T1UFINT ENABLE 通用定时器 1 下溢中断使能位。

0 禁止 1 使能

D8 TICINT ENABLE。通用定时器 1 比较中断使能位。

0 禁止 1 使能

D7 TIPINT ENABLE。通用定时器 1 周期中断使能位。

<p>禁止 1 使能</p> <p>D6~4 保留位。</p> <p>D3 CMP3INT ENABLE 比较单元 3 中断使能位。</p> <p>0 禁止 1 使能</p> <p>D2 CMP2INT ENABLE 比较单元 2 中断使能位。</p>	<p>0 禁止 1 使能</p> <p>D1 CMPIINT ENABLE。比较单元 1 中断使能位。</p> <p>0 禁止 1 使能</p> <p>D0 PDPINTA ENABLE 功率驱动保护中断使能位</p> <p>0 禁止 1 使能</p>
-----------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------

EVAIMRB---EV~~A~~中断屏蔽寄存器 B-- 地址 742Dh

D15~4 保留位	
<p>D3 T2OFINT ENABLE 通用定时器 2 上溢中断使能位。</p> <p>0 禁止 1 使能</p> <p>D2 T2UFINT ENABLE 通用定时器 2 下溢中断使能位。</p> <p>0 禁止 1 使能</p>	<p>D1 T2CINT ENABLE 通用定时器 2 比较中断使能位。</p> <p>0 禁止 1 使能</p> <p>D0 T2PINT ENABLE 通用定时器 2 周期中断使能位。</p> <p>0 禁止 1 使能</p>

EVAIMRC---EV~~A~~中断屏蔽寄存器--地址 742Eh

D15~3 保留位	
<p>D2 CAP3INT ENABLE 捕获单元 3 中断使能位。</p> <p>0 禁止 1 使能</p> <p>D1 CAP2IINT ENABLE 捕获单元 2 中断使能位。</p>	<p>0 禁止 1 使能</p> <p>D0 CAP1INT ENABLE 捕获单元 1 中断使能位。</p> <p>0 禁止 1 使能</p>

EVBIFRA---EV~~B~~中断标志寄存器 A----752FH
 EVBIFRB---EV~~B~~中断标志寄存器 B----7530H
 EVBIFRC---EV~~B~~中断标志寄存器 C----7531H
 EVBIMRA---EV~~B~~中断屏蔽寄存器 A----752CH
 EVBIMRB---EV~~B~~中断屏蔽寄存器 B----752DH
 EVBIMRC---EV~~B~~中断屏蔽寄存器 C----752EH

定时器初始化

TxCON----- 定时器 X控制寄存器---x=1,2,3,4 ; 7404H,7408H,7504H,7508H

D15~14 Free SOFt	<p style="text-align: center;">仿真控制位</p> <p>00 一旦仿真挂起，立即停止</p> <p>01 一旦仿真挂起，在当前定时器周期结束后停止</p> <p>10 操作不受仿真挂起的影响</p> <p>11 操作不受仿真挂起的影响</p>
D13	保留位 读为 0，写无影响
D12~11 TMODE1/TMODE0	<p style="text-align: center;">记数模式选择</p> <p>00 停止/保持 01 连续增/减计数模式</p> <p>10 连续增计数模式 11 定向增计数模式</p>
D10~8 TPS2/TPS0	<p style="text-align: center;">输入时钟预定标系数</p> <p>000 X/1 001 X/2 010 X/4 011 X/8</p> <p>100 X/16 101 X/32 110 X/64 111 X/128</p> <p style="text-align: center;">X=CPU时钟频率</p>
D7 T2SWT1/T4SWT1	<p style="text-align: center;">定时器 2、4 周期寄存器选择位。</p> <p>0 定时器 2、4 使用自身的周期寄存器</p> <p>1 使用 T1CON T3CON中的定时器使能位来使能或禁止响应操作，从而忽略了自身的定时器使能位</p>
D6 TENABLE	<p style="text-align: center;">定时器使能位</p> <p>0 禁止定时器操作，即定时器被置于保持状态且预定标器被复位</p> <p>1 使能定时器操作</p>
D5 ~4 TCLKS1/TCLKS0	<p style="text-align: center;">时钟源选择。</p> <p>00 内部时钟 01 外部时钟 10 保留</p> <p>11 正交编码脉冲电路----只适用于定时器 2 和定时器 4，在定时器 1、3 中保留，这种操作只在 SELT1PR=0时有效</p>
D3~2 TCLD1/TCLD0	<p style="text-align: center;">定时器比较寄存器（如果有效）的重装载条件。</p> <p>00 当计数值是 0 时重装载</p> <p>01 当计数值是 0 或等于周期寄存器值时重装载</p> <p>10 立即重装载 11 保留</p>
D1 TECMPR	<p style="text-align: center;">定时器比较使能位。</p> <p>0 禁止定时器比较操作 1 使能定时器比较操作</p>
D0 SELT1PR	<p style="text-align: center;">周期寄存器选择，在定时器 2、4 中有效，定时器 1、3 中保留</p> <p>0 使能自身的周期寄存器</p> <p>1 使用 T1PR（在 EVA 模块）或 T3PR（在 EVB模块）作为周期寄存器，而忽略自身的周期寄存器</p>

全局通用定时器控制寄存器---7400H

D15 保留位	
D14 T2STAT	通用定时器 2 的状态，只读。 0 减计数 1 增计数
D13 T1STAT	通用定时器 1 的状态，只读 0 减计数 1 增计数
D12 ~11	保留位
D10~9 T2TOADC	通用定时器 2 启动模数转换事件。 00 无事件启动模数转换 01 设置由下溢中断标志来启动模数转换 10 设置由周期中断标志在启动模数转换 11 设置由比较中断标志来启动模数转换
D8~7 T1 TOADC	通用定时器 1 启动模数转换事件。 00 无事件启动模数转换 01 设置由下溢中断标志来启动模数转换 10 置由周期中断标志在启动模数转换 11 设置由比较中断标志来启动模数转换
D6 TCOMPOE	比较输出允许，如果 PDPINTx有效，则该位设置为 0。 0 禁止所有通用定时器比较输出（所有比较输出都置成高阻态）、 1 使能所有通用定时器比较输出
D5~4	保留位
D3~2 T2PIN	通用定时器 2 比较输出极性。 00 强制低 01 低有效 10 高有效 11 强制高
D1~0 T1PIN	通用定时器 1 比较输出极性。 00 强制低 01 低有效 10 高有效 11 强制高

GPTCONB-----全局通用定时器控制寄存器 B---7500H

D15	保留位
D14 T2STAT	通用定时器 4 的状态，只读。 0 减计数 1 增计数
D13 T1STAT	通用定时器 3 的状态，只读。 0 减计数 1 增计数
D12 ~11	保留位
D10~9 T2TOADC	通用定时器 4 启动模数转换事件。 00 无事件启动模数转换 01 设置由下溢中断标志来启动模数转换 10 设置由周期中断标志在启动模数转换 11 设置由比较中断标志来启动模数转换
D8~7 T1 TOADC	通用定时器 3 启动模数转换事件。 00 无事件启动模数转换 01 设置由下溢中断标志来启动模数转换 10 置由周期中断标志在启动模数转换 11 设置由比较中断标志来启动模数转换
D6 TCOMPOE	比较输出允许，如果 PDPINTx有效，则该位设置为 0。

	禁止所有通用定时器比较输出（所有比较输出都置成高阻态）、 1 使能所有通用定时器比较输出
D5~4	保留位
D3~2 T2PIN	通用定时器 4 比较输出极性。 00 强制低 01 低有效 10 高有效 11 强制高
D1~0 T1PIN	通用定时器 3 比较输出极性。 00 强制低 01 低有效 10 高有效 11 强制高

COMCONA----比较控制寄存器 A---7411H

D15 CENABLE	比较使能位 0 禁止比较操作，CMPRA和ACTRA寄存器的影子寄存器为透明 1 使能比较操作
D14 ~13 CLD1/CLD0	比较寄存器 CMPRA重载条件。 00 当 TICNT=0时（即下溢） 01 当 TICNT=0或 TICNT=T1PR时（即下溢或周期匹配） 10 立即 11 保留
D12 SVENABLE	空间矢量 PWM模式矢量位。 0 禁止空间矢量 PWM模式 1 使能空间矢量 PWM模式
D11~10 ACTRLD1/ACTRLD0	方式控制寄存器重载条件。 00 当 TICNT=0时（即下溢） 01 当 TICNT=0或 TICNT=T1PR时（即下溢或周期匹配） 10 立即 11 保留
D9 FCOMPOE	比较输出使能位。有效的 PDPINTA将此位清零
D8 PDPINTA STATUS	这一位反映了当前 PDPINTA引脚的状态。 (该位只在 240XA系列中应用，在 240X系列中为保留位)
D7~0	保留位

ACTRA--比较方式控制寄存器---7413H

D15 SVRDIR	空间矢量 PWM旋转方向位，仅用于空间矢量 PWM的产生。 0 正向 (CCW) 1 负向 (CW)
D14~12 D2/D0	基本的空间矢量位，仅用于空间矢量 PWM输出的产生
D11~10 CMP6ACT1/0	引脚 PWM6/IOPB3的比较输出方式选择位 00 强制低 01 低有效 10 高有效 11 强制高
D9~8 CMP5ACTR1/0	引脚 PWM5/IOPB2的比较输出方式选择位 00 强制低 01 低有效 10 高有效 11 强制高
D7~6 CMP4ACTR1/0	引脚 PWM4/IOPB1的比较输出方式选择位 00 强制低 01 低有效 10 高有效 11 强制高
D5~4 CMP3ACTR1/0	引脚 PWM3/IOPB0的比较输出方式选择位 00 强制低 01 低有效 10 高有效 11 强制高
D3~2 CMP2ACTR1/0	引脚 PWM2/IOPA7的比较输出方式选择位 00 强制低 01 低有效 10 高有效 11 强制高
D1~0 CMP1ACTR1/0	引脚 PWM1/IOPA6的比较输出方式选择位 00 强制低 01 低有效 10 高有效 11 强制高

DBTCONA-----死区控制寄存器 A---7415H

D15~12	保留位
D11~8 DBT3~DBT0	死区定时器 3 使能位，这些位决定了 3 个 4 位死区定时器的周期值
D7 EDBT3	死区定时器 3 使能位（对比较单元 3 的引脚 PWM ₃ 和 PWM ₄ 而言）。 0 禁止 1 使能
D6 EDBT2	死区定时器 2 使能位（对比较单元 2 的引脚 PWM ₂ 和 PWM ₃ 而言）。 0 禁止 1 使能
D5 EDBT1	死区定时器 1 使能位（对比较单元 1 的引脚 PWM ₁ 和 PWM ₂ 而言）。 0 禁止 1 使能
D4~2 DBTPS2~DBTPS0	死区定时器的预分频器 000 X/1 001 X/2 010 X/4 011 X/8 100 X/16 101 X/32 000 X/32 001 X/32
D1~0	保留位

CAPFIFOA----- 捕捉 FIFO 状态寄存器 A---7422h

D15-14	保留位
D13-12 CAP3FIFO	捕捉单元 3 的 FIFO 状态位 00 空 01 有一个输入 10 有两个输入 11 有两个输入并又捕捉到一个，第一个输入已丢失
D11-10 CAP2FIFO	捕捉单元 2 的 FIFO 状态位 00 空 01 有一个输入 10 有两个输入 11 有两个输入并又捕捉到一个，第一个输入已丢失
D9-8 CAP1FIFO	捕捉单元 1 的 FIFO 状态位 00 空 01 有一个输入 10 有两个输入 11 有两个输入并又捕捉到一个，第一个输入已丢失
D7-0	保留位

捕捉 FIFO 状态寄存器 B(CAPFIOB)---7522h, 与 CAPFIOA各位的意义相同。

EVAIFRA----- 以 EVA中断标志寄存器 A---742Fh

D15-11	保留位。 读返回 0，写无效
D10 T1OFINT FLAG	通用定时器 1 的上溢中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D9 T1UFINT FLAG	通用定时器 1 的下溢中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D8 T1CINT FLAG	通用定时器 1 的比较中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D7 T1PINT FLAG	通用定时器 1 的周期中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D6-4	保留位。读返回 0，写无效
D3 CMP3INT FLAG	比较单元 3 中断标志

	读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D2 CMP2INT FLAG	比较单元 2 中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D1 CMP1INT FLAG	比较单元 1 中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位
D0 PDPINTA FLAG	功率驱动保护中断标志 读 0: 标志被复位 1: 标志被置位 写 0: 无效 1: 复位标志位

EVAIFRB EVAIFRC各位意义与上述类似!

EVAIFRA-----EVA中断屏蔽寄存器 A---742Ch

D15-11	保留位。读返回 0，写无效
D10 T1OFINT ENABLE	通用定时器 1 的上溢中断使能 0: 禁止 1: 使能
D9 T1UFINT ENABLE	通用定时器 1 的下溢中断使能 0: 禁止 1: 使能
D8 T1CINT ENABLE	通用定时器 1 的比较中断使能 0: 禁止 1: 使能
D7 T1PINT ENABLE	通用定时器 1 的周期中断使能 0: 禁止 1: 使能
D6-4 保留位	读返回 0，写无效
D3 CMP3INT ENABLE	比较单元 3 中断使能 0: 禁止 1: 使能
D2 CMP2INT ENABLE	比较单元 2 中断使能 0: 禁止 1: 使能
D1 CMP1INT ENABLE	比较单元 1 中断使能 0: 禁止 1: 使能
D0 PDPINTA ENABLE	功率驱动保护中断使能 0: 禁止 1: 使能

EVAIMRBEVAIMR各位意义与上述类似!

比较单元操作所要求的寄存器设置顺序

EVA模块	EVB	模块
设置 T1PR		设置 T3PR
设置 ACTRA		设置 ACTRB
初始化 CMPRx		初始化 CMPRx
设置 COMCONA		设置 COMCONB
设置 T1CON		设置 T3CON

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/086152052010010234>