

(19) 中华人民共和国国家知识产权局



(12) 发明专利说明书

(10) 申请公布号 CN 104246979 A

(43) 申请公布日 2014.12.24

---

(21) 申请号 CN201380020805.6

(22) 申请日 2013.09.10

(71) 申请人 道康宁公司

地址 美国密歇根州

(72) 发明人 M·罗伯达 G 钟

(74) 专利代理机构 北京安信方达知识产权代理有限公司

代理人 张瑞

(51) Int. CI

H01L21/20

权利要求说明书 说明书 幅图

---

(54) 发明名称

SiC 上的高电压功率半导体器件

(57) 摘要

具有 50 - 100  $\mu$  厚度的 4H SiC 磊晶片在 4 度偏轴衬底上生长。通过检测所述磊晶片，获得 2 - 6cm

法律状态

法律状态公告日

法律状态信息

法律状态

# 权利要求说明书

1.一种高电压半导体器件，包括：

4H-SiC 衬底，所述衬底具有  $0.02$  至  $1.5\text{cm}^2$  的面积，其具有：

小于  $1/\text{cm}^2$  的微管密度、

小于  $2000/\text{cm}^2$  的螺旋位错密度、以及

小于  $2000/\text{cm}^2$  的基面位错密度；以及

所述衬底上的多个外延层，其中所述多个外延层中的至少一个具有：

$1 \times 10^{14}/\text{cm}^3$  至  $2 \times 10^{16}/\text{cm}^3$  范围内的净载流子浓度、

小于  $1/\text{cm}^2$  的微管密度、

小于  $2000/\text{cm}^2$  的螺旋位错密度、以及

小于  $10/\text{cm}^2$  的基面位错密度。

2.根据权利要求 1 所述的高电压半导体器件，还包括由两个相邻外延层形成的至少一个 p-n 结。

<Claim>3.根据权利要求 1-2中任一项所述的高电压半导体器件，还包括载流子寿命大于 1 微秒的至少一个外延层。

<Claim>4.根据权利要求 1-3中任一项所述的高电压半导体器件，其中反向偏置闭锁电压，表示为在小于或等于  $10\text{mA}/\text{cm}^2$  的漏电流处测得的最大电压，处于大于通过使用 SiC 材料常数对所述器件建模所测定的理论值的 85%的范围内。

<Claim>5.根据权利要求 1-4中任一项所述的高电压半导体器件，其中所述 4H-SiC 衬底为单晶 4H-SiC 衬底。

6.根据权利要求 5 所述的高电压半导体器件，其中所述单晶 4H-SiC 衬底以远离 c-轴倾斜的角度切割。

7.根据权利要求 6 所述的高电压半导体器件，其中所述单晶 4H-SiC 衬底以朝  $\pm 11-20^\circ$  方向倾斜的角度切割。

8.一种用于制造半导体器件的方法，包括：

制造 4H-SiC 衬底，所述衬底具有：

小于  $1/\text{cm}^2$  的微管密度、

小于  $2000/\text{cm}^2$  的螺旋位错密度、以及

小于  $2000/\text{cm}^2$  的基面位错密度；以及

在所述衬底上沉积多个外延层，其中所述多个外延层中的至少一个具有：

$1 \times 10^{14}/\text{cm}^3$  至  $2 \times 10^{16}/\text{cm}^3$  范围内的净载流子浓度、以及

小于  $1/\text{cm}^2$  的微管密度、

小于  $2000/\text{cm}^2$  的螺旋位错密度、以及

小于  $10/\text{cm}^2$  的基面位错密度。

9.根据权利要求 8 所述的方法，其中沉积所述多个外延层的步骤还包括形成至少一个 p-n 结。

<Claim>10.根据权利要求 8-9 中任一项所述的方法，其中所述 4H-SiC 衬底为单晶 4H-SiC 衬底。

11.根据权利要求 10 所述的高电压半导体器件，其中所述单晶 4H-SiC 衬底以远离 c-轴倾斜的角度切割。

12.根据权利要求 11 所述的高电压半导体器件，其中所述单晶 4H-SiC 衬底以朝 <math>\langle 11\bar{2}0 \rangle</math>方向倾斜的角度切割。

# 说明书

<p>关于联邦政府资助的研究或开发的声明

本发明是在政府支持下根据陆军研究实验室(Army Research Laboratory)所授予的合同 DAAD19-01-C-0067 做出的。政府可拥有本发明的某些权利。

相关申请的交叉引用

本申请要求 2012 年 9 月 11 日提交的美国临时专利申请 No. 61/699, 797 和 2013 年 8 月 6 日提交的美国专利申请 No. 13/959, 853 的权益和优先权, 所述两份专利申请名称均为 “High Voltage Power Semiconductor Device on SiC” (SiC 上的高电压功率半导体器件), 并且它们的全部公开内容据此以引用方式并入本文。</p>背景技术

<U>1. 技术领域</U>

本公开涉及半导体器件, 并且具体地讲, 涉及碳化硅衬底上制造的高功率半导体器件。

<U>2. 相关技术</U>

半导体 SiC 可用于构造在 600-10000V 范围内及更高的电压下操作的半导体器件。源于晶体的缺陷诸如微管、螺旋位错和基面位错在 SiC 衬底中存在显著的量, 并且将结合到用此材料制成的半导体器件的有源区中。据信这些缺陷将单独和一起限制半导体 SiC 器件的操作性能和稳定性(相对于由理论所预测的操作性能和稳定性), 并且当器件被设计成在电压范围的非常高端处操作时, 这些缺陷的效应变得更明显。

碳化硅 SiC 是熟悉材料科学、电子学和物理学的技术人员所公认对于宽带隙特性以及也对于极高硬度、高导热性和化学惰性特性有利的晶体半导体材料。这些特性使

SiC 成为对于制造功率半导体器件极具吸引力的半导体，使得与由更常见材料如硅制成的器件相比，功率密度和性能得以增强。有许多已公布的 SiC 特性的概述。例如，约费研究所 (Ioffe Institute) 编辑了 SiC 的特性并以

“ElectronArchive. New Semiconductor Materials. Characteristics. 电子档案。新半导体材料。特征和特性。” (1998-2001 在线公布。约费 (Ioffe) 公布的常见 SiC 材料常数通常用于器件建模活动。另参见

“Handbook Series on Semiconductor Parameters” vol. 1, edited by M. Levinstein, S. Rumyantsev and M. Shur, World Scientific, London, 1996, 1999 年“半导体参数的手册系列”，第 1、2 卷，由 M. Levinstein, S. Rumyantsev 和 M. Shur 编辑，世界科技出版社，伦敦，1996、1999 年)。

最常见形式的 SiC 由原子的立方或六方排列组成。Si 和 C 层的堆叠可呈现多种形式，称为多型体。碳化硅晶体的类型由表示堆叠序列中的重复单元数的数字后跟代表晶形的字母来表示。例如，3C-SiC 多型体是指 3 个重复单元和立方 (C) 晶格，而 4H-SiC 多型体是指 4 个重复单元和六方 (H) 晶格。

不同的碳化硅多型体在材料特性方面有一些差别，最明显的是电特性。4H-SiC 多型体具有相对较大的带隙，而 3C-SiC 具有较小的带隙，大多数其他多型体的带隙则落在两者之间。对于高性能功率器件应用，当带隙较大时，理论上，材料更能够提供相对较高的高功率和导热性性能。

SiC 晶体并非天然存在的，因此必须合成。SiC 晶体的生长可通过升华/物理气相运输或化学气相沉积来进行。

SiC 通过升华来生长极具挑战性。通过升华来生成为 Si/C 物质的蒸汽流要求温度超过 2000°C，这极大地限制了反应池组件和熔炉设计。最初，通过如艾奇逊法之类的工艺形成的 SiC 研磨材料用作晶体的 Si 和 C 原子的来源，随着技术成熟，多个团队开发出了合成专用于 SiC 晶体生长的 SiC 源粉末的装置。通常在处于真空室内

的石墨容器中进行生长。石墨容器通过电阻法或感应法进行加热。以小心的方式隔绝容器以在体积内形成受控的温度梯度。使用晶种，其形状通常类似于片状或盘状。晶种通常以其生长表面面向源材料来取向。容器中的晶种的位置被设计成使得当加热容器时，晶种位于相对较低温度位置，而 Si-C 源材料位于较高温度位置。当将容器加热至足以使源材料升华的温度时，蒸汽将向低温区域穿行并冷凝在晶种上。虽然该过程在概念上看似简单，但在实施过程中，SiC 的生长非常复杂并且是操作人员公认很难进行的。

历史上，基于 SiC 升华的晶体生长的最初进展首次由 Lely (US2854364-1958) 描述，其未加晶种的晶体生长的方法得到小六方 SiC 片晶。在 1970 年代和 1980 年代，产生对于制备器件具有吸引力的尺寸的首种晶体的技术由 Tairov 和 Tsvetkov 在俄罗斯完成 (Journal of Crystal Growth, 52 (1981) p. 146)。《晶体生长杂志》，第 52 卷，1981 年，第 146-150 页) 和

Progress in Controlling the Growth of Polytypic Crystals in Crystal Growth and Characterization of Polytype Structures, P. Krishna, ed., Pergamon Press, London, p. 111 (1983) (《晶体生长中多型晶体的生长及多型体结构的表征的进展》，P. Krishna 编辑，帕加蒙出版社，伦敦，第 111 页，1983 年)。他们的方法使用 Lely 晶体作为晶种，并通过如上所述的升华和输运进行生长。这些结果显示了通过晶种、压力控制和温度梯度的选择来进行多型体控制的方法。随后，Davis (US 4866005-1989) 揭示了通过源材料和梯度控制的恰当选择所实现的改进。Tairov、Tsvetkov 和 Davis 的方法的改良至今仍在不断揭示。

当产生较大晶体的方法出现时，关注点也会转移到控制晶体中的缺陷。缺陷可归类为包裹物和晶体位错。SiC 晶体中的主要晶体缺陷是螺旋位错。称为微管或空芯螺旋位错的特例就属于该类型。另外，还存在基面位错和螺纹型刃位错。这些缺陷源于多种来源。例如，晶种中所含的缺陷可传递到新生长的晶体体积中。温度梯度和热膨胀不匹配所产生并传递给生长过程中的晶种和晶体的应力可导致形成位错。升华蒸汽流的化学计量与形成 SiC 所需的化学计量的偏差可导致不稳定多型体生长，

继而在生长的晶体中产生多型体包裹物，导致多型体边界处的位错形成。甚至位错之间的相互作用也可形成或消除位错。

由所指出的方法产生的 SiC 晶体具有高浓度的位错。截至本申请提交时为止，螺旋位错和基面浓度的通常报告值在标称上分别为  $5000\text{--}10000/\text{cm}^2$ 。位错最常通过在垂直于晶体对称轴的平面中对晶体切片来进行评估。用熔融盐如氢氧化钾在  $350\text{--}500^\circ\text{C}$  范围内的温度下蚀刻暴露的晶体表面，将揭示与衬底平面相交的位错。每种位错类型具有独特的形状，从而可对它们独特地计数。位错通常以数量除以检测面积来计数和报告。该表征方法是有用的，因为其允许简单鉴别蚀刻所揭示的缺陷，所述缺陷存在于衬底平面上形成的半导体器件的有源区中。这些缺陷或这些缺陷的不存在通常与器件的电操作参数相关联。文献中有许多例子显示位错不均匀分布。较大计数的位错使得对每个位错计数显得非常不切实际，特别是由于如今要求对大于或等于相当于  $100\text{mm}$  直径圆形的截面进行检测。因此虽然可蚀刻整个衬底区域，但仅取样用于检测的表面的有限部分才决定归属于该部分的位错的量。不正确的取样方法可导致与较大晶体相关的位错浓度的估值错误。在大多数报告中，未提供取样方法的细节，因此结果通常难以重现(如果并非不可能的话)。

在固态物理学和半导体器件方面富有经验的科学家认识到，位错导致器件性能低于材料的理论特性。因此，现今的努力集中于改善半导体 SiC 晶体质量外观以识别和控制可减少源于晶体生长的缺陷的因素。

一旦产生足够大的晶体，就必须将晶体切割并制造成要在器件中使用的晶片，以便使用平面制造方法制造半导体器件。由于许多半导体晶体(如，硅、砷化镓)已成功开发并商业化为晶片产品，由大块晶体制造晶片的方法是已知的。晶片制造的常见方法和要求及表征的标准方法的综述可见于

Wolf and Tauber, Silicon Processing for the VLSI Era, Vol. 1-

Process Technology, Chapter 1 (Lattice Press-1986)和(Walfer, 《超大规模集成电路时代的硅处理，第1卷-工艺技术》，第1章，莱迪思出版社，1986年)。

由于其硬度，与处理其他常见半导体晶体如硅或砷化镓相比，将 SiC 制造成晶片衬底带来了独特的挑战。必须对机器进行改造，并改变研磨剂的选择而不使用常用材料。为适应 SiC 而对常见晶片制造技术的改造通常被其发明人作为专有资料保留。据报告，可在镜面抛光 SiC 晶片上观察到大量亚表面损伤，这可通过使用类似于硅行业中使用的化学增强机械抛光方法来减少或移除

(Zhou, L., et al., Chemomechanical Polishing of Silicon Carbide, J. Electrochem. Soc., Vol. 144, no. 6, June 1997, pp. L161-L163 (Zho 等人，碳化硅的化学机械抛光，《电化学学会杂志》，第 144 卷，第 6 期，1997 年 6 月，第 L161-L163 页))。

为了在 SiC 晶片上构造半导体器件，必须将另外的晶体 SiC 膜沉积在晶片上以形成具有所需电导率值和导体类型的器件有源区。这通常使用化学气相沉积 (CVD) 方法完成。自 1970 年代以来，俄罗斯、日本和美国的多个团队公布了通过 CVD 外延来生长 SiC 的技术。通过 CVD 来生长 SiC 的最常见化学物质为含硅的气源 (如，甲硅烷或氯硅烷) 和含碳的气源 (如，烃气) 的混合物。低缺陷外延层的生长的关键要素是衬底表面远离晶体对称轴倾斜以允许化学原子以衬底晶体所建立的堆叠顺序附接至表面。当该倾斜不足时，CVD 工艺将在表面上产生三维缺陷，并且此类缺陷将产生不可操作的半导体器件。表面瑕疵诸如裂纹、亚表面损伤、凹坑、颗粒、划痕或污染会妨碍通过 CVD 工艺复制晶片的晶体结构 (参见例如

Powell and Larkin, Phys. Stat. Sol. (b) 202, 529 (1997) 和 (Powell and Larkin, 《固体物理 (b)》，第 202 卷，第 529 页，1997 年))。重要的是用于制造晶片的抛光和清洗工艺最大程度减少表面瑕疵。在存在这些表面瑕疵的情况下，可在外延膜中产生若干缺陷，包括基面位错和立方 SiC 包裹物 (参见例如，

Powell, et. al. Transactions Third International High-Temperature Electronics Conference, Volume 1, pp. II-3-II-

8, Sandia National Laboratories, Albuquerque, NM USA, 9-14 June 1996 (Powell 等人，《第三届国际高温电子学会议汇刊》，第 1 卷，第 II-3-II 页，美国新墨西哥州阿尔伯克基的桑迪亚国家实验室，1996 年 6 月 9-14 日))。

SiC 中的缺陷已知能够限制或破坏缺陷上形成的半导体器件的操作。据 Neudeck 和 Powell 报道，空芯螺旋位错(微管)严重限制 SiC 二极管的电压闭锁性能 (P. G. Neudeck and J. A. Powell, IEEE Electron Device Letters, vol. 15, no. 2, pp. 63-65, (1994) (P. G. Neudeck 和 J. A. Powell 《IEEE 电子器件快报》，第 15 卷，第 2 期，第 63-65 页，1994 年))。Neudeck 在 1994 年综述了晶体(晶片)和外延来源缺陷对功率器件的影响，着重说明了由于螺旋位错和形态外延缺陷而对功率器件功能的限制 (Neudeck, Mat. Sci. Forum, Vols 338-342, pp. 1161-1166 (2000) (Neudeck 《材料科学论坛》，第 338-342 卷，第 1161-1166 页，2000 年))。据 Hull 报道，当在具有较低螺旋位错密度的衬底上制造二极管时，转移到了高电压二极管反向偏置漏电流的分布中的较低值 (Hull, et. al., Mat. Sci. forum, Vol. 600-603, p. 931-934 (2009) (Hull 《材料科学论坛》，第 600-603 卷，第 931-934 页，2009 年))。据 Lendenmann 报道，双极性二极管中的正向电压下降与外延层中的基面位错有关，外延层中的基面位错源自衬底中的基面位错 (Lendenmann et. al., Mat. Sci. Forum, Vols 338-342, pp. 1161-1166 (2000) (Lendenmann 等人，《材料科学论坛》，第 338-342 卷，第 1161-1166 页，2000 年))。为了实现 SiC 器件的潜在性能优势，必须将有源器件区域中的缺陷减少至它们为有效良性的水平。

由于大多数缺陷源于大块晶体，许多研究人员已尝试开发外延工艺，其可抑制如基面位错之类的缺陷从衬底扩展至外延膜。这些技术包括在 CVD 生长之前衬底表面的化学蚀刻、CVD 工艺的策略性改变、以及它们的组合。在基面位错从抛光衬底扩展到外延层中的情况下，这些位错转变为螺纹型刃位错，其对于半导体器件操作相对较良性，或者基面位错将延伸到外延层中。通过若干方法增强基面位错的减少，所述方法包括降低晶片的倾斜角，改变抛光工艺，改变 CVD 工艺参数。例如，US 2009/0114148A1 提出中断 CVD 工艺可对减少外延层中的基面位错的数量起到正面影响。US2010/0119849 A1 提出使用液相外延作为抑制外延层中缺陷减少的方式。US2007/0221614 A1 将衬底和外延层的蚀刻和再抛光相结合以抑制外延层中的基面缺陷。这些和类似技术的典型局限性在于它们不能同时对所有类型的缺陷起作用。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/087002015066010006>