



AC780x 数据手册

适用于以下产品：

AC78016FDLA, AC78016MDQA, AC78016FDLI,
AC78016FCLI, AC78016MDQI, AC78016MCQI,
AC78013FDLI, AC78013FCLI, AC78013MDQI,
AC78013MCQI, AC78013MBQI, AC78013FDLA,
AC78013FCLA, AC78013MDQA, AC78013MCQA,
AC78013MBQA, AC78012FDLI, AC78012FCLI,
AC78012FBLI, AC78012MDQI, AC78012MCQI,
AC78012MBQI, AC78012PBTI, AC78012PBTA,
AC78010FCLI

文档版本： 1.4

发布日期： 2022-02-15

© 2013 - 2022 杰发科技

本文档包含杰发科技的专有信息。未经授权，严禁复制或披露本文档包含的任何信息。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。

修订记录

版本	日期	作者	描述
1.0	2020-06-30	AutoChips	初版
1.1	2020-08-13	AutoChips	更新封装 marking 的样式和字码位数。
1.2	2020-10-20	AutoChips	更新表6-2 VLVDL、VLVDH数据。
1.3	2021-12-30	AutoChips	更新表9-1 PA12、PA15 多路复用； 更新7.5.3 UART功能描述； 更新7.4.1 ADC特性的描述。
1.4	2022-02-15	AutoChips	更新主要特性时钟描述； 更新表6-1 DC特性； 更新表6-2 LVD /POR / AVDD电压告警规格； 更新表6-4 控制时序； 更新表7-3 OSC和ICS规格； 更新7.4.1 ADC特性的描述； 更新表7-8 比较器电气规格。

版权声明

本数据手册包含杰发科技的机密信息。禁止未经授权使用或披露本手册包含的信息。对因未经杰发科技授权而全部或部分披露此文档内容而给杰发科技带来的任何损失或损害，杰发科技将追究责任。

杰发科技保留对此处任何信息进行更改的权利，此处的信息如有变更，恕不另行通知。杰发科技对使用或依赖此处包含的信息不承担任何责任。

本数据手册的所有信息均“按原样”提供，不提供任何形式的明示、暗示、法定或其他形式的保证。杰发科技明确拒绝对适销性，非侵权性和针对特定用途的适用性方面的所有暗示保证。杰发科技对本手册可能使用、包含或提供的任何第三方软件不提供任何担保，并且用户同意仅向该等第三方寻求与此相关的任何担保索赔。杰发科技对于根据用户规格或为符合特定标准或公开论坛而产生的任何交付物，也不承担任何责任。

文档目录

修订记录.....	2
版权声明.....	3
文档目录.....	4
插图目录.....	6
表格目录.....	7
1 主要特性.....	8
2 整体框图.....	10
3 器件标识.....	11
3.1 说明.....	11
3.2 格式.....	11
3.3 字段.....	11
3.4 示例.....	12
4 参数分类.....	13
5 额定值.....	14
5.1 热学操作额定值.....	14
5.2 湿度操作额定值.....	14
5.3 ESD 操作额定值.....	14
5.4 电压和电流操作额定值.....	15
6 通用.....	16
6.1 静态电气规格.....	16
6.1.1 电源和地引脚.....	16
6.1.2 DC 特性.....	17
6.1.3 电源电流特性.....	19
6.2 动态规格.....	21
6.2.1 控制时序.....	21
6.2.2 PWM 模块时序.....	22
6.3 热规格.....	22
6.3.1 热特性.....	22
7 外设工作要求和行为.....	25
7.1 内核模块.....	25
7.1.1 SWD 电气规格.....	25
7.2 外部振荡器 (OSC) 和内部时钟源(ICS) 特性.....	25
7.2.1 外部振荡器(OSC) 特性.....	25
7.2.2 内部 RC 特性.....	26
7.2.3 PLL 特性.....	26
7.3 片内 Flash 规格.....	27
7.4 模拟.....	27
7.4.1 ADC 特性.....	27
7.4.2 模拟比较器 (ACMP) 电气规格.....	29
7.5 通信接口.....	29
7.5.1 SPI 规格.....	29
7.5.2 CAN 规格.....	31
7.5.3 UART 规格.....	31
7.5.4 I2C 规格.....	32
8 尺寸.....	34

8.1	LQFP48 封装信息	34
8.2	HVQFN32 封装信息	37
8.3	TSSOP20 封装信息	39
9	引脚分配	42
9.1	信号多路复用和引脚分配	42
9.2	器件引脚分配	44

插图目录

图 2-1 AC780x 整体框图.....	10
图 6-1 电压引脚去耦	16
图 6-2 定时器输入捕捉脉冲	22
图 7-1 典型晶振或振荡器电路.....	26
图 7-2 ADC 输入等效图.....	28
图 7-3 SPI 时序图 —主机.....	29
图 7-4 SPI 时序图 –从机(cpha=0)	30
图 7-5 SPI 时序图 –从机(cpha=1).....	30
图 7-6 标准与快速模式下 I2C 总线时序图.....	33
图 8-1 LQFP48 – 48 引脚， 7 x 7 毫米低轮廓四方引脚扁平式封装外形.....	34
图 8-2 LQFP48 正印示例图（封装顶视图）	36
图 8-3 HVQFN32 – 32 引脚， 5 x 5 毫米散热增强型非常薄四方扁平无引脚封装外形 ^[1]	37
图 8-4 HVQFN32 正印示例（封装顶视图）	38
图 8-5 TSSOP20 – 20 引脚， 6.5 x 4.4 毫米纤薄紧缩小尺寸封装外形 ^[1]	39
图 8-6 TSSOP20 正印示例（封装顶视图）	41
图 9-1 48 引脚 LQFP 封装	44
图 9-2 32 引脚 HVQFN32 封装	45
图 9-3 20 引脚 TSSOP20 封装	46

表格目录

表 3-1 器件编号字段说明.....	11
表 4-1 参数分类	13
表 5-1 热学操作额定值	14
表 5-2 湿度操作额定值	14
表 5-3 ESD 操作额定值.....	14
表 5-4 电压和电流操作额定值.....	15
表 6-1 DC 特性.....	17
表 6-2 LVD /POR / AVDD 电压告警规格	18
表 6-3 供电电流特性	19
表 6-4 控制时序	21
表 6-5 PWM 输入时序.....	22
表 6-6 热学属性	22
表 7-1 SWD 全电压范围电气规格	25
表 7-2 OSC 规格 (环境温度范围 = -40 至 125 °C)	25
表 7-3 OSC 和 ICS 规格 (环境温度范围 = -40 至 125 °C).....	26
表 7-4 PLL 特性	26
表 7-5 片内 Flash 特性.....	27
表 7-6 12 位 ADC 和温度传感器工作条件和特性	27
表 7-7 12 位 ADC 和温度传感器工作条件和特性 (续)	28
表 7-8 比较器电气规格	29
表 7-9 SPI 特性- 从机.....	31
表 7-10 CAN 唤醒脉冲特性.....	31
表 7-11 不同模式下 I2C 总线特性	32
表 8-1 LQFP48 – 48 引脚, 7 x 7 毫米低轮廓四方引脚扁平式封装机械数据 ^[1]	35
表 8-2 HVQFN32 – 32 引脚, 5 x 5 毫米散热增强型非常薄四方扁平无引脚封装机械数据 ^[1]	38
表 8-3 TSSOP20 – 20 引脚, 6.5 x 4.4 毫米纤薄紧缩小尺寸封装封装机械数据 ^[1]	40
表 9-1 信号多路复用和引脚分配表	42

1 主要特性

- 车规标准
 - 支持 AEC-Q100 Grade 1
- 性能
 - 高达 72 MHz 的 ARM® Cortex-M0+内核
 - 单周期 32 位乘法器
 - 快速 I/O 访问接口
 - 32 位协处理器(除法器/均方根)
- 存储器和存储器接口
 - 最高 128 KB 的片内 Flash
 - 最高 20 KB 的 SRAM, 支持 ECC
- 时钟
 - 振荡器 (Oscillator) – 支持 4 MHz 到 30 MHz 石英晶体振荡器; 可选择低功耗或高增益振荡器
 - 内部时钟源 (ICS) – 内部 PLL, 集成内部或外部基准时钟源, 8 MHz 预校准内部基准时钟源, 可作为 PLL 参考输入时钟, 经过 PLL 倍频产生 72 MHz 系统时钟
 - 内部 32 KHz 低功耗振荡器 (LPO)
- 系统外设
 - 电源管理模块(PMC) 有三个功率模式: 运行、待机和停止
 - 低压检测复位电路 (LVD)
 - 带独立时钟源的看门狗(WDOG)
 - 可编程循环冗余校验(CRC)模块
 - 串行线调试(SWD)接口
 - 1 个 4 通道 DMA
- 人机接口
 - 42 个通用输入输出接口 (GPIO)
 - 外部中断 (IRQ)模块
- 模拟模块
 - 1 个多达 12 通道、12 位 1Msps 的 SAR ADC, 可选硬件触发器 (ADC)
 - 1 个包含 6 位 DAC 和可编程参考输入的模拟比较器(ACMP)
- 定时器
 - 2 个 8 通道互补脉宽调制 (PWM) 单元
 - 1 个 4 通道周期性中断定时器 (TIMER)
 - 2 个脉宽定时器 (PWDT)
 - 1 个实时时钟 (RTC)

- 通信接口

- 1 个 CAN-FD 模块，兼容 CAN
- 3 个 UART 模块（其中 2 路支持 Software LIN）
- 2 个 SPI 模块
- 2 个 I2C 模块

- 操作特性

- 电压范围：2.7 到 5.5 V
- 温度范围 (环境)：-40 到 125°C

- 封装选项

- 48 引脚 LQFP
- 32 引脚 HVQFN
- 20 引脚 TSSOP

2 整体框图

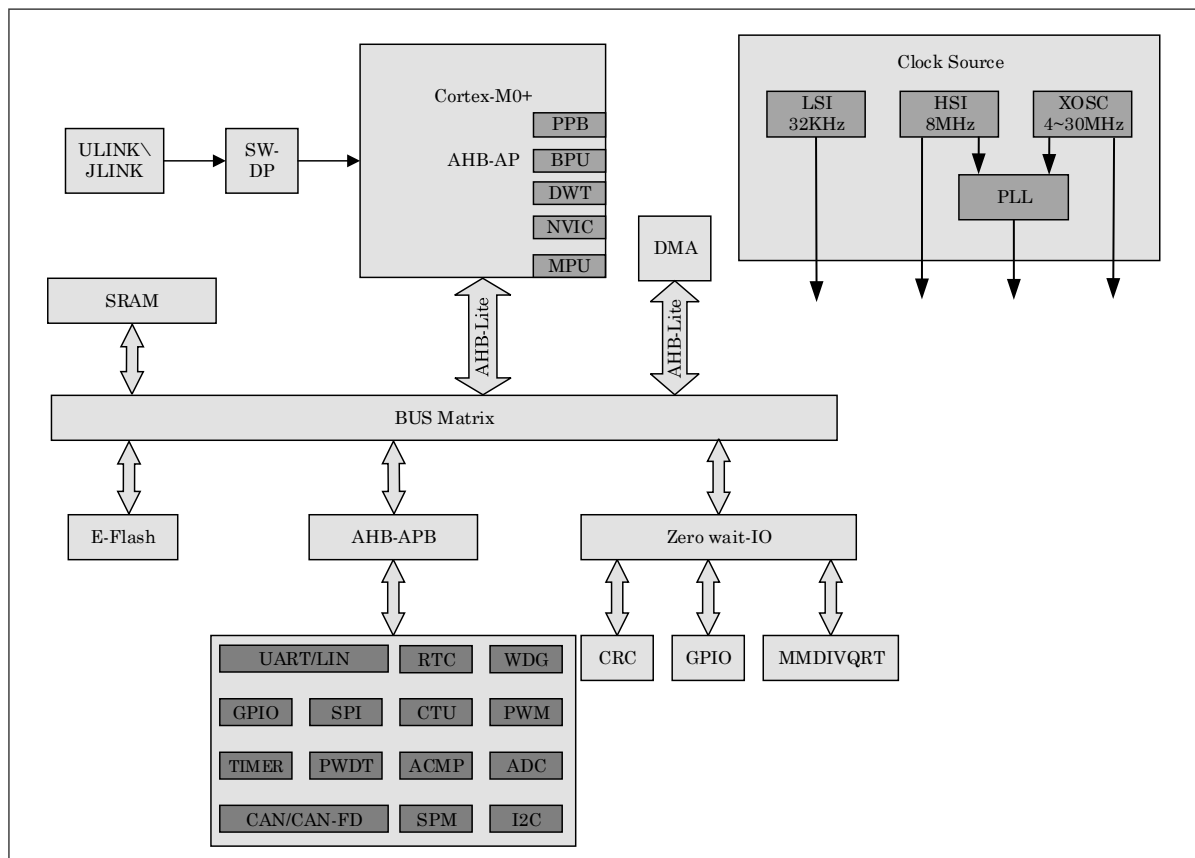


图 2-1 AC780x 整体框图

3 器件标识

3.1 说明

芯片器件型号包含可识别具体器件的字段。您可以使用这些字段的值来区分收到的具体器件。

3.2 格式

此设备的器件编号采用如下格式：

AC## GTUFPN

3.3 字段

下表列出器件编号中每个字段的可能值（并非所有组合都有效）。

表 3-1 器件编号字段说明

字段	说明	值
AC	AutoChips	• AC
7	AutoChips mcu 系列	• 7
8	汽车通用型	• 8
0	Core Platform	• 0 = Cortex-M0+
1	特定功能位	1 = 区分性能/版本 3 = 产品子系列 6: CPU 72 MHz 3: 支持 CAN-FD/CAN 2: 不支持 CAN-FD/CAN 0: ESD 2 KV
3		
F	引脚数目	- P = 20 - M = 32 - F = 48
D	Flash 存储器大小	- A = 16 KB - B = 32 KB - C = 64 KB - D = 128 KB
L	封装类型	- L = LQFP - Q = QFN - T = TSSOP
A	温度范围(°C)	- A = AEC-Q100 Grade 1(-40~125°C) - I = -40~105°C C = -40~85°C

3.4 示例

器件编号示例为：AC78013FDLA。

4 参数分类

下表中显示的电气参数通过不同的方法来保证达到要求。为了便于客户更好地理解，将使用如下的分类，并在表中适当的位置相应标记参数。

表 4-1 参数分类

P	在对每个设备进行生产测试时确保达到这些参数要求。
C	通过不同制程的、具有统计意义的相关样本数量的测量结果来保证这些参数要求。
T	除非另有说明，否则通过统计典型条件下典型器件的小规模样本测量值来保证这些参数要求。此类别包含典型列中所示的所有值。
D	这些参数主要来自于仿真。

5 额定值

5.1 热学操作额定值

表 5-1 热学操作额定值

符号	说明	最小值	最大值	单位	附注
TSTG	存储温度	-55	150	°C	1
TSDR	焊接温度, 无铅	—	260	°C	2

1. 根据 JEDEC JESD22-A103 标准中“高温存储寿命”来确定。
2. 根据 IPC/JEDEC J-STD-020 标准中“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

5.2 湿度操作额定值

表 5-2 湿度操作额定值

符号	说明	最小值	最大值	单位	附注
MSL	湿度灵敏度级别	—	3	—	1

1. 根据 IPC/JEDEC J-STD-020 标准中“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

5.3 ESD 操作额定值

表 5-3 ESD 操作额定值

符号	说明	最小值	最大值	单位	附注
V _{HBM}	静电放电电压, 人体放电模式	-4000	4000	V	1
V _{CDM}	静电放电电压, 设备充电模式	-750	750	V	2
I _{LAT}	125°C 温度环境下的门锁电流	-100	100	mA	3

1. 根据 AEC-Q100-002-D, HUMAN BODY MODEL ELECTROSTATIC DISCHARGE TEST 来确定。
2. 根据 AEC-Q100-011-C1, CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE TEST 确定。
3. 根据 AEC-Q100-004-D, IC LATCH-UP TEST 确定。
 - 在 125 °C 环境温度下进行测试 (II 类) ;
 - 电源组 1.5 V_{ccmax}

5.4 电压和电流操作额定值

绝对最大额定值仅为应力额定值，并不保证最大值时的功能操作。超过下表中指定的应力可能影响器件的可靠性或对器件造成永久性损坏。有关功能操作条件的更多信息，请参考此文档中的其他表格。

该器件包含防止高静态电压或电场造成损坏的电路，但建议采取预防措施，以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未用输入引脚连接到适当的逻辑电压电平（例如， V_{SS} 或 V_{DD} ）或使能相关引脚的内部上拉电阻，可增强操作的可靠性。

表 5-4 电压和电流操作额定值

符号	说明	最小值	最大值	单位
V_{DD}	数字电源电压	-0.3	6	V
I_{DD}	流入 V_{DD} 的最大电流	—	60	mA
V_{IN}	除开漏引脚之外的输入电压	-0.3	$V_{DD} + 0.3$ ^[1]	V
	开漏引脚的输入电压	-0.3	$V_{DD} + 0.3$ ^[1]	V
I_D	单引脚瞬态最大电流限值(适用于所有端口引脚)	-20	20	mA
V_{DDA}	模拟电源电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V

^[1] 最大额定 V_{DD} 也适用于 V_{IN} 。

6 通用

6.1 静态电气规格

6.1.1 电源和地引脚

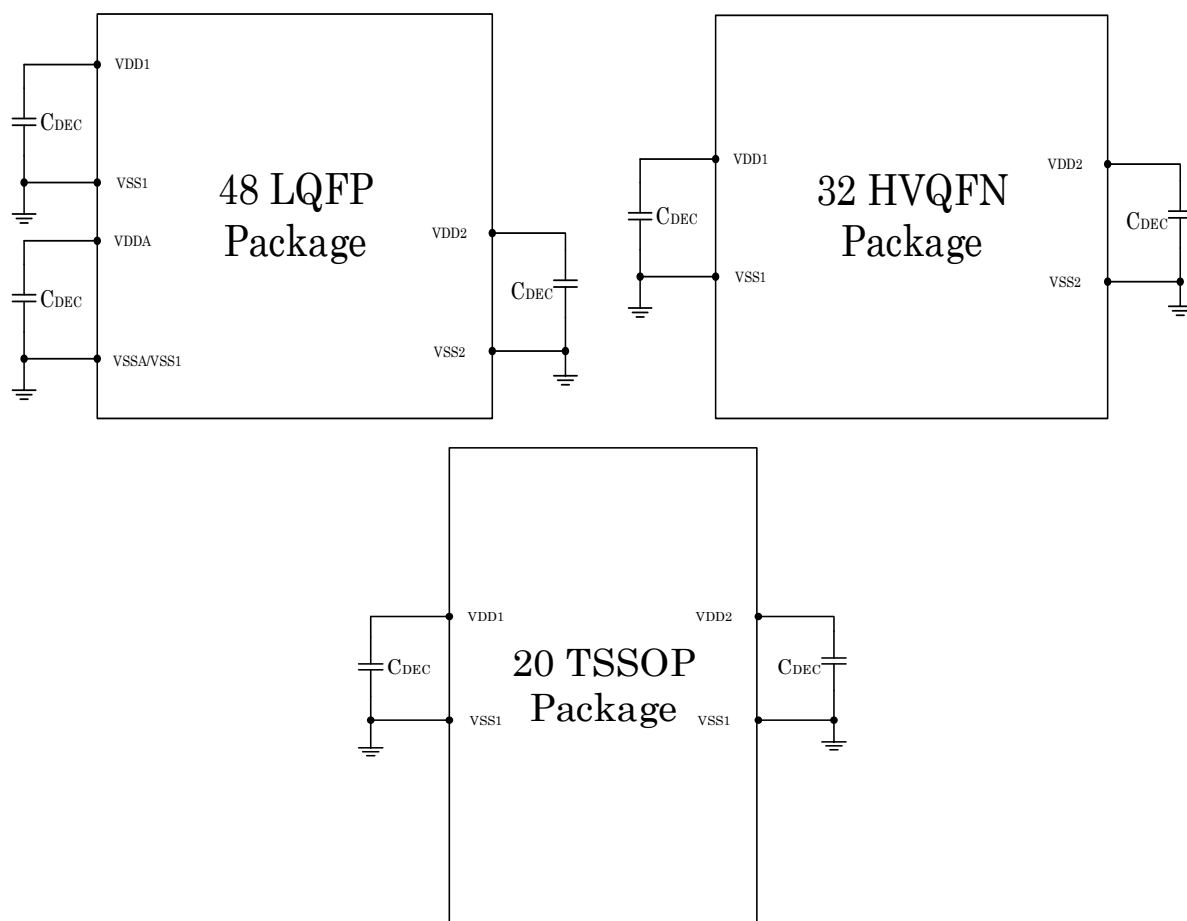


图 6-1 电压引脚去耦

1. VDDDD 和 VDDA 在板上需连接到同一个供电电源。
2. 所有的退耦电容都需要使用 X7R 类型的低 ESR 值陶瓷电容，电容值建议是 0.1 μ F。
3. 为了使电源引脚有更好的性能，建议使用 10 μ F、0.1 μ F 和 1 nF 电容并联形成退耦网络。
4. 所有的退耦电容都必须尽可能地靠近相应的电源和地引脚放置。

6.1.2 DC 特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 6-1 DC 特性

符号	C	说明		最小值	典型值	最大值	单位
—	—	工作电压	—	2.7	—	5.5	V
V _{OH}	P	输出高电压	驱动强度	5 V, I _{load} = -5, -10, -15, -20mA	0.85×V _{DD}	—	V
	C			3 V, I _{load} = -3.6, -7.2, -10.8, -14.4 mA	0.8×V _{DD}	—	V
I _{OHT}	D	输出高电压	所有端口的最大总输出高电流 I _{OH}	5 V	—	30	mA
				3 V	—	20	
V _{OL}	P	输出低电压	驱动强度	5 V, I _{load} = 5, 10, 15, 20mA	—	0.15×V _{DD}	V
	C			3 V, I _{load} = 3.6, 7.2, 10.8, 14.4 mA	—	0.2×V _{DD}	V
I _{OLT}	D	输出低电压	所有端口的最大总输出低电流 I _{OL}	5 V	—	30	mA
				3 V	—	20	
V _{IH}	P	输入高电压	全部数字输入	4.5≤V _{DD} <5.5 V	0.65×V _{DD}	V _{DD} + 0.3	V
				2.7≤V _{DD} <4.5 V	0.70×V _{DD}	V _{DD} + 0.3	
V _{IL}	P	输入低电压	全部数字输入	4.5≤V _{DD} <5.5 V	-0.3	0.35×V _{DD}	V
				2.7≤V _{DD} <4.5 V	-0.3	0.30×V _{DD}	
V _{hys}	C	输入迟滞	全部数字输入	—	0.06×V _{DD}	—	mV
I _{In}	P	输入漏电流	每个引脚 (高阻抗输入模式下的引脚)	V _{IN} = V _{DD} 或 V _{SS}	-1	0.1	μA
I _{INTOT}	C	所有端口引脚的总漏电流	高阻抗输入模式下的引脚	V _{IN} = V _{DD} 或 V _{SS}	-2	0.1	μA
R _{PU}	P	上拉电阻	所有数字输入并使能内部上拉	—	40	75	kΩ

I _{IC}	D	DC 注入电流	单引脚限值	V _{IN} < V _{SS} , V _{IN} > V _{DD}	-2	—	2	mA
			总 MCU 限值, 包括所有应力引脚的总和		-5	—	25	
C _{IN}	C	输入电容, 所有引脚		—	—	5	7	pF
V _{RAM}	C	RAM 保留电压		—	2	—	—	V

表 6-2 LVD /POR / AVDD 电压告警规格

符号	C	说明	最小值	典型值	最大值	单位
V _{POR}	D	POR 重置电压 ^[1]	1.6	1.8	2	V
V _{LVDL}	C	下降沿低压检测阈值—低量程(LVDV= 0)	2.59	2.63	2.68	V
V _{LVDH}	C	下降沿低压检测阈值—高量程 (LVDV=1) ^[2]	4.22	4.28	4.37	V
V _{HYSLVD}	C	低压检测迟滞	—	50	—	mV
V _{PVDH}	C	下降沿低压告警阈值— 高量程	4.45	4.6	4.75	V
V _{PVDL}	C	下降沿低压告警阈值—低量程	2.85	2.95	3.05	V
V _{HYS PVD}	C	高量程低压检测迟滞	—	50	—	mV
V _{BG}	P	经过缓冲的带隙输出 ^[3]	1.18	1.2	1.22	V

^[1] 最大值是 POR 可以保证的最高电压值；

^[2] 上升沿阈值=下降沿阈值+ 迟滞电压；

^[3] 电压已在 V_{DD} = 5.0 V，Temp = 25 °C 下进行出厂调整。

6.1.3 电源电流特性

表 6-3 供电电流特性

参数	符号	内核/总线频率	V _{DD} (V)	-40℃	25℃ ^[1]	85℃	105℃	125℃ ^[2]	单位
LFOSC+PLL, 使 能所有模块时钟	R _{IDD}	72/36 MHz	5	15.101	15.215	15.194	15.887	15.963	mA
		48/48 MHz		12.886	12.931	13.188	13.584	13.646	
		48/24 MHz		12.291	12.326	12.583	12.971	13.032	
		24/24 MHz		10.337	10.291	10.512	10.912	10.964	
		12/12 MHz		9.089	8.962	9.163	9.563	9.585	
		72/36 MHz	3.3	14.24	14.381	14.41	14.713	14.947	
		48/48 MHz		12.105	12.147	12.434	12.587	12.704	
		48/24 MHz		11.511	11.581	11.792	11.284	12.113	
		24/24 MHz		9.613	9.628	9.805	10	10.12	
		12/12 MHz		8.385	8.341	8.496	8.7	8.799	
LFOSC+PLL, 禁 用并关闭所有模块 时钟	R _{IDD}	72/36 MHz	5	11.696	11.769	11.917	11.913	12.036	mA
		48/48 MHz		9.606	9.63	9.911	9.791	9.882	
		48/24 MHz		9.395	9.49	9.743	9.626	9.724	
		24/24 MHz		7.851	7.857	8.099	7.985	8.079	
		12/12 MHz		6.99	6.974	7.194	7.077	7.148	
		72/36 MHz	3.3	10.996	11.074	11.307	11.321	11.427	
		48/48 MHz		8.972	8.976	9.206	9.208	9.302	
		48/24 MHz		8.786	8.84	9.044	9.048	9.163	
		24/24 MHz		7.244	7.238	7.415	7.418	7.517	
		12/12 MHz		6.359	6.369	6.515	6.514	6.606	
XOSC+PLL, 使 能所有模块时钟	R _{IDD}	72/36 MHz	5	19.444	19.848	20.363	21.529	21.044	mA
		48/48 MHz		16.737	17.059	17.532	18.718	18.224	
		48/24 MHz		16.002	16.306	16.796	17.975	17.474	
		24/24 MHz		13.592	13.819	14.268	15.465	14.953	
		12/12 MHz		12.014	12.181	12.624	13.828	13.314	
		72/36 MHz	3.3	18.497	18.907	19.369	20.07	19.932	
		48/48 MHz		15.865	16.207	16.649	17.358	17.205	
		48/24 MHz		15.115	15.474	15.907	16.619	16.467	
		24/24 MHz		12.797	13.07	13.49	14.207	14.042	
		12/12 MHz		11.268	11.499	11.905	12.627	12.46	
XOSC+PLL, 禁 用并关闭所有模块 时钟	R _{IDD}	72/36 MHz	5	15.52	15.959	16.407	16.427	16.694	mA
		48/48 MHz		13.008	13.323	13.832	13.836	14.109	
		48/24 MHz		12.825	13.15	13.639	13.646	13.907	
		24/24 MHz		10.862	11.181	11.664	11.645	11.894	

		12/12 MHz	3.3	9.805	10.108	10.568	10.559	10.768	
		72/36 MHz		14.842	15.192	15.672	15.773	16.058	
		48/48 MHz		12.315	12.611	13.107	13.214	13.489	
		48/24 MHz		12.127	12.441	12.91	13.013	13.294	
		24/24 MHz		10.193	10.48	10.921	11.027	11.272	
		12/12 MHz		9.137	9.416	9.828	9.927	10.17	
休眠模式 LFOSC+PLL, 使能所有模块时钟	RI _{DD}	72/36 MHz	5	13.531	13.736	13.827	13.927	14.127	mA
		48/48 MHz		11.787	11.943	12.017	12.109	12.3	
		48/24 MHz		11.183	11.335	11.4	11.49	11.683	
		24/24 MHz		9.689	9.796	9.844	9.923	10.101	
		12/12 MHz		8.636	8.715	8.75	8.825	9.003	
	3.3	72/36 MHz		12.922	13.104	13.204	13.298	13.482	
		48/48 MHz		11.185	11.33	11.408	11.493	11.667	
		48/24 MHz		10.588	10.724	10.8	10.887	11.055	
		24/24 MHz		9.107	9.198	9.258	9.333	9.492	
		12/12 MHz		8.059	8.124	8.174	8.244	8.4	
休眠模式 XOSC+PLL, 使能所有模块时钟	RI _{DD}	72/36 MHz	5	17.533	18.016	18.338	18.543	18.916	mA
		48/48 MHz		15.38	15.828	16.129	16.323	16.69	
		48/24 MHz		14.648	15.086	15.389	15.579	15.939	
		24/24 MHz		12.803	13.199	13.49	13.677	14.021	
		12/12 MHz		11.512	11.875	12.164	12.339	12.677	
	3.3	72/36 MHz		16.879	17.317	17.656	17.848	18.199	
		48/48 MHz		14.743	15.144	15.467	15.647	15.986	
		48/24 MHz		14.01	14.398	14.733	14.912	15.251	
		24/24 MHz		12.182	12.537	12.846	13.017	13.343	
		12/12 MHz		10.889	11.223	11.528	11.695	12.019	
LFOSC 作为系统 时钟， 使能所有模块时钟	RI _{DD}	8/4 MHz	5	7.104	6.925	7.137	7.432	7.567	mA
			3.3	6.42	6.39	6.51	6.682	6.81	
LFOSC 作为系统 时钟， 关闭所有模块时钟	RI _{DD}	8/4 MHz	5	5.173	5.209	5.396	5.281	5.345	mA
			3.3	4.6	4.619	4.732	4.733	4.828	
停止模式 (RTC/GPIO/I2C /SPI/UART/CAN 可以唤醒) [3]	SI _{DD}	—	5	3.12	5.94	29.65	55.22	114.11	μA
			3.3	2.71	5.61	28.72	54.42	112.31	
ADC 使能下的停 止模式电流 (mode1: 全速模 式)	SI _{DD}	—	5	1.93	1.984	2.019	2.05	2.118	mA
			3.3	1.665	1.738	1.754	1.782	1.849	
	SI _{DD}	—	5	106.93	113.63	142.76	167.8	224.95	μA

ADC +模拟看门狗使能下的停止模式电流 (mode2)			3.3	99.66	106.79	136.32	160.86	217.73	
ACMP 使能下的停止模式电流	SI _{DD}	—	5	18.35	21.51	45.17	70.87	129.59	μA
			3.3	14.94	17.91	40.82	66.96	124.97	
LVD 使能下的停止模式电流	SI _{DD}	—	5	37.97	42.74	67.82	93.89	153.46	μA
			3.3	34.65	39.55	64.49	90.8	149.72	
待机模式(RTC 打开, RTC/NMI 可以唤醒) [3]	SI _{DD}	—	5	1.95	2.31	7.12	12.54	27	μA
			3.3	1.47	2	6.59	11.88	25.78	

[1] 典型列里的数据在 25 °C V_{DD}=3.3/5 V 条件下的统计值或是推荐值;

[2] 在 125 °C V_{DD}=3.3/5 V 条件下的统计值或是推荐值;

[3] 在典型情况下, RTC 会导致 IDD 增加不超过 1 μA, RTC 时钟源为 32 KHz LPO 时钟。

6.2 动态规格

6.2.1 控制时序

表 6-4 控制时序

编号	C	额定值	符号	最小值	典型值 [1]	最大值	单位
1	D	系统和内核时钟($t_{\text{sys}} = 1/f_{\text{Sys}}$)	f _{Sys}	DC	—	72	MHz
2	P	总线频率($t_{\text{cyc}} = 1/f_{\text{Bus}}$)	f _{Bus}	DC	—	48/72[2]	MHz
3	P	内部低功耗振荡器频率	f _{LPO}	—	32		KHz
4	D	外部复位脉冲宽度 [3]	t _{extrst}	1.5	—	—	ns
5	D	IRQ 脉冲宽度	运行模式	t _{ILIH} / t _{IHLI}	1.5 × t _{sys}	—	ns
	D		停止模式	t _{ILIH} / t _{IHLI}	1.5 × t _{32k}	—	ns
6	D	端口上升和下降时间- 标准驱动强度 (负载 = 50 pF) [5]	—	t _{Rise}	—	10.2	ns
	D		—	t _{Fall}	—	9.5	ns
	D	端口上升和下降时间- 高驱动强度 (负载 = 50 pF) [5]	—	t _{Rise}	—	5.4	ns
	D		—	t _{Fall}	—	4.6	ns

[1] 除非另有说明, 否则典型值是指 V_{DD}=5.0 V、25 °C 时的特性数据;

[2] AC7801x 系列产品的具体最大频率请参看选型手册;

[3] 这里保证可识别为 RESET_B 引脚请求的最短脉冲;

[4] 这里保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别；

[5] 时序按 20%的 V_{DD} 电平和 80%的 V_{DD} 电平显示，温度范围-40 至 125 °C。

6.2.2 PWM 模块时序

同步电路决定可识别的最短输入脉冲。这些同步电路的工作时钟被称作 PWM 时钟。

表 6-5 PWM 输入时序

C	功能	符号	最小值	最大值	单位
D	定时器时钟频率	f_{PWM}	—	72M	Hz
D	输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{PWM} [1]

[1] $t_{PWM}=1/f_{PWM}$

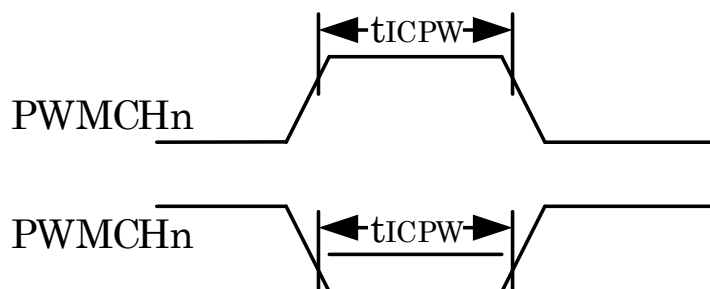


图 6-2 定时器输入捕捉脉冲

6.3 热规格

6.3.1 热特性

本节介绍有关工作温度范围、功耗和封装热阻的信息。I/O 引脚上的功耗通常比片上逻辑和电压调节器电路中的功耗少，且它由用户决定而并非由 MCU 设计控制。要在功率计算中考虑 $P_{I/O}$ ，请确定实际引脚电压和 V_{SS} 或 V_{DD} 之间的电压差并乘以每个 I/O 引脚的引脚电流。除异常高引脚电流（高负载）外，引脚电压和 V_{SS} 或 V_{DD} 之间的压差将会很小。

表 6-6 热学属性

电路板类型	符号	说明	48	32	20	单位	附注
			LQFP	HVQFN	TSSOP		
单层 (1S)	$R_{\theta JA}$	热阻，结到外部环境(自然对流)	45.81	37.36	51.55	°C/W	1, 2
四层 (2s2p)	$R_{\theta JA}$	热阻，结到外部环境(自然对流)	32.11	17.59	34.36	°C/W	1, 3
单层 (1S)	$R_{\theta JMA}$	热阻，结到外部环境（空气速率为 200 英尺/分钟）	39.85	31.11	45.38	°C/W	1, 3

四层 (2s2p)	$R_{\theta JA}$	热阻, 结到外部环境 (空气速率为 200 英尺/分钟)	28.22	13.72	30.44	°C/W	1, 3
单层 (1S)	$R_{\theta JB}$	热阻, 结到板	20.76	7.90	21.71	°C/W	4
四层 (2s2p)	$R_{\theta JB}$	热阻, 结到板	20.58	5.19	21.56	°C/W	4
单层 (1S)	$R_{\theta JC}$	热阻, 结到管壳	25.02	27.08	27.67	°C/W	5
四层 (2s2p)	$R_{\theta JC}$	热阻, 结到管壳	25.02	27.08	27.67	°C/W	5
单层 (1S)	ψ_{JT}	热特性参数, 结到外封装顶部中心 (自然对流)	1.06	0.50	0.41	°C/W	6
四层 (2s2p)	ψ_{JT}	热特性参数, 结到外封装顶部中心 (自然对流)	0.94	0.35	0.30	°C/W	6
单层 (1S)	ψ_{JB}	热特性参数, 结到外封装底部中心 (自然对流)	20.60	7.75	21.51	°C/W	7
四层 (2s2p)	ψ_{JB}	热特性参数, 结到外封装底部中心 (自然对流)	20.50	5.17	21.47	°C/W	7

1. 结温是裸片大小、片上功耗、封装热阻、安装环境 (板) 温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
2. 基于 JEDEC JESD51-2 标准, 在单层板 (JESD51-3) 水平方向。
3. 基于 JEDEC JESD51-6, 在电路板 (JESD51-7) 水平方向。
4. 裸片和印刷电路板上的热阻, 基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。
5. 裸片和封装底部焊盘之间的热阻。忽略接触热阻。
6. 基于 JEDEC JESD51-2 标准, 热特性参数表示封装顶部和结温度之间的温差。未提供希腊字母时的热特性。
7. 基于 JEDEC JESD51-2 标准, 热特性参数表示封装底部和结温度之间的温差。未提供希腊字母时的热特性。

可通过以下公式计算平均芯片结温 (T_J) (以 °C 为单位) :

$T_J = T_A + (P_D \times \theta_{JA})$, 其中:

T_A = 环境温度, 以 °C 为单位;

θ_{JA} = 封装热阻, 结环境, 以 °C/W 为单位;

$P_D = P_{int} + P_{I/O}$

$P_{int} = I_{DD} \times V_{DD}$, 以瓦特为单位 — 芯片内部功率;

$P_{I/O}$ = 输入和输出引脚上的功耗 — 由用户决定;

对于大多数应用, $P_{I/O} \ll P_{int}$, 且可以忽略。PD 和 T_J (如果忽略 $P_{I/O}$) 之间的近似关系是:

$P_D = K \div (T_J + 273 \text{ °C})$

求解以上等式中的 K:

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/106031221130010155>