

第7章 集成逻辑门电路简介

7.1 TTL集成逻辑门

7.2 CMOS集成逻辑门电路

本章小结

习题



7.1 TTL集成逻辑门

TTL集成逻辑门是由双极性晶体三极管构成的集成门电路，它具有工作速度快、抗静电能力强等特点，目前广泛应用于中、小规模集成电路。

7.1.1 TTL与非门

1. 电路组成

TTL集成与非门电路及逻辑符号如图7.1所示，它由输入级、中间级和输出级三部分组成。

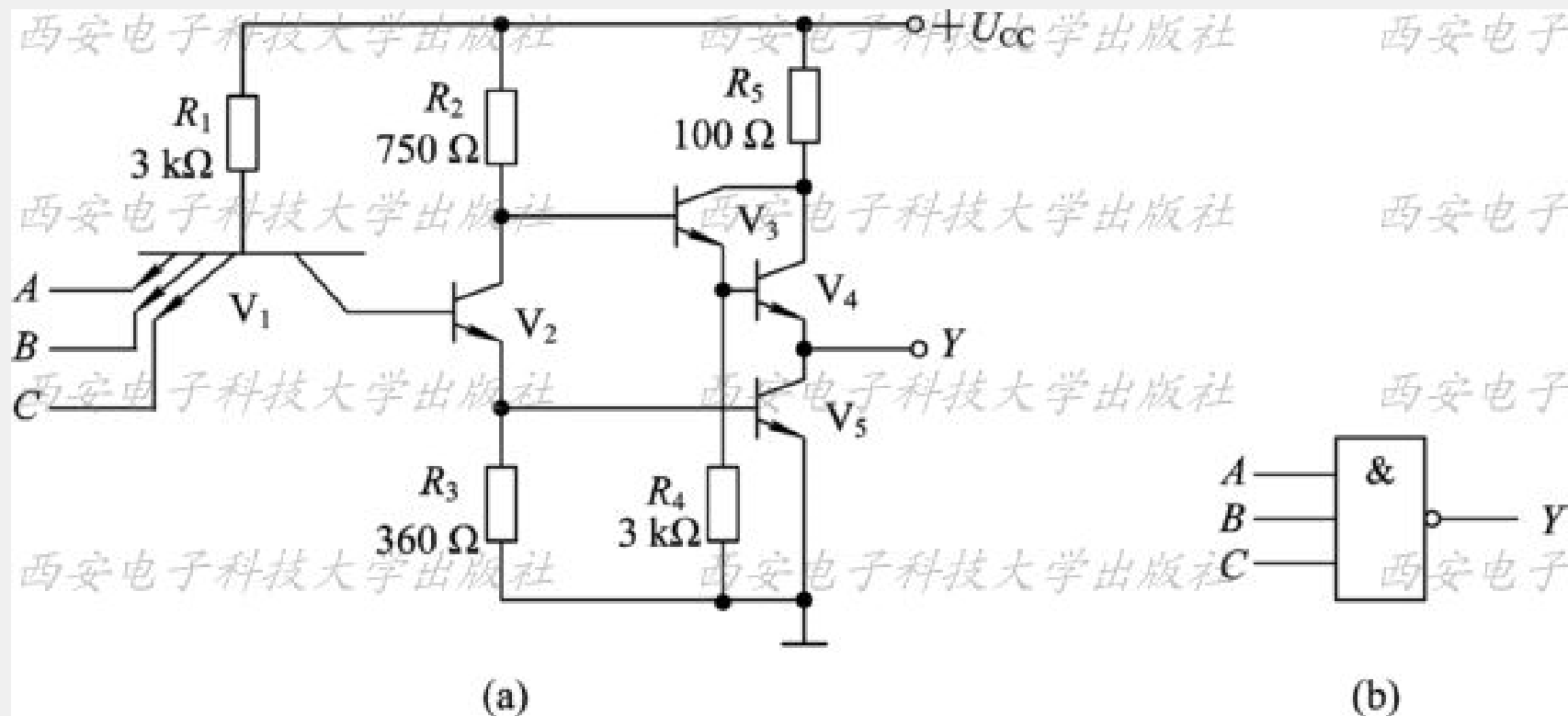






图7.1 集成与非门电路及逻辑符号

(a) 电路结构; (b) 逻辑符号

(1) 输入级。输入级由多发射极三极管 V_1 和电阻 R_1 组成，其作用是对输入变量 A 、 B 、 C 完成“与”逻辑功能。从逻辑功能上看，图7.2 (a) 所示的多发射极三极管可以等效为图7.2 (b) 所示的形式。 

(2) 中间级。中间级由 V_2 、 R_2 和 R_3 组成。  V_2 的集电极和发射极输出两个相位相反的信号，作为 V_3 和 V_5 的驱动信号。 

(3) 输出级。输出级由 V_3 、 V_4 、 V_5 和 R_4 、 R_5 组成，这种电路形式称为推拉式电路。 

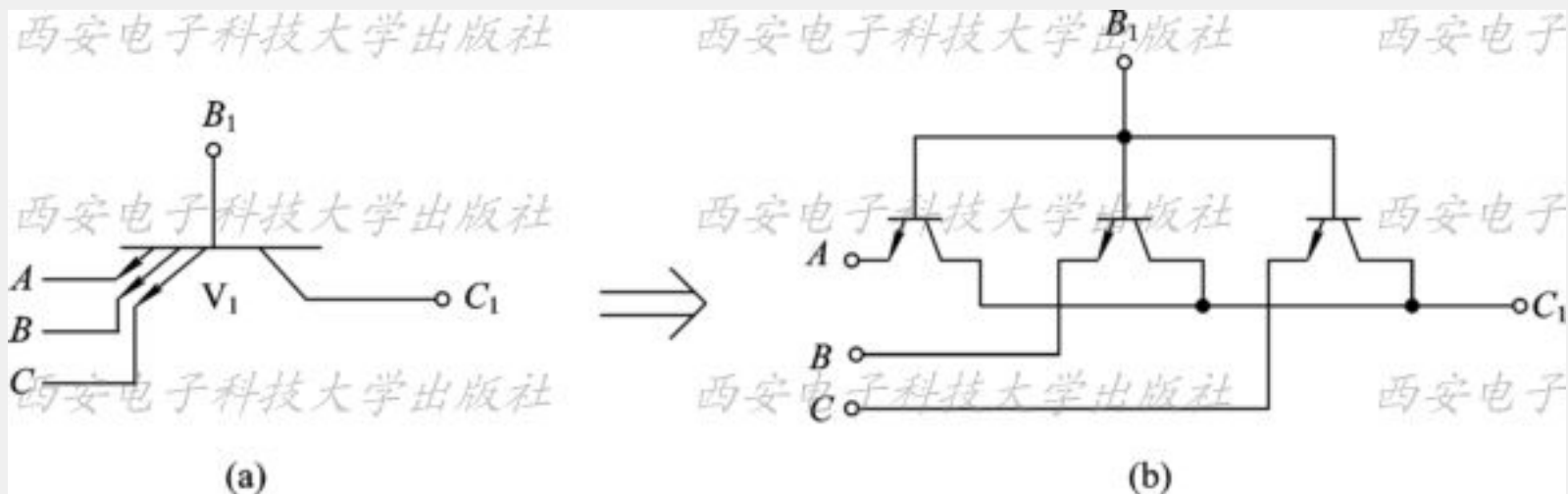



图7.2 多发射极三极管等效电路

2. 工作原理 ψ

(1) 输入全部为高电平。当输入 A 、 B 、 C 均为高电平，即 $U_{IH}=3.6$ V 时， V_1 的基极电位足以使 V_1 的集电结和 V_2 、 V_5 的发射结导通。而 V_2 的集电极压降可以使 V_3 导通，但它不能使 V_4 导通。 V_5 由 V_2 提供足够的基极电流而处于饱和状态，因此输出为低电平，即 

$$U_O = U_{OL} = U_{CE5} \approx 0.3 \text{ V} \text{ (P)}$$

(2) 输入至少有一个为低电平。当输入至少有一个为低电平，即 $U_{IL}=0.3$ V 时，如 A 端为低电平，则 V_1 与 A 端连接的发射结正向导通，从图 7.1(a) 中可知， V_1 集电极电位使 V_2 、 V_5 均截止，而 V_2 的集电极电压足以使 V_3 、 V_4 导通，因此输出为高电平：

$$U_O=U_{OH}\approx U_{CC}-U_{BE3}-U_{BE4}=5-0.7-0.7=3.6\text{ V} \text{ (⊙)}$$

综上所述，当输入全为高电平时，输出为低电平，这时 V_5 饱和，电路处于开门状态；当输入端至少有一个为低电平时，输出为高电平，这时 V_5 截止，电路处于关门状态。即输入全为1时，输出为0；输入有0时，输出为1。由此可见，电路的输出与输入之间满足与非逻辑关系，即

$$Y = \overline{A \cdot B \cdot C}$$

3. 电压传输特性 ψ

② TTL与非门电压传输特性是表示输出电压 U_O 随输入电压 U_I 变化的一条曲线，电压传输特性曲线大致分为四段，如图7.3所示。 ψ

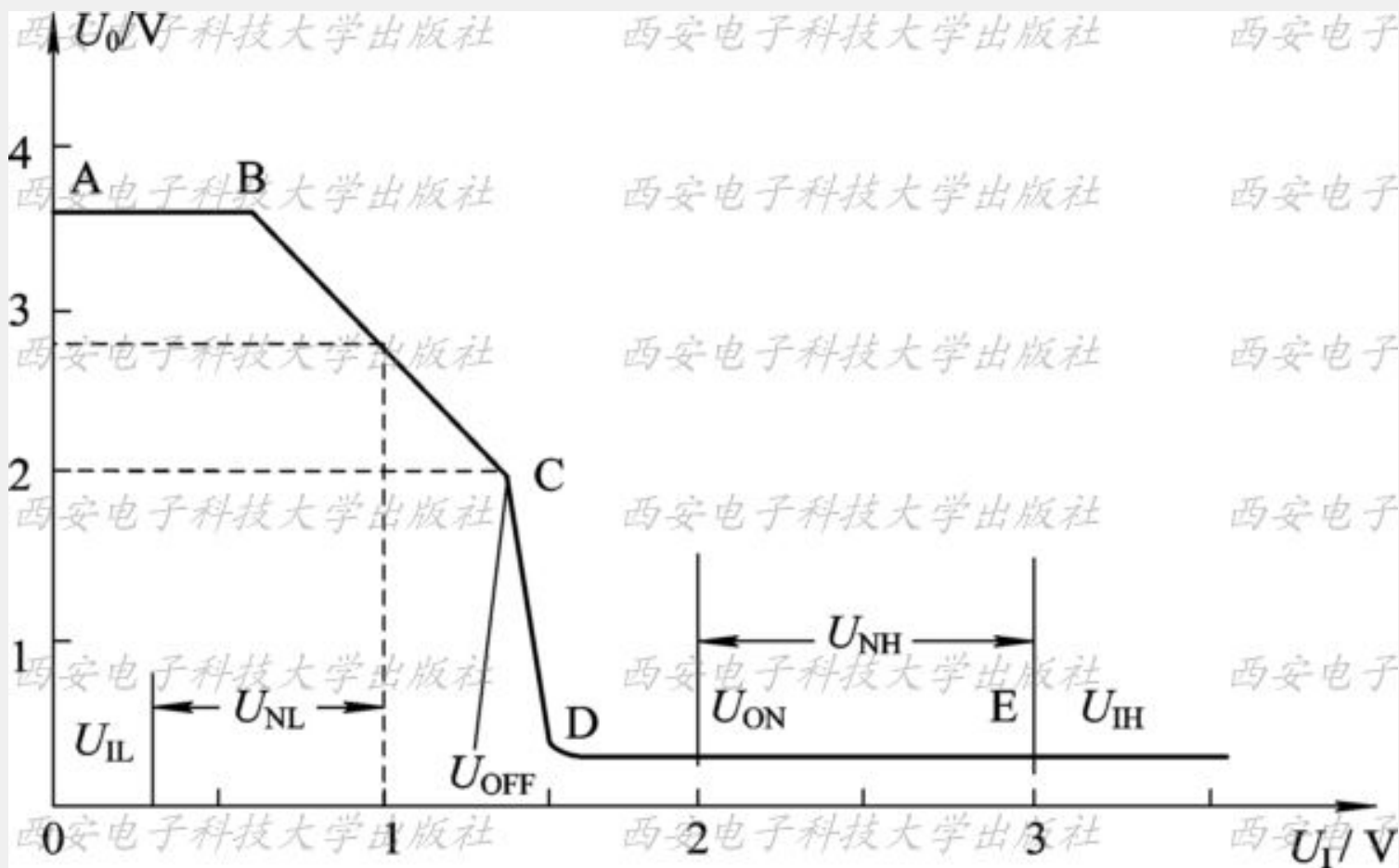


图7.3 TTL与非门电压传输特性

(1) AB段。输入电压 $U_I \leq 0.6 \text{ V}$ 时, V_1 工作在深度饱和状态, $U_{CES1} < 0.1 \text{ V}$, $U_{B2} < 0.7 \text{ V}$, 故 V_2 、 V_5 截止, V_3 、 V_4 导通, $U_O \approx 3.6 \text{ V}$ 为高电平, 与非门处于截止状态, 所以把AB段称为截止区。🔥

(2) BC段。输入电压 $0.6 \text{ V} < U_I < 1.3 \text{ V}$ 时, $0.7 \text{ V} \leq U_{B2} < 1.4 \text{ V}$, V_2 开始导通, V_5 仍未导通, V_3 、 V_4 处于射极输出状态。随着 U_I 的增加, U_{B2} 增加, U_{C2} 下降, 并通过 V_3 、 V_4 使 U_O 也下降。因为 U_O 基本上随 U_I 的增加而线性减小, 故把BC段称为线性区。🔥

(3) CD段。输入电压 $1.3\text{ V} < U_I < 1.4\text{ V}$ 时， V_5 开始导通，并随 U_I 的增加趋于饱和，使输出 U_O 为低电平，所以把CD段称为转折区或过渡区。❖

(4) DE段。当 $U_I \geq 1.4\text{ V}$ 时， V_2 、 V_5 饱和， V_4 截止，输出为低电平，与非门处于饱和状态，所以把DE段称为饱和区。❖

4. 主要参数 ψ

(1) 输出高电平 U_{OH} 和输出低电平 U_{OL} 。电压传输特性曲线截止区的输出电压为 U_{OH} ，饱和区的输出电压为 U_{OL} 。一般产品规定 $U_{OH} \geq 2.4 \text{ V}$ ， $U_{OL} < 0.4 \text{ V}$ 。 ψ

(2) 阈值电压 U_{th} 。电压传输特性曲线转折区中点所对应的输入电压为 U_{th} ，也称门槛电压。一般TTL与非门的 $U_{th} \approx 1.4 \text{ V}$ 。 ψ

(3) 关门电平 U_{OFF} 和开门电平 U_{ON} 。保证输出电平为额定高电平（2.7 V左右）时，允许输入低电平的最大值，称为关门电平 U_{OFF} 。通常 $U_{\text{OFF}} \approx 1 \text{ V}$ ，一般产品要求 $U_{\text{OFF}} \geq 0.8 \text{ V}$ 。保证输出电平达到额定低电平（0.3 V）时，允许输入高电平的最小值，称为开门电平 U_{ON} 。通常 $U_{\text{ON}} \approx 1.4 \text{ V}$ ，一般产品要求 $U_{\text{ON}} \leq 1.8 \text{ V}$ 。 ❖

(4) 噪声容限 U_{NL} 、 U_{NH} 。在实际应用中，由于外界干扰、电源波动等原因，可能使输入电平 U_I 偏离规定值。为了保证电路可靠工作，应对干扰的幅度有一定限制，称为噪声容限。噪声容限是用来说明门电路抗干扰能力的参数。🌿

低电平噪声容限是指在保证输出为高电平的前提下，允许叠加在输入低电平 U_{IL} 上的最大正向干扰（或噪声）电压，用 U_{NL} 表示，即

$$U_{NL} = U_{OFF} - U_{IL} \text{ (P) } \text{🌿}$$




高电平噪声容限是指在保证输出为低电平的前提下，允许叠加在输入高电平 U_{IH} 上的最大负向干扰（或噪声）电压，用 U_{NH} 表示，即



$$U_{NH} = U_{IH} - U_{ON} \text{ (P)} \text{ (P)}$$



(5) 扇出系数 N 。扇出系数是以同一型号的与非门作为负载时，一个与非门能够驱动同类与非门的最大数目，通常 $N \geq 8$ 。 

(6) 平均延迟时间 t_{pd} 。平均延迟时间指门电路导通传输延迟时间 t_{PHL} 和截止传输延迟时间 t_{PLH} 的平均值，即

$$t_{pd} = \frac{1}{2} (t_{PLH} + t_{PHL})$$

7.1.2 集电极开路的 TTL与非门电路（OC门）

在实际应用中，有时需要将几个逻辑门的输出端直接相连，在输出端直接实现“与”逻辑功能，这种连接方式称为“线与”，如图7.4所示，其逻辑关系为

$$Y=Y1 \cdot Y2$$

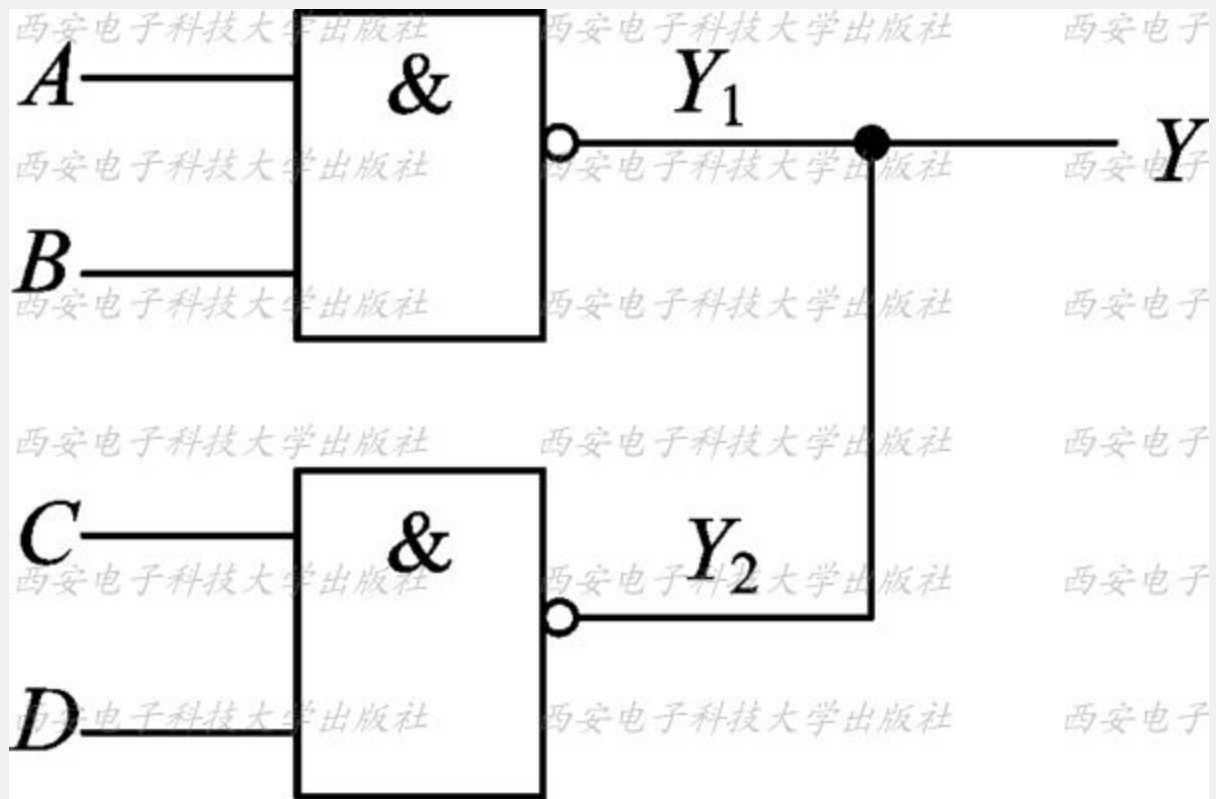


图7.4 实现“线与”功能的电路

但是普通TTL逻辑门的输出端是不允许直接相连的，如图7.5所示电路：设门1的输出为高电平（ $Y_1=1$ ），门2的输出为低电平（ $Y_2=0$ ），此时门1的 V_4 管和门2的 V_5 管均饱和导通，这样在电源 U_{CC} 的作用下将产生很大的电流流过 V_4 、 V_5 管使 V_4 、 V_5 管烧坏，最终导致集成逻辑门损坏。🔥

为了满足门电路能直接实现“线与”，又不损坏门电路，人们设计出集电极开路的TTL门电路，又称“OC门”，集电极开路的TTL与非门电路如图 7.6所示。🔥

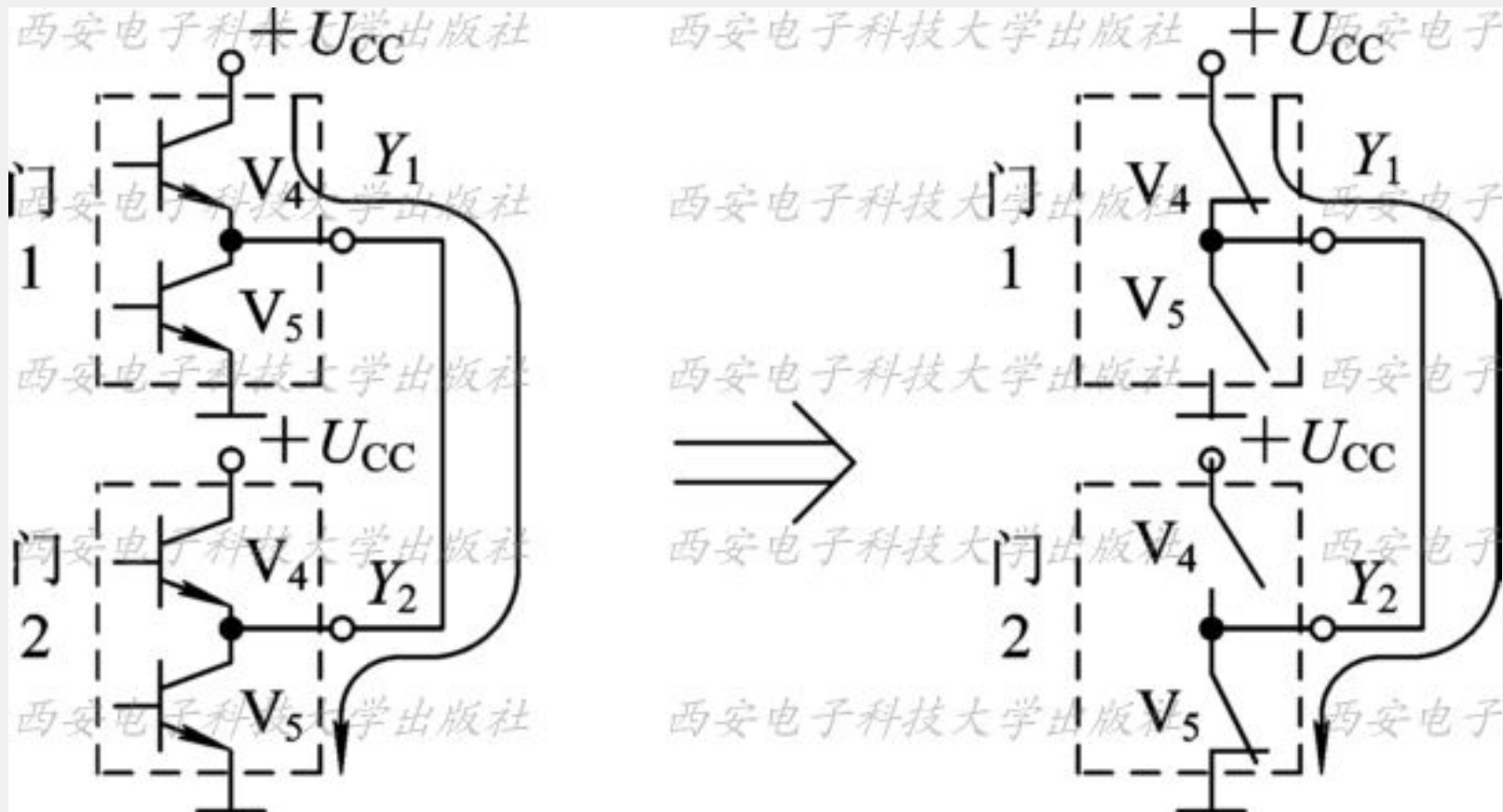


图7.5 “线与”存在的问题

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/108143116054006121>