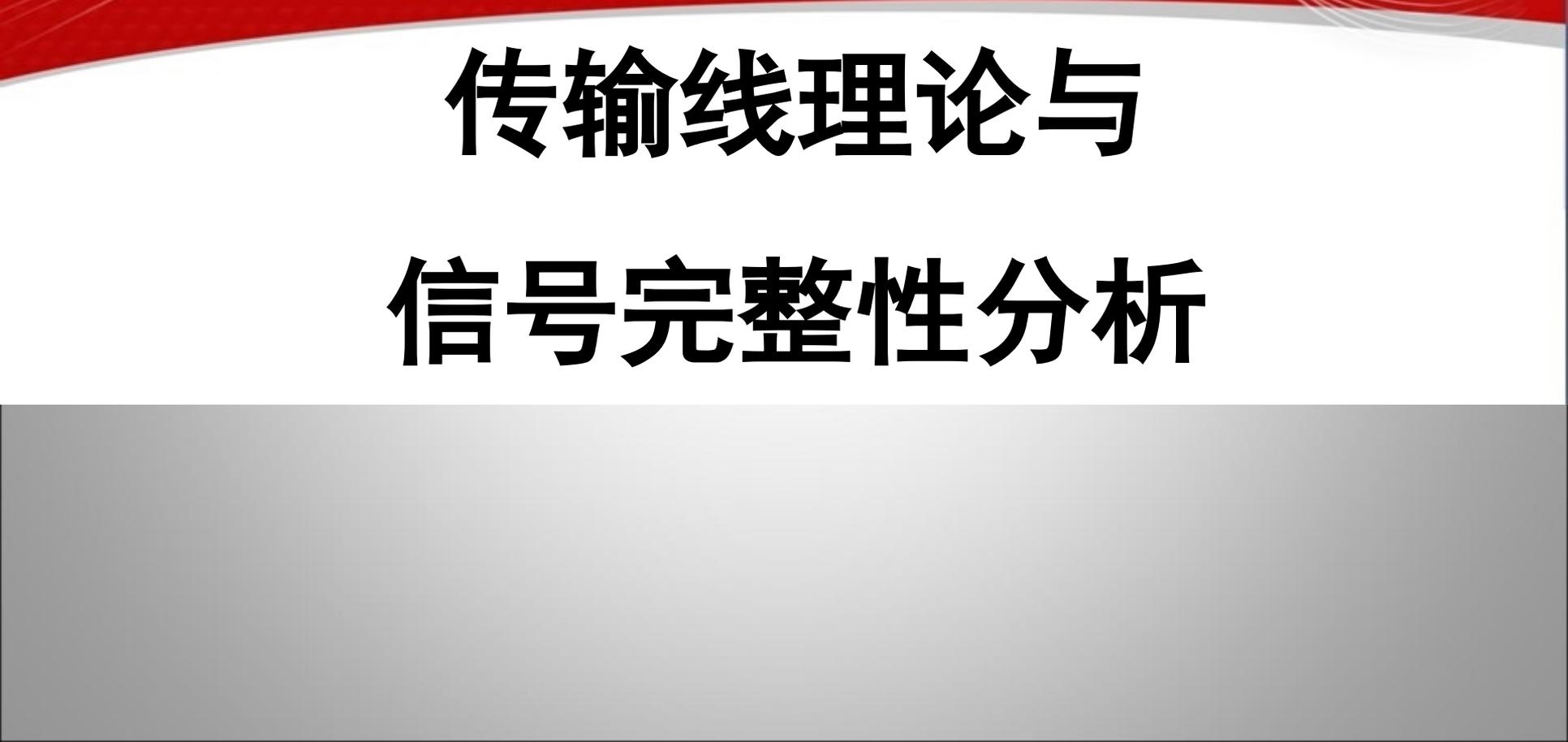




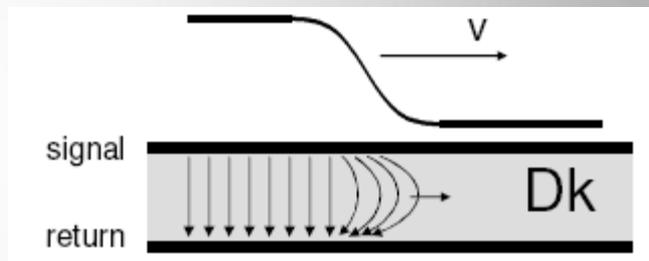
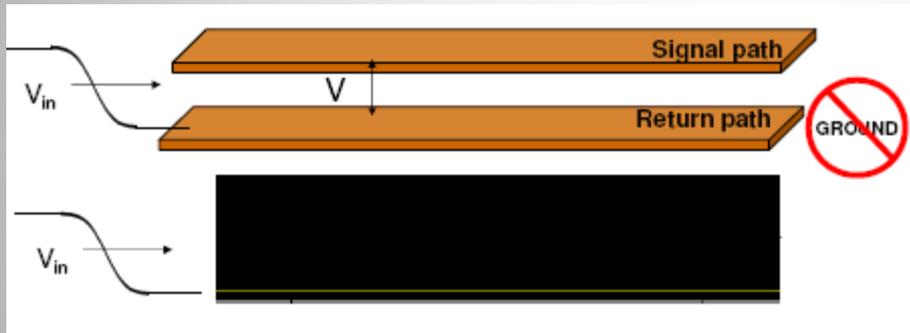
# **传输线理论与 信号完整性分析**



# 一、传输线理论

## §1.什么是传输线

什么是传输线呢？任何2个有长度的导体就是传输线，如下图所示。对于传输线，要彻底忘记“地”的概念，所谓的地不过是信号的返回路径。所以传输线就是由信号路径和其返回路径构成的。



信号在传输线上的传播速度到底是多少呢？假定传输线介质的介电常数为4.空气中信号的速度为 3000, 000km每秒，即30cm/nsec.那么在介质中的速度就为：

$$v = \frac{30 \frac{cm}{nsec}}{\sqrt{4}} = \frac{30 \frac{cm}{nsec}}{2} = 15 \frac{cm}{nsec}$$

# 传输线理论

## 多长的走线才是传输线？

这和信号的传播速度有关，在FR4板材上铜线条中信号速度为6in/ns。简单的说，只要信号在走线上的往返时间大于信号的上升时间，PCB上的走线就应当做传输线来处理。

对于传输时间 $<$ 信号上升时间的线路，由于对信号的影响微乎其微，所以在此不做讨论。

假设有一段60英寸长的PCB走线，如图1所示，返回路径是PCB板内层靠近信号线的地平面，信号线和地平面间在远端开路。

在这段走线上加一个上升时间为1ns的信号，在最初的1ns时间，信号在线条上还是走了6英寸。

## §2.传输线令人迷惑的阻抗

阻抗是什么？和电阻有什么不同？为什么经常会说50欧姆阻抗，75欧姆阻抗的概念？初学者可能会被这一系列问题困扰。电阻是直流特性，不考虑电感和电容效应。而在交流信号的时候则需要考虑电感和电容，阻抗也一般就是指交流阻抗。那什么是特征阻抗呢 (Characteristic Impedance)？先了解一下什么是瞬时阻抗 (instantaneous impedance)吧。

因为在信号线条和返回地平面间存在寄生电容，如下图所示。当信号向前传播过程中，A点处电压不断变化，对于寄生电容来说，变化的电压意味着产生电流，方向如图中虚线所示。因此信号感受到的阻抗就是电容呈现出来的阻抗，寄生电容构成了电流回流的路径。信号在向前传播所经过的每一点都会感受到一个阻抗，这个阻抗是变化的电压施加到寄生电容上产生的，通常叫做传输线的瞬态阻抗。

# 传输线理论

每个单元传输的时间 $\Delta t = \Delta x / v$

$Z = \text{电压} / \text{通过电流}$

$C = CL * \Delta x$  (  $CL = \text{单位长度电容}$  )

$\Delta Q = C * V$

$I = \Delta Q / \Delta t = (v * CL * \Delta x * V) / \Delta x = v * CL * V$

最终的出： $Z = V / I = V / (v * CL * V) = 1 / (v * CL)$

瞬时阻抗的特点是：

和电容成反比

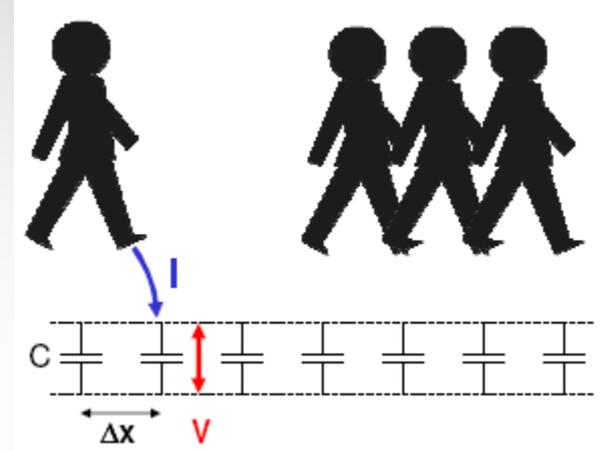
看上去像电阻

只和自身内在的特性有关

和长度无关

特征阻抗是均匀传输线的瞬时阻抗，具有瞬时阻抗的所有特点。所谓的均匀传输线，诸如PCB上的微带线，和同轴电缆等等。

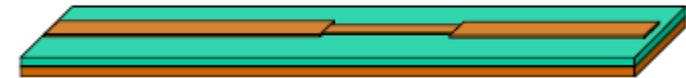
特征阻抗 $Z_0 = 1 / (v * CL)$



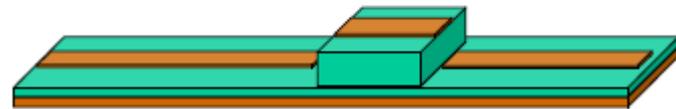
由此可知：



传输线宽度增大，则电容变大，则阻抗减小；



传输线宽度变小，则电容变小，则阻抗变大；



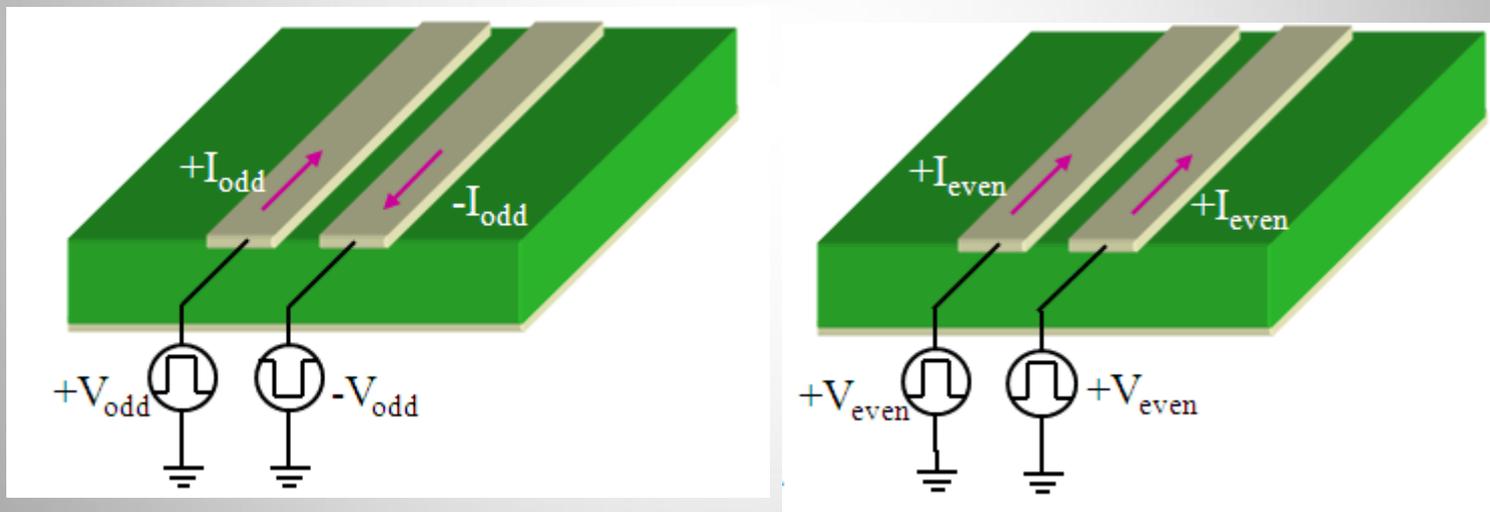
介质厚度增加，则电容减小，则阻抗增大。

# 传输线理论

## § 3. 传输线差分/共模阻抗和奇模/偶模阻抗之间的关系

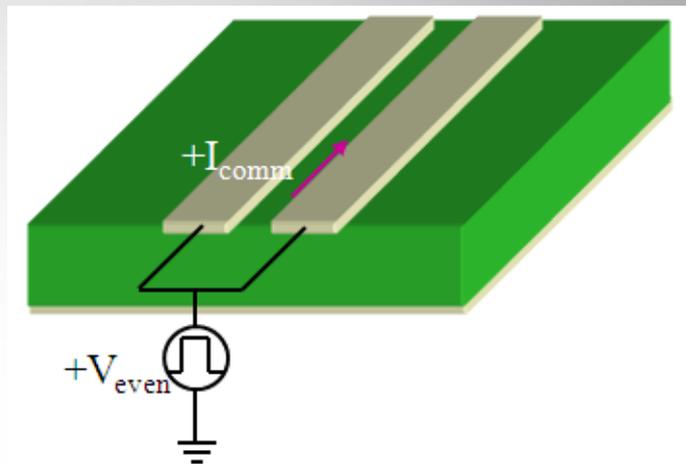
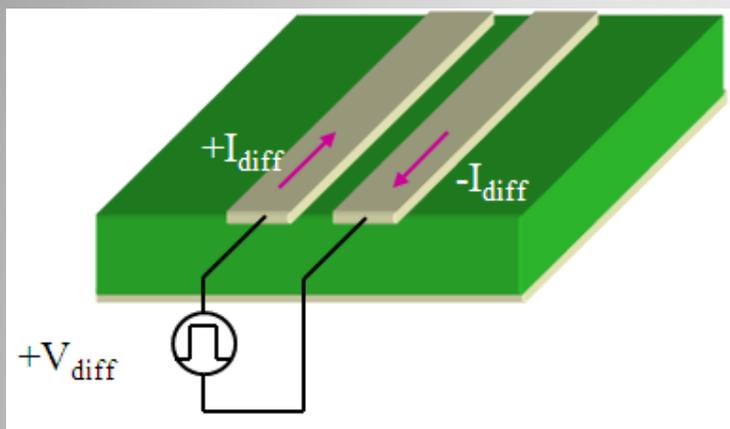
传输线差分阻抗和共模阻抗概念比较容易理解，但是奇模偶模阻抗概念比较难理解。

奇模和偶模是相对于地来说的，以地作为参考面。而差分线是相对于2根线之间的关系来说的。下图是奇模和偶模的模型图：



奇模 (odd) 是两个相位相反的电压信号，  
偶模 (even) 是两个相位相同的信号。

如果差分 and 共模的情况的话，如下图所示：



$$Z_{odd} = \frac{V_{odd}}{I_{odd}}$$

$$V_{differential} = 2 \times V_{odd}$$

$$I_{differential} = I_{odd}$$

$$Z_{differential} = \frac{V_{differential}}{I_{differential}} = \frac{2 \times V_{odd}}{I_{odd}} = 2 \times Z_{odd}$$

$$Z_{even} = \frac{V_{even}}{I_{even}}$$

$$V_{common} = V_{even}$$

$$I_{common} = 2 \times I_{even}$$

$$Z_{common} = \frac{V_{common}}{I_{common}} = \frac{V_{even}}{2 \times I_{even}} = \frac{Z_{even}}{2}$$

对于差分信号来说，差分信号阻抗是奇模阻抗的2倍。  
对于共模信号来说，共模信号阻抗是偶模阻抗的一半。

## §4.避免传输线串扰的8个设计原则

1.在走线约束允许的情况下，应该使每根线之间的间距 $S$ 尽量大

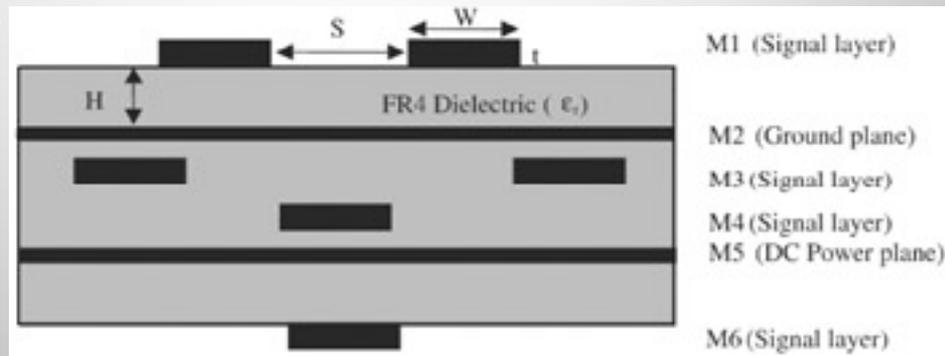
\*这个很容易理解，线之间的间距大，其分布电容电感之间的影响就小，电磁场耦合也会变小

2.在满足阻抗要求的情况下，应该使传输线和参考平面间的距离越小越好（减小 $H$ ）。这样做会让传输线和参考平面更紧密的耦合，减少临近线的干扰

\*设计中要尽量减小 $H$ ，但也不是无限制的，还受到制造工艺的限制。

3.对于关键信号（例如时钟信号）用差分走线，如果系统设计允许的话

\*差分信号的共模抑制好，能有效的抑制临近线的干扰。但是很多时候系统设计就是单端模式。



# 传输线理论

4.如果不同层的信号存在严重的干扰（如M3和M4之间），那么走线时要让这2层走线方向垂直

\*这是通常的基本原则。相互垂直的线，电场和磁场也分别是相互垂直的，可以减少相互间的串扰。

5.如果可能的话，信号走带状线或者嵌入式微带线，以减少传播速度变化的影响。

\*带状线的传播速度是不受串扰影响的，而微带线会受串扰影响。传输线传播速度变化会引起时序问题，所以尽量走嵌入式微带线。

6.减少线之间平行距离的长度。走线应该使平行长度尽量短，使网络间耦合的部分尽量小。

7.合理分布板子上元件，使走线的拥挤程度最低。

\*还是在几何空间上减少干扰

8.使用慢的上升/下降沿。但是这样做需要很谨慎，因为这样做可能会带来其他负面影响。

\*减小上升/下降沿，其实就是减小了系统最高频率。系统的最高频率取决于上升/下降沿，而不是系统信号的频率。有时候是不能减小边沿速率的。

# 二、信号完整性分析 ( Signal Integrity )

## §1.什么是信号的完整性

信号完整性 ( 英语 : Signal integrity, SI ) 是对于电子信号质量的一系列度量标准。

在数字电路中，一串二进制的信号流是通过电压 ( 或电流 ) 的波形来表示。然而，自然界的信号实际上都可以看做是模拟的，所有的信号都受噪音、扭曲和损失影响。在短距离、低比特率的情况里，一个简单的导体可以忠实地传输信号。而长距离、高比特率的信号如果通过导体，有多种效应可以降低信号的可信度，这样系统或设备将可能无法正常工作。

信号完整性差不是由单一因素造成的，而是由板级设计中多种因素共同引起的。破坏信号完整性的原因包括反射、振铃、地弹、串扰等。随着信号工作频率的不断提高，信号完整性问题已经成为高速PCB工程师关注的焦点。



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/116041041050010220>