

基于 MIPS 指令系统的多级嵌套中断 CPU 的设计与实现

摘要

随着时代的发展，计算机的重要性不言而喻，而 CPU 正是反映计算机性能好坏的重要指标，当 CPU 的性能与功能更多、更完善，我们使用计算机也会更加方便、更加得心应手。CPU 能够处理多线程，中断是必不可少，而多级中断则会使得其性能更高。

作为本系统主要使用的指令集，MIPS 指令集是典型的 RISC 指令集，采用 32 位定长指令字，操作码字段也是固定长度，没有专门的寻址方式字段，由指令格式确定各操作数的寻址方式。多级嵌套是指在一个中断程序执行时，用另一个中断程序来中断它，完成中断嵌套。本系统实现了 28 条 MIPS 指令，分别在 logisim 上使用硬布线来实现逻辑设计，在 vivado 上使用 verilog 进行模拟和仿真，在 FPGA 上完成物理实现。CPU 主要设计使用了指令解析器，指令存储器，数据存储器，ALU, 指令控制器，D 触发器，寄存器组来完成处理器的构建。

关键字： MIPS 指令集； 多级中断； Logisim； Vivado； Verilog； FPGA

DESIGN AND IMPLEMENTATION OF MULTI-LEVEL NESTED INTERRUPT CPU BASED IN MIPS INSTRUCTION SYSTEM

ABSTRACT

With the development of The Times, the importance of the computer is self-evident, and THE CPU is an important indicator to reflect the performance of the computer, when the CPU performance and function more, more perfect, we use the computer will be more convenient, more handy. Cpus can handle multiple threads, interrupts are essential, and multilevel interrupts make them more efficient.

As the main instruction set used in this system, MIPS instruction set is a typical RISC instruction set, which adopts 32-bit fixed-length instruction word and opcode field is also of fixed length. There is no special addressing mode field, and the addressing mode of each operand is determined by the instruction format. Multi-level nesting means that when an interrupt program is executing, another interrupt program is used to interrupt it and complete interrupt nesting. The system implements 28 MIPS instructions, using hardwiring to realize logic design on Logisim, using Verilog to simulate and simulate on Vivado, and completing physical implementation on FPGA. The main design of CPU uses instruction parser, instruction memory, data memory, ALU, instruction controller, D trigger, register group to complete the construction of the processor.

Key words: MIPS instruction set; Multistage interrupt; Logisim; Vivado; Verilog; FPGA

目 录

1 绪论.....	1
1.1 系统设计背景及意义	1
1.2 国内外研究应用现状	1
1.3 论文主要内容	3
1.4 论文主要结构	3
2 平台及核心技术介绍	5
2.1 多级中断	5
2.2 Logisim	5
2.3 MIPS	6
2.4 Vivado	6
2.5 Verilog	6
2.6 FPGA	7
3 系统需求分析与设计	8
3.1 功能需求分析	8
3.1.1 单周期运行	8
3.1.2 运行时中断	8
3.1.3 中断正在运行的中断程序	8
3.2 非功能需求分析	9
3.2.1 性能可靠	9
3.2.2 可持续性	9
3.2.3 简单实用	9
4 系统设计与技术选型	10
4.1 系统设计	10

4.1.1 Logisim 原理图设计	10
---	----

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。

如要下载或阅读全文，请访问：

<https://d.book118.com/118116026066006063>