Chapter 8 Sequential Logic Design Practices
(时序逻辑设计实践)

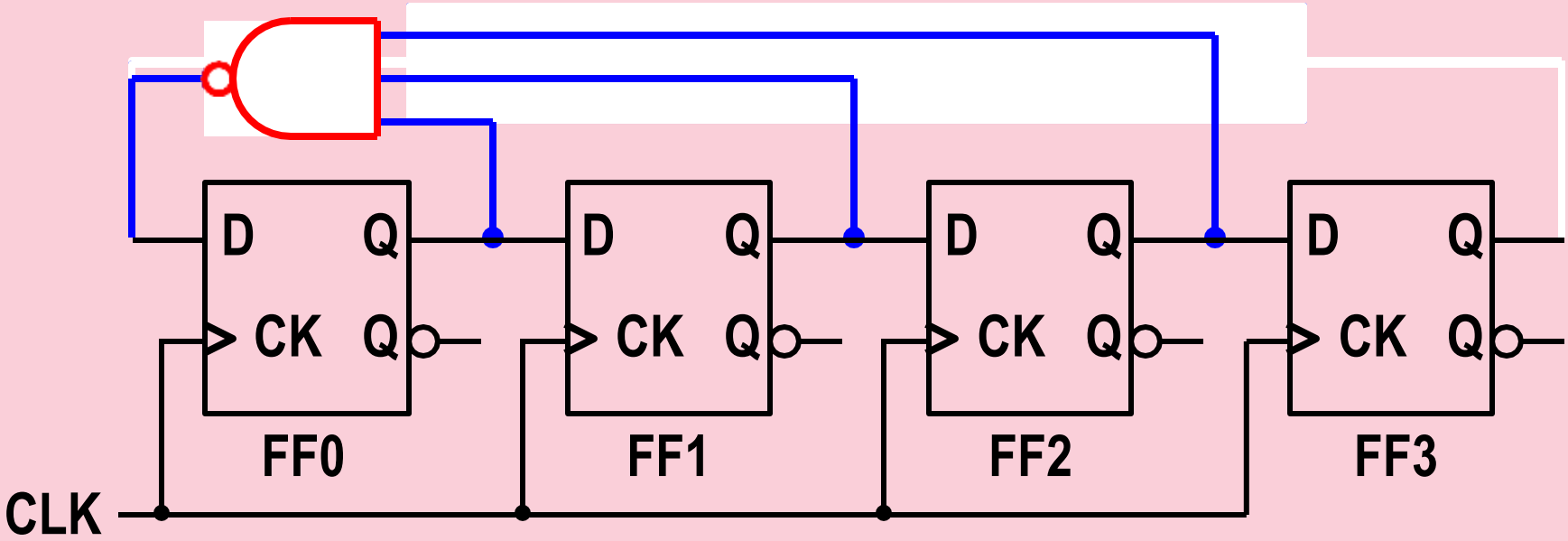
- SSI Latches and Flip-Flops
  (SSI型锁存器和触发器)
- MSI Device: Counters, Shift Registers
  (MSI器件：计数器、移位寄存器)
- Others: Documents, Iterative, Failure and Metastability
  (其它：文档、迭代、故障和亚稳定性)

Shift Register (移位寄存器)

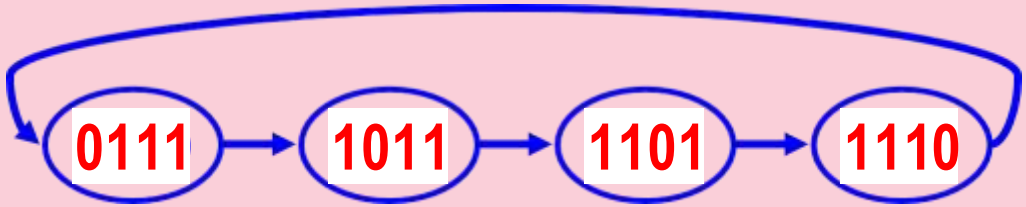
- 移位寄存器结构
  - 串入串出、串入并出、并入串出、并入并出
- MSI移位寄存器
  - 串入并出74x164、并入串出74x166
  - 通用移位寄存器74x194、74x299
- 移位寄存器的应用
  - 用作计数器、序列发生器
  - 进行串/并转换

8.5.3 Shift-Register Counters
(移位寄存器型计数器)

General Structure(一般结构)：$D_0 = F(Q_0, Q_1, \cdots, Q_{n-1})$



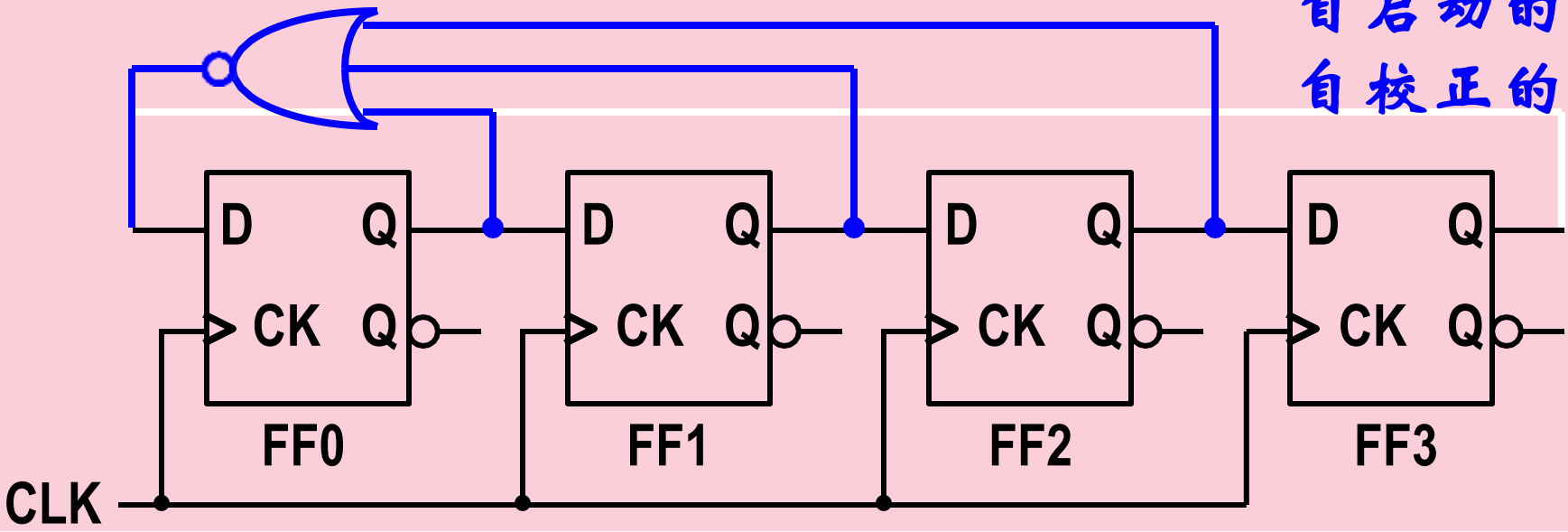
Ring Counter
(环形计数器)：

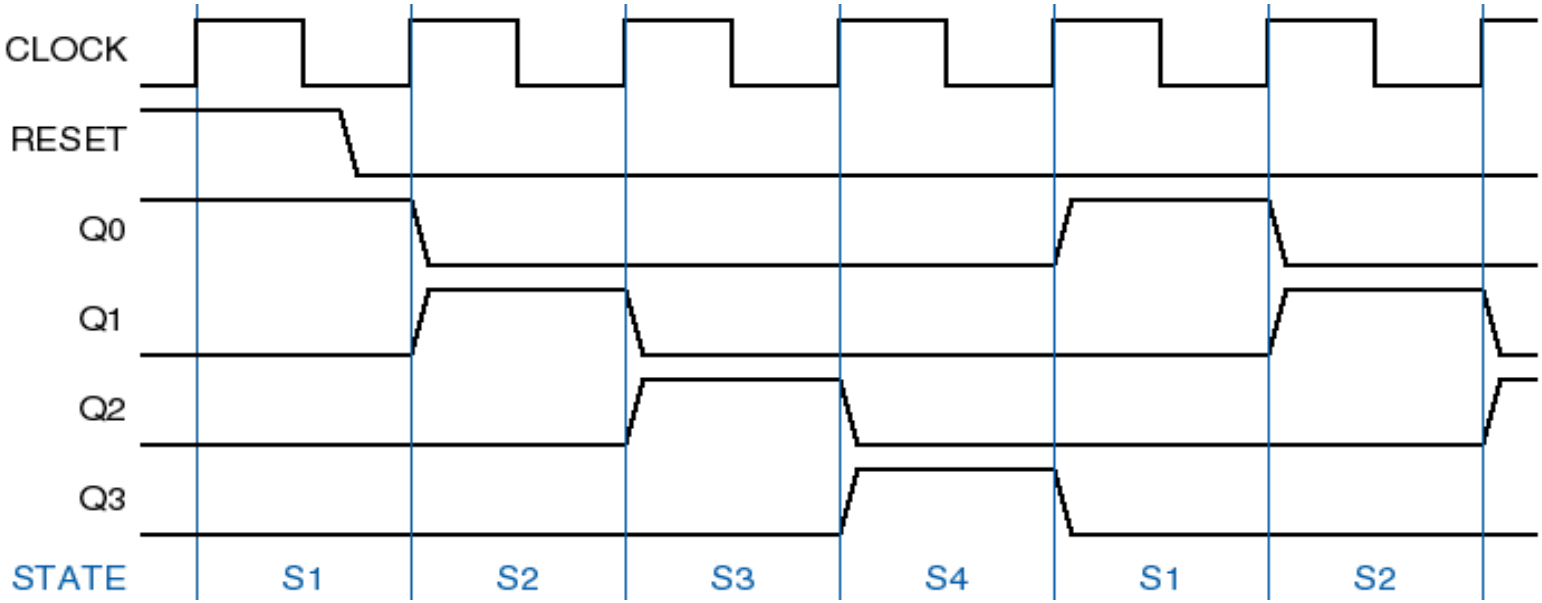


最简单的：$D_0 = Q_{n-1}$

自校正的：$D_0 = (Q_{n-2} \cdot \cdots \cdot Q_1 \cdot Q_0)'$

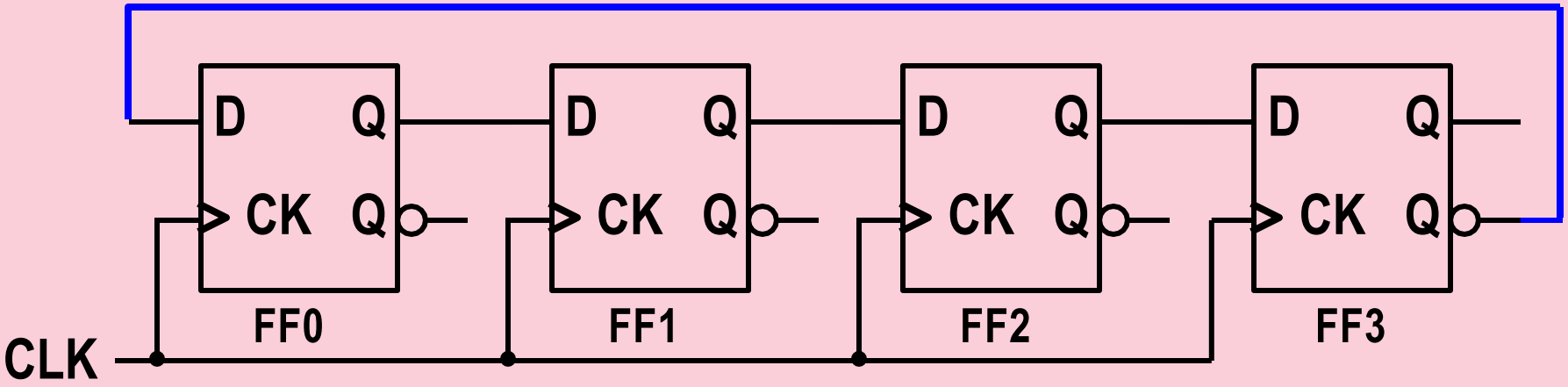
自启动的
自校正的

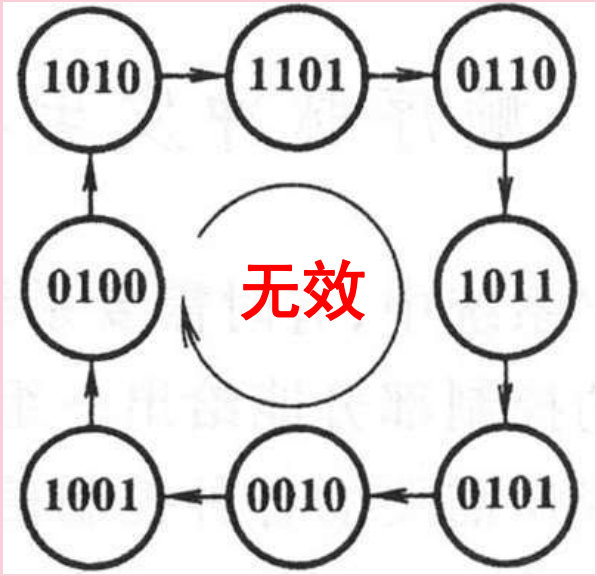

D
Q
CK
Q
FF0
FF1
FF2
FF3
CLK

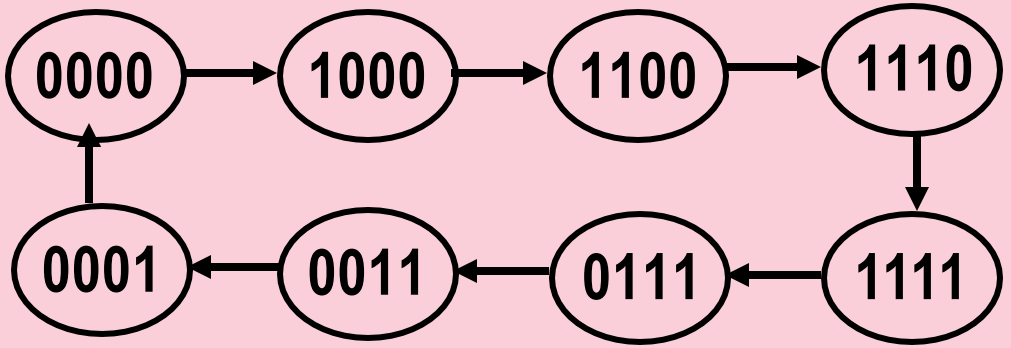

CLOCK
RESET
Q0
Q1
Q2
Q3
STATE
S1
S2
S3
S4
S1
S2

8.5.5 Twisted-Ring Counters
（扭环计数器）

$D_0 = Q_{n-1}'$ Johnson, Moebius Counter







Normal State Cycle (有效的状态循环)

Self-correcting(自校正）

修改成自启动的方法

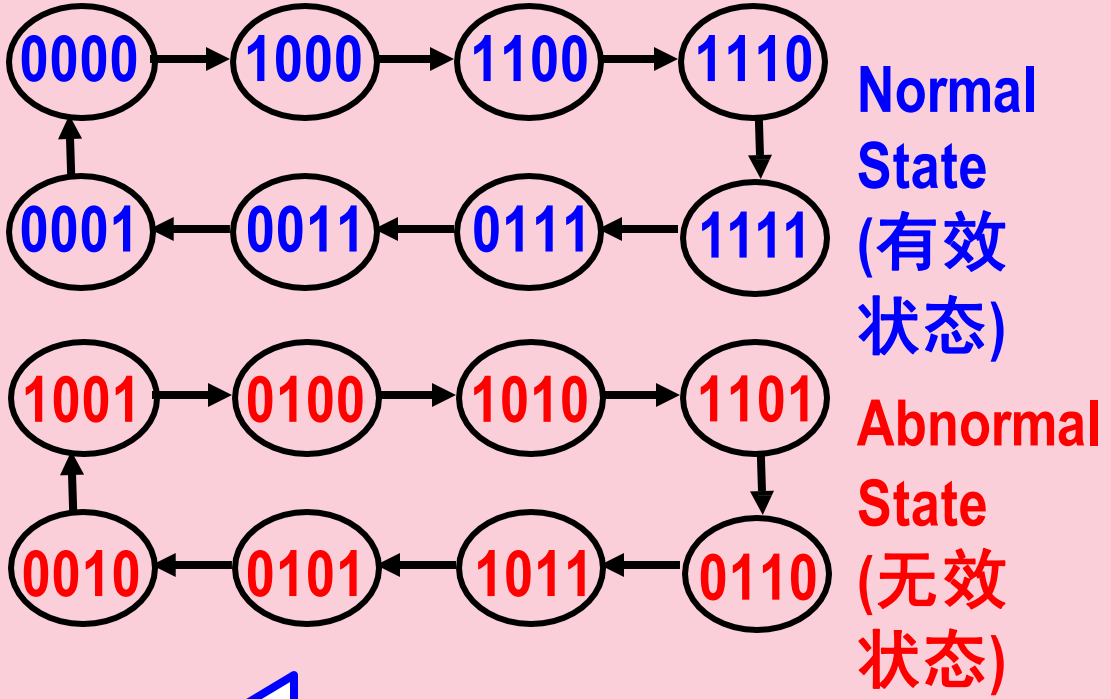
- 不影响有效循环
- 无效循环中至少有一个状态能直接或间接进入有效循环
- 电路应最简
- 枝尽可能短
- 检查修改后的状态图是否只有一个圈，若只有一个圈，则宣告成功。否则，重复第二步，直到状态图只有一个圈，其余都是枝为止。

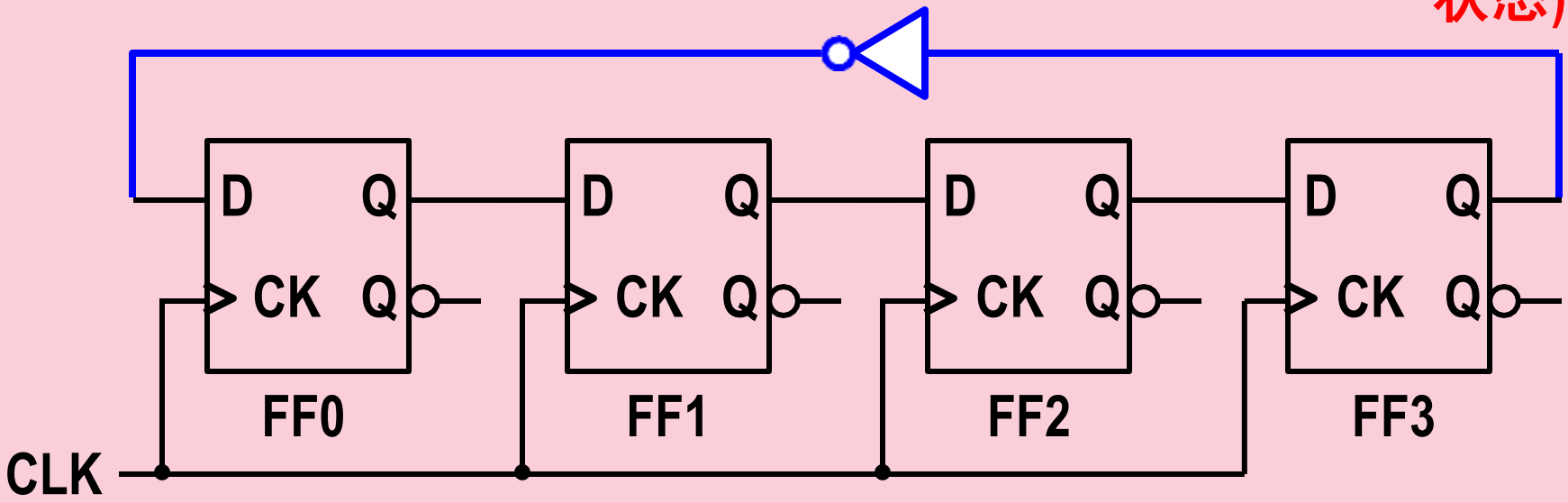
Twisted-Ring Counters (扭环计数器):

最简单的实现:

$D_0 = Q'_{n-1}$

如何得到自校正的扭环计数器?

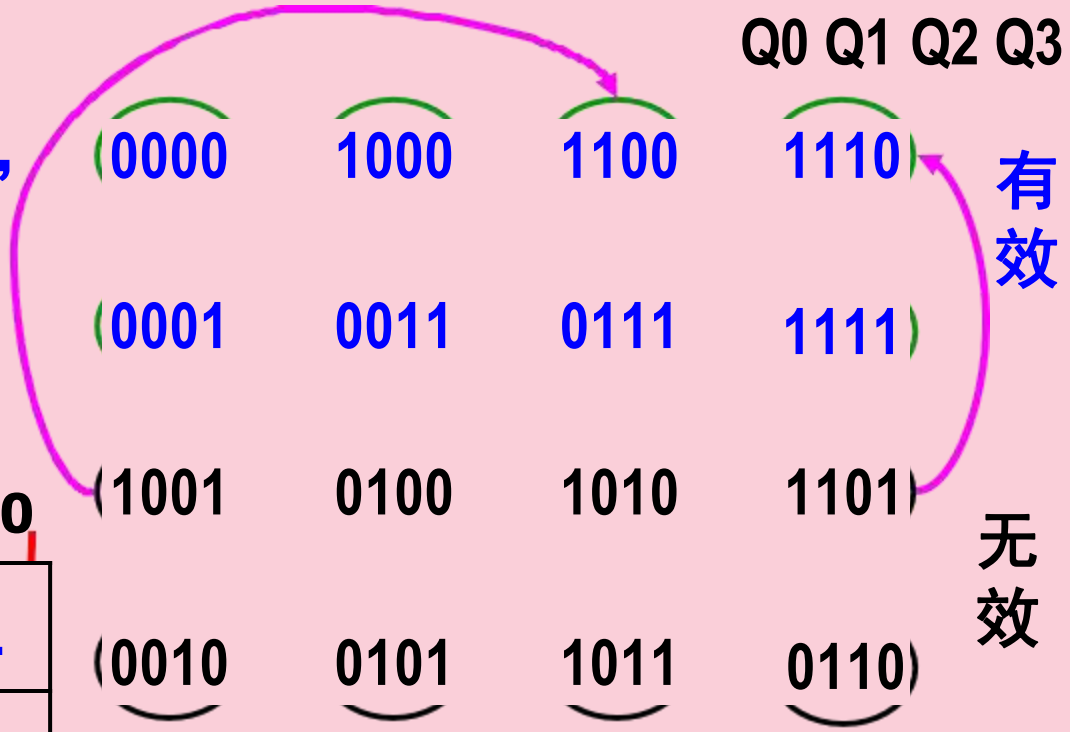




Self-Correcting Design (自校正设计)

1、确定有效的状态循环

2、对无效状态进行处理，使其进入有效循环。



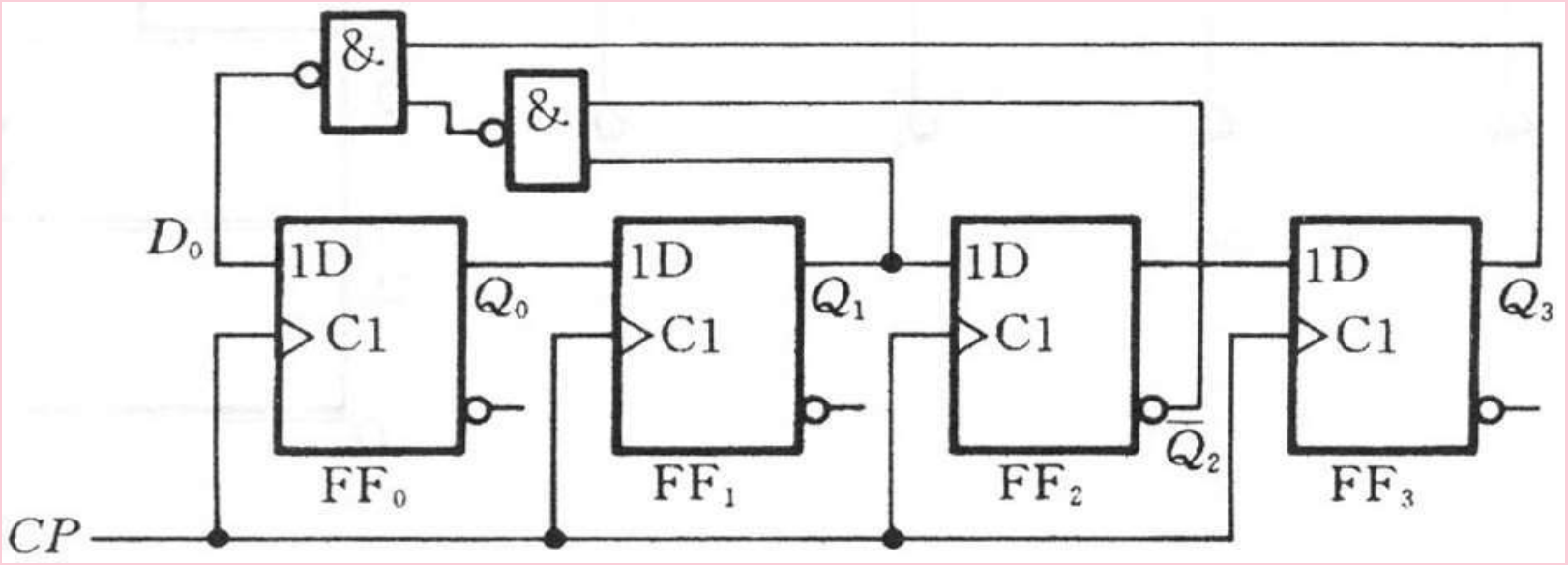
D0

Q2Q3 \ Q0Q1	00	01	11	10
00	1	d	1	1
01	0	d	1	1
11	0	0	0	d
10	d	d	1	d

$D0 = Q3' + Q2' \cdot Q1$

← Minimal Cost (最小成本)

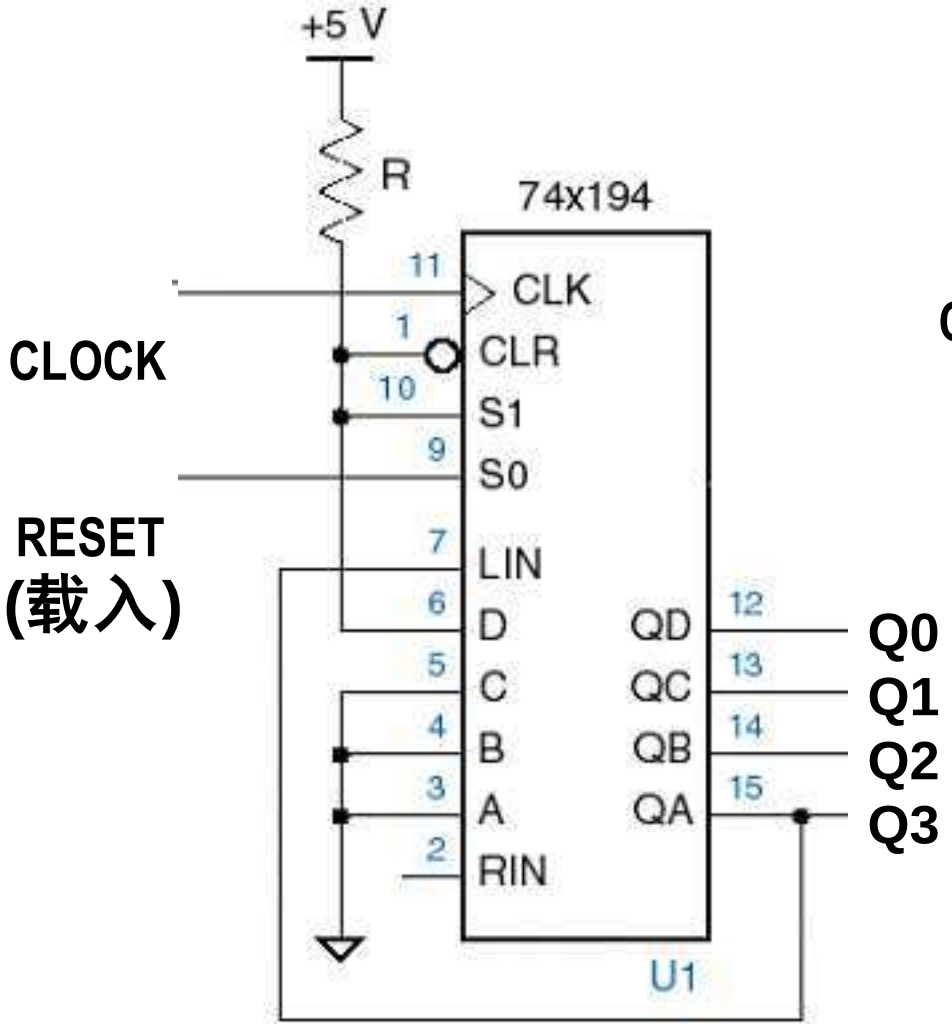
4-Bit 8-State Self-Correcting Johnson Counter(4位8状态自校正的Johnson计数器)



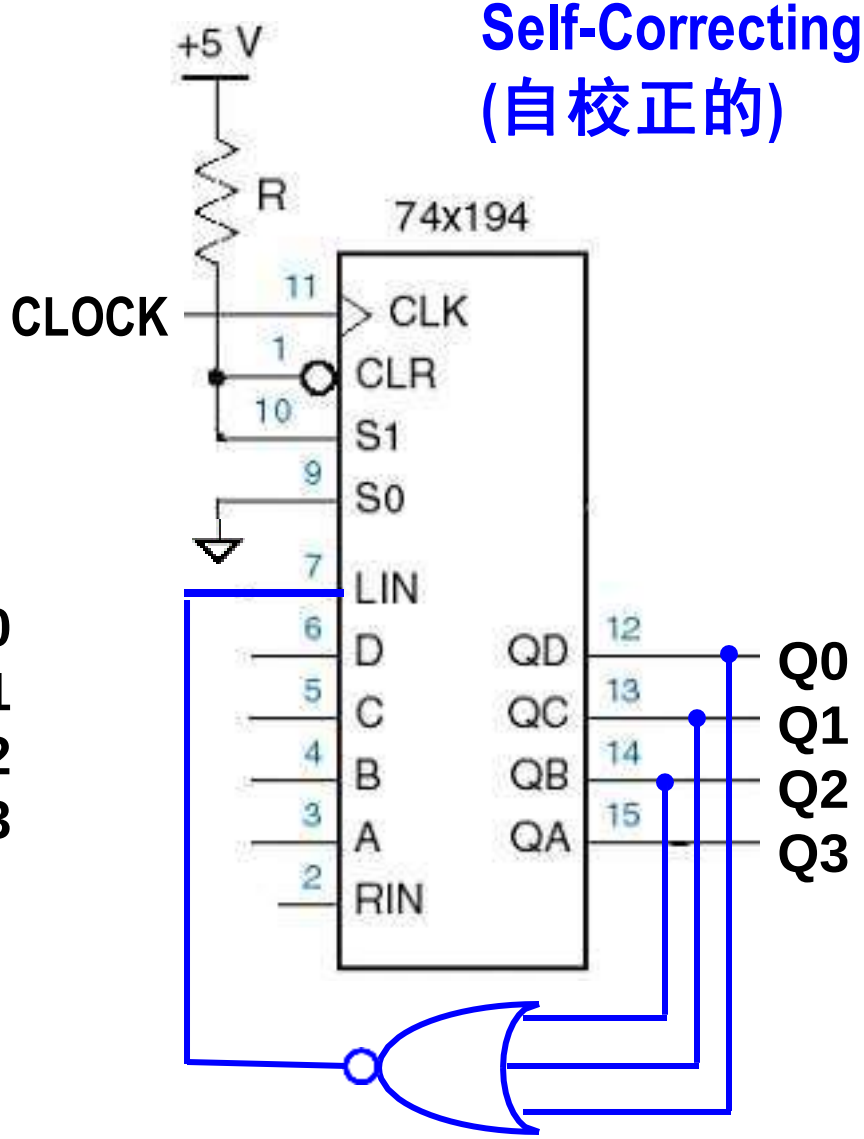
D0 = Q3′ + Q2′·Q1

= ((Q2′·Q1)′ · Q3)′

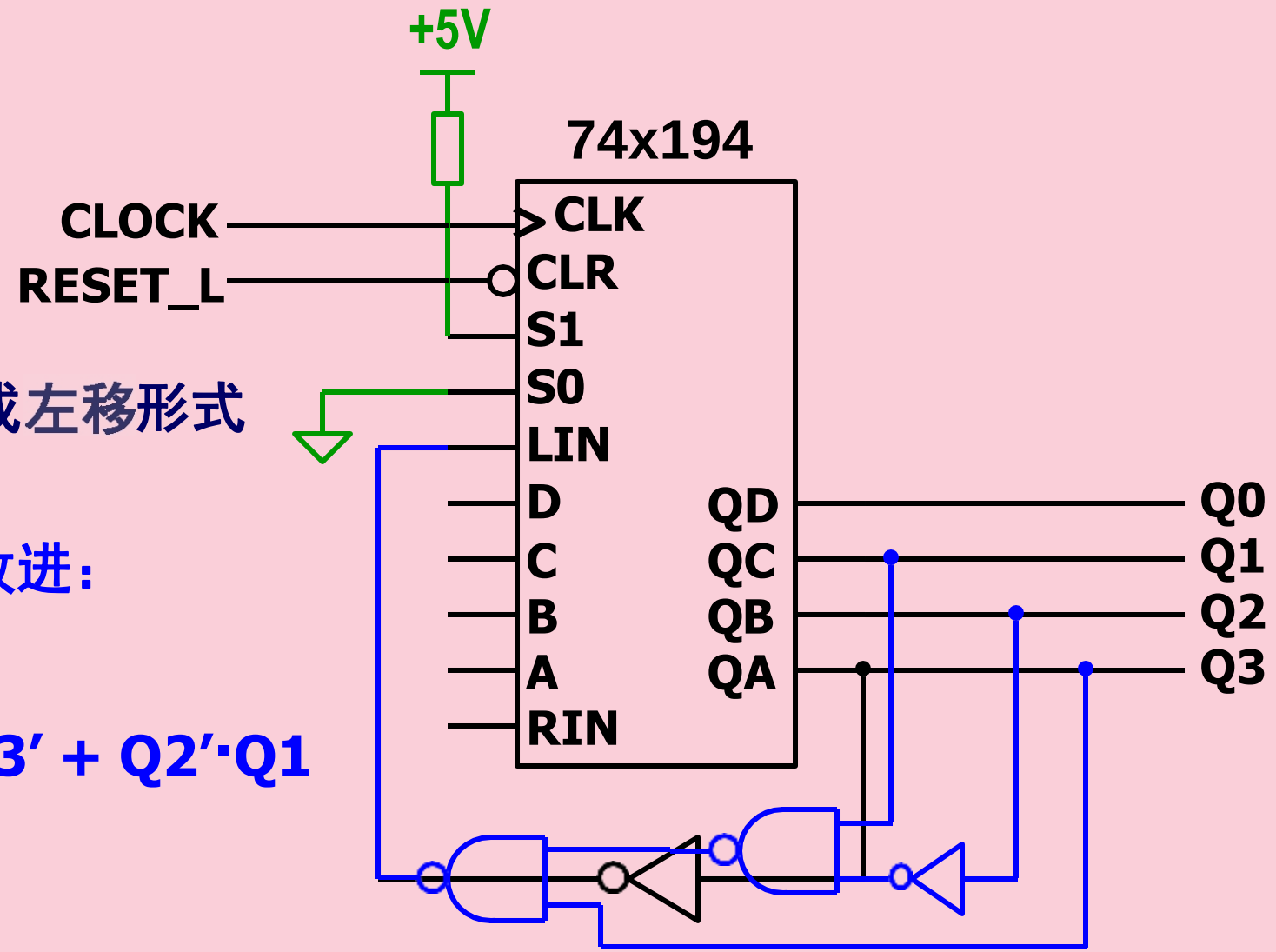
Use an Universal Register to perform a Ring Counter(利用通用寄存器74x194实现环形计数器)



Self-Correcting
(自校正的)



利用通用寄存器74x194实现扭环计数器



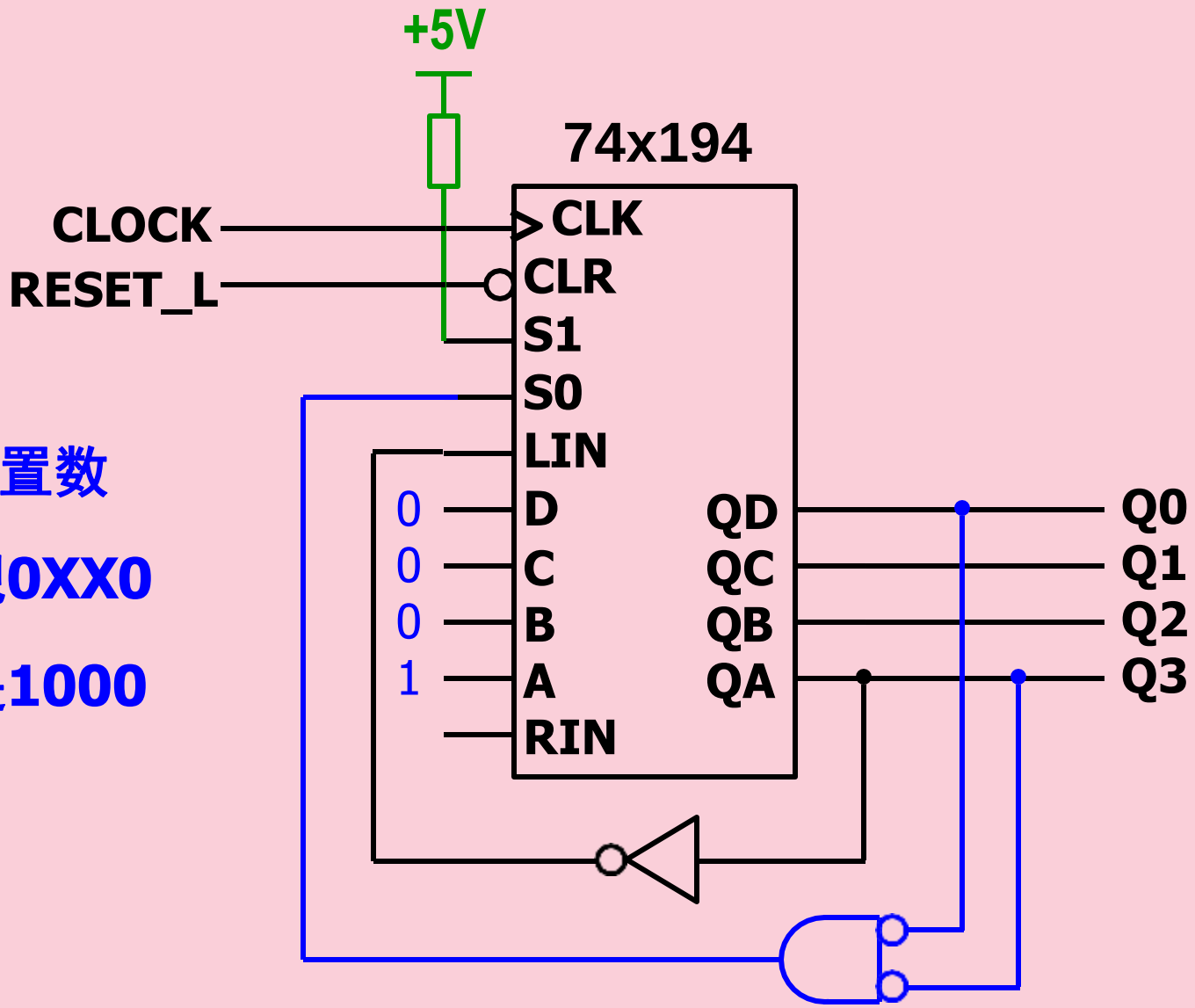
S1S0接成左移形式

自校正改进：

（法一）

$D0 = Q3' + Q2' \cdot Q1$

利用通用寄存器74x194实现扭环计数器



自校正改进：

（法二）利用置数

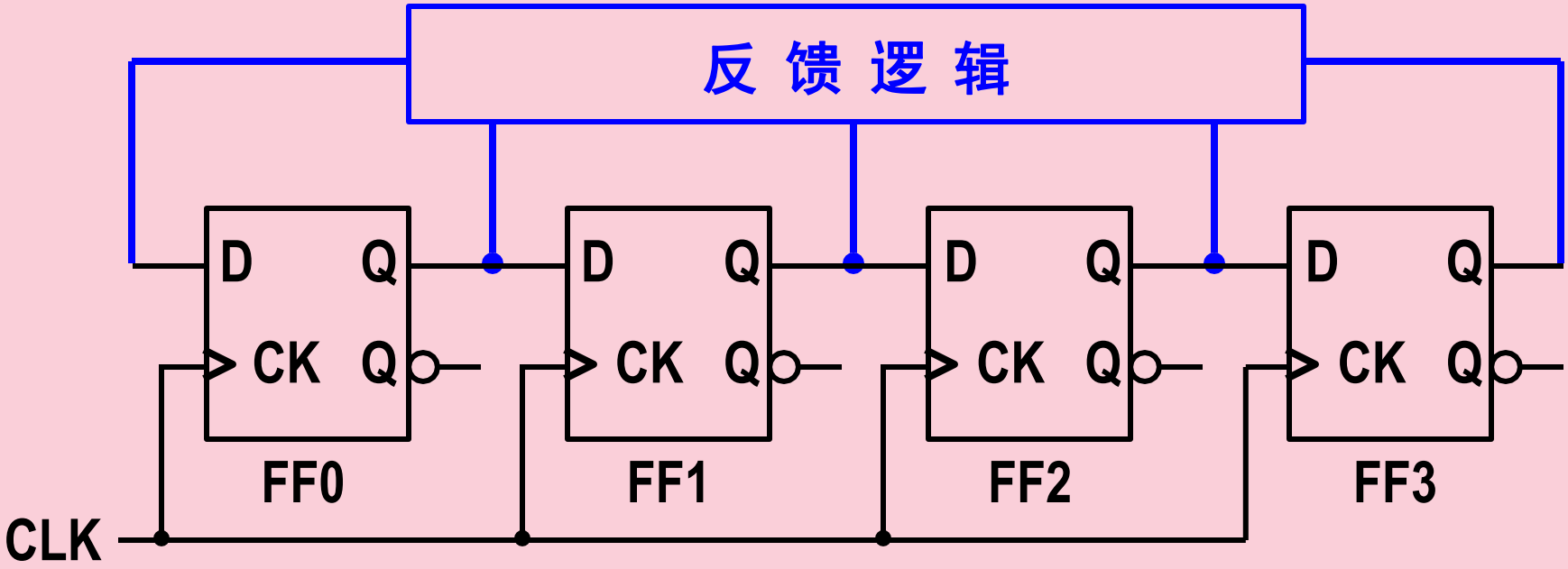
每当电路出现0XX0

下一状态就是1000

8.5.6 Linear Feedback Shift-Register Counter (LFSR,线性反馈移位寄存器计数器)

LFSR计数器 有 2^n-1 种有效状态

—— 最大长度序列发生器



移位寄存器型计数器的一般结构

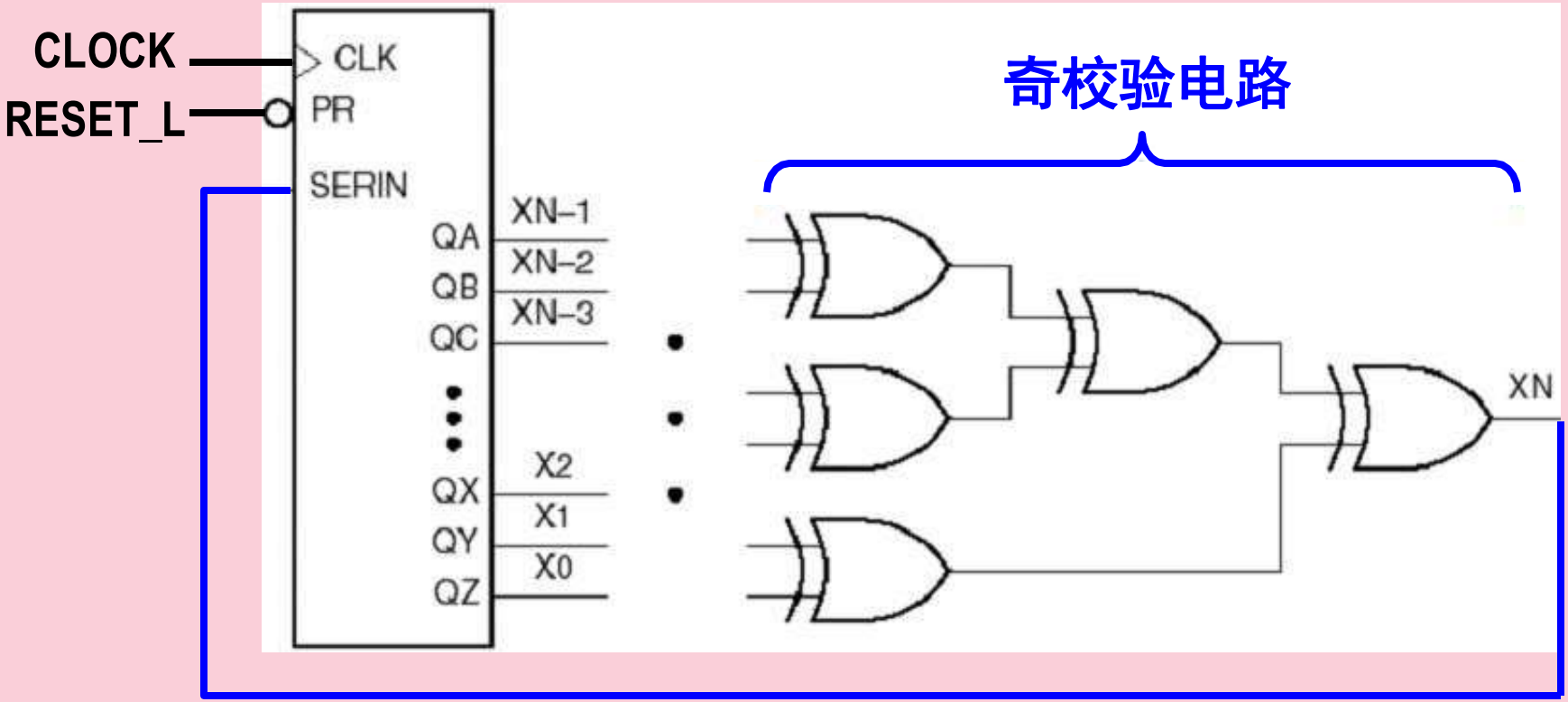
8.5.6 Linear Feedback Shift-Register Counter (LFSR,线性反馈移位寄存器计数器)

LFSR计数器 有 2^n-1 种有效状态

—— 最大长度序列发生器

反馈方程 表8-26

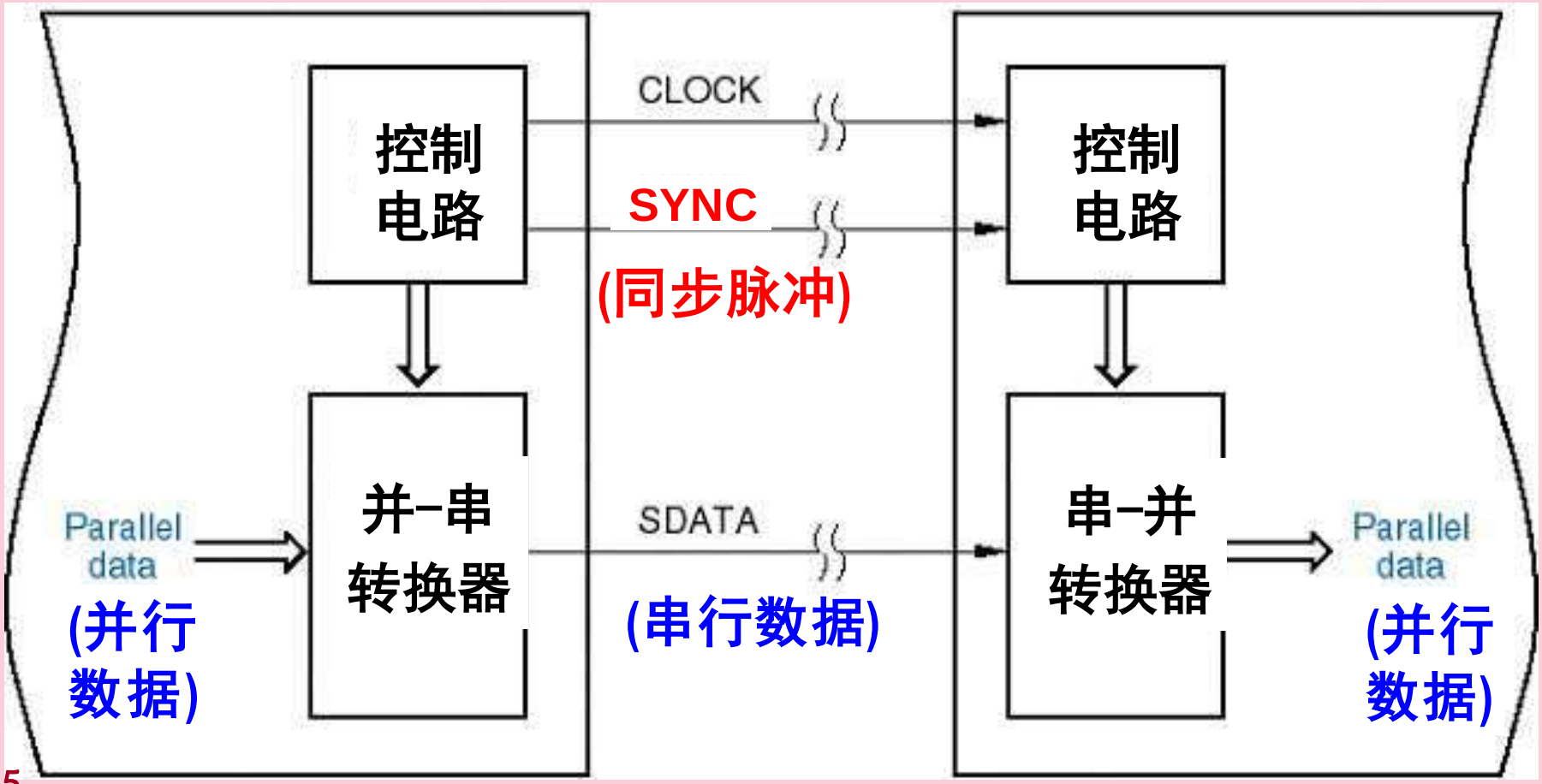
全0态的下一状态？？

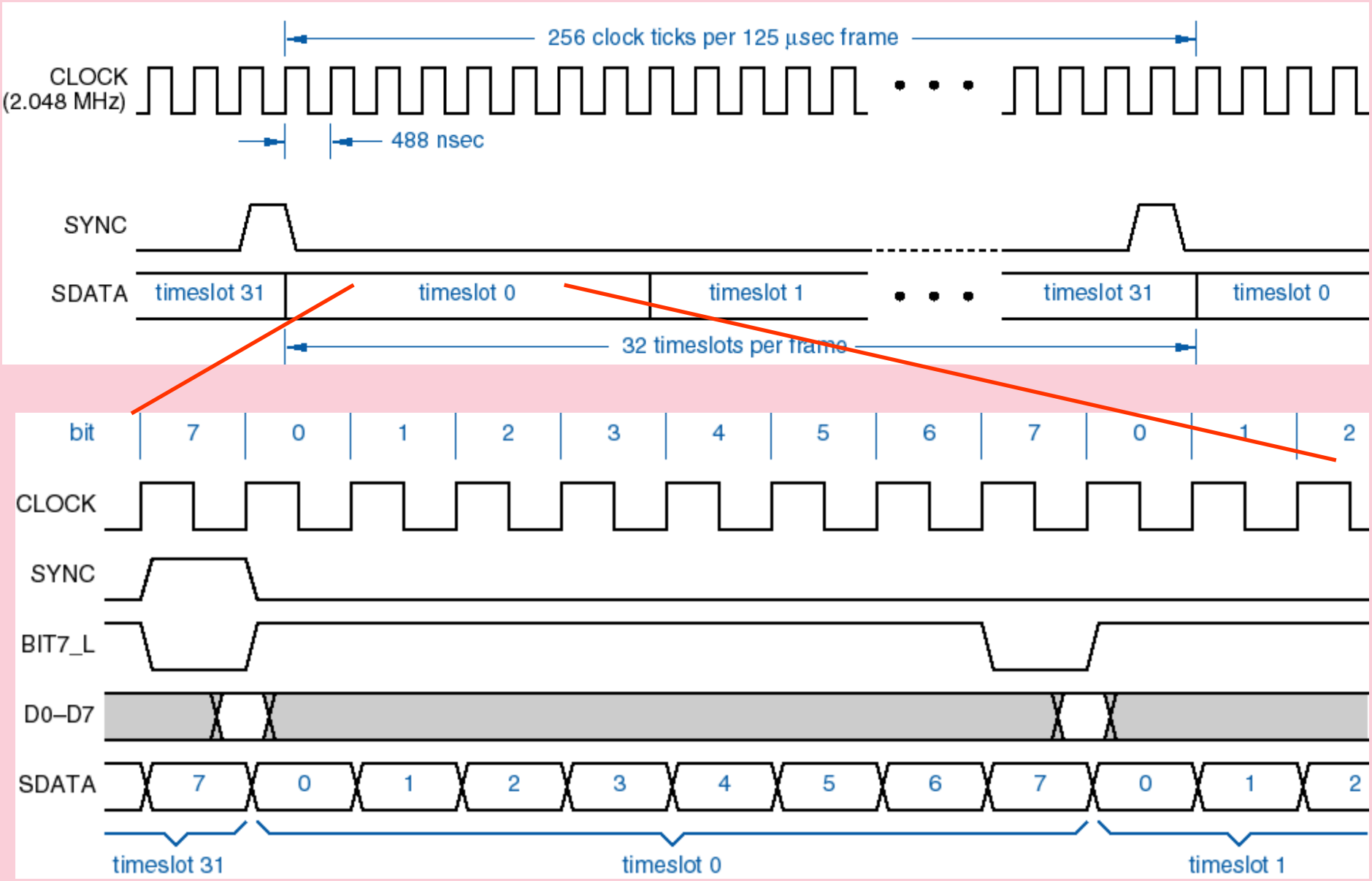


Serial-to-Parallel Conversion
(串/并转换)

Source Module
(源模块)

Destination Module
(目的模块)




256 clock ticks per 125 µsec frame
CLOCK
(2.048 MHz)
488 nsec
SYNC
SDATA
timeslot 31
timeslot 0
timeslot 1
timeslot 31
timeslot 0
32 timeslots per frame
bit
7
0
1
2
3
4
5
6
7
0
1
2
CLOCK
SYNC
BIT7_L
D0–D7
SDATA
7
0
1
2
3
4
5
6
7
0
1
2
timeslot 31
timeslot 0
timeslot 1

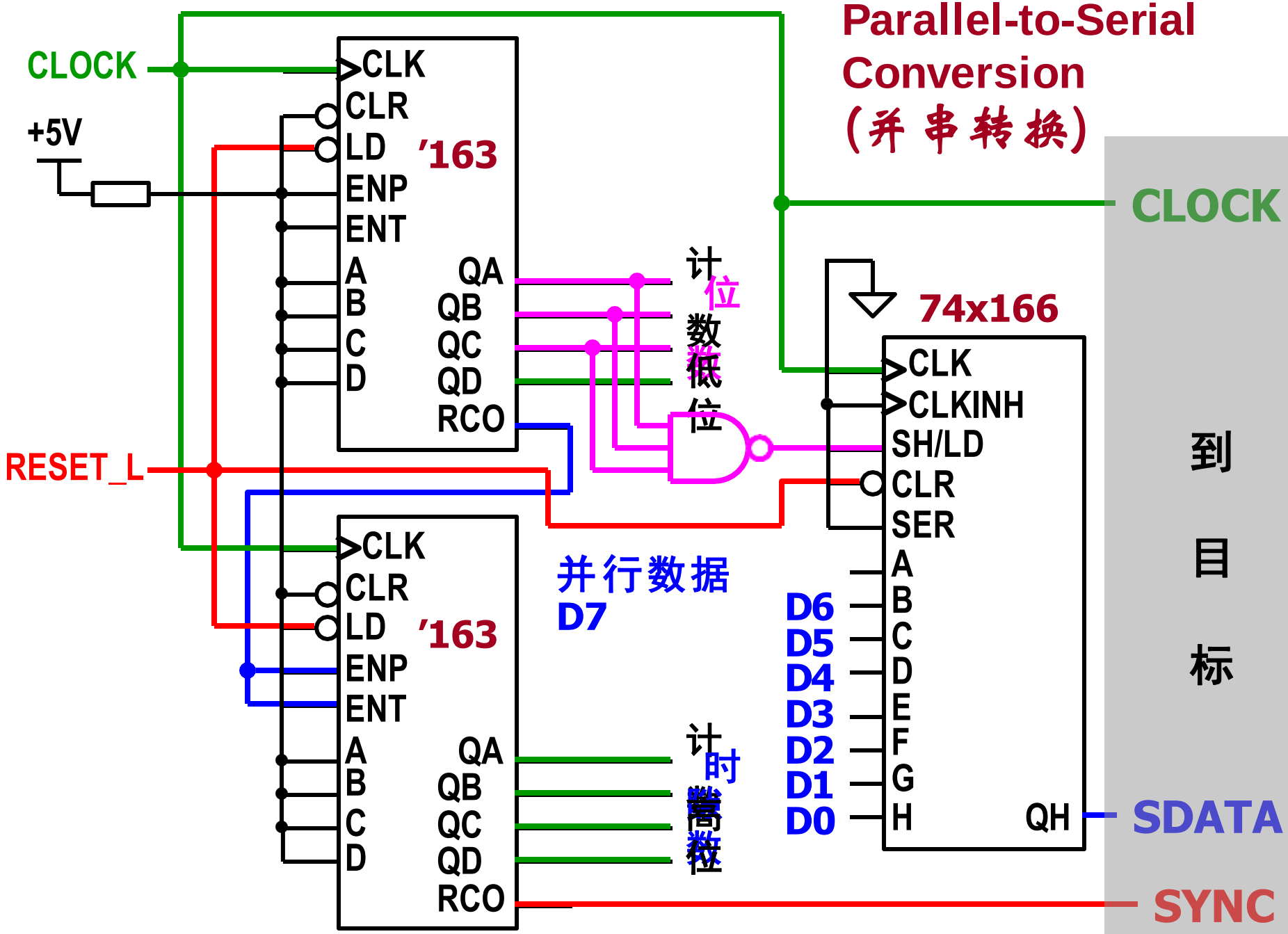
Serial-to-Parallel Conversion
(串/并转换)

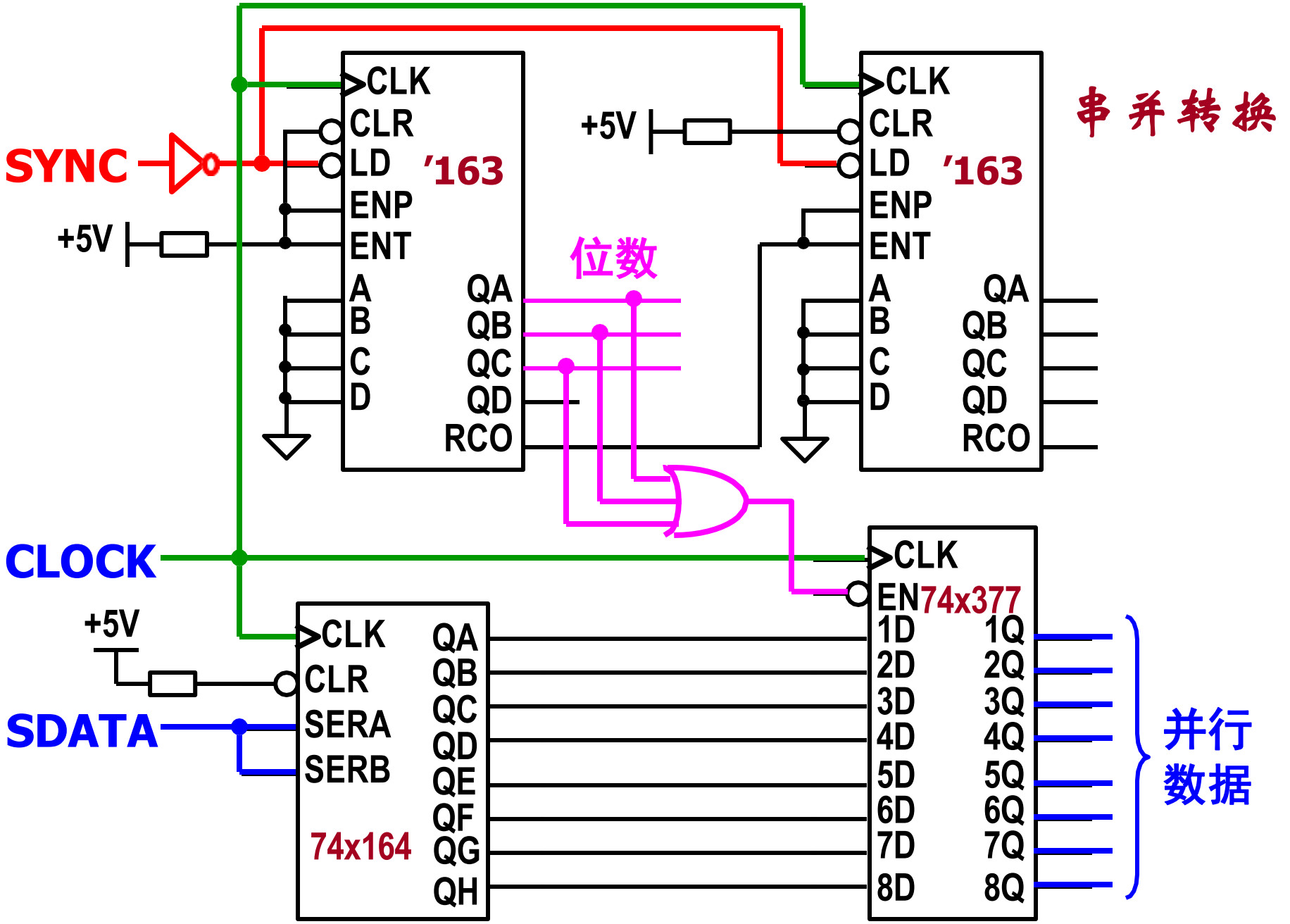
- SYNC信号上1位宽的脉冲用来作为一个时间间隔的起始标记
- 这个间隔被称为“帧”（frame）

- 所有256位数据都在这个时间间隔内在SDATA上传送

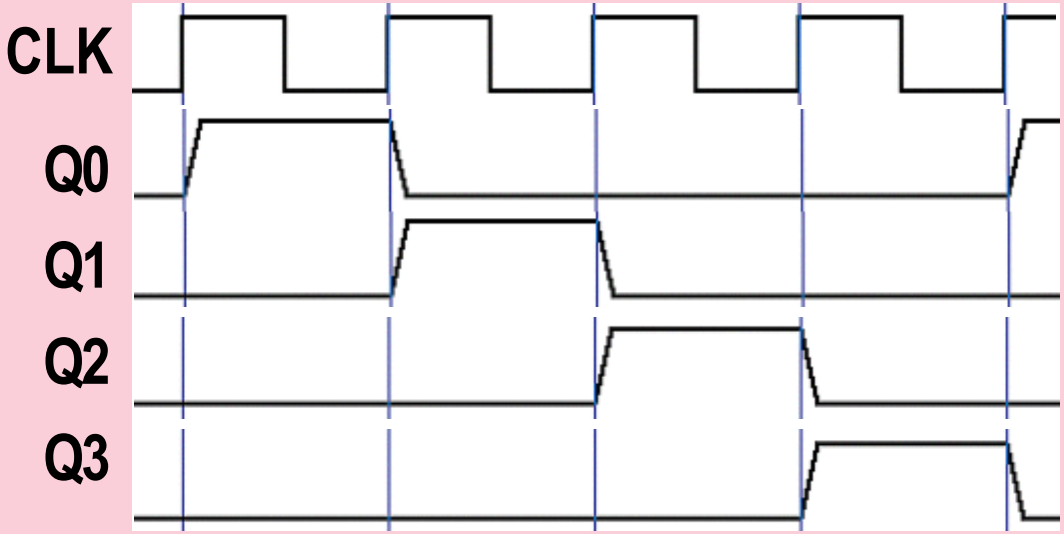
- 将SDATA分为32个时隙（timelot）,每个时隙包含8位数据
- 可以运送一个数字编码的话音信号

- 时隙编号和一个时隙内的每个数据位的位置
- 都由它们与SYNC脉冲的相对位置来决定


Parallel-to-Serial Conversion
(并串转换)
CLOCK
+5V
RESET_L
CLK
CLR
LD
ENP
ENT
A
B
C
D
QA
QB
QC
QD
RCO
'163
计数低位
计时高位
并行数据
D7
D6
D5
D4
D3
D2
D1
D0
74x166
CLKINH
SH/LD
SER
E
F
G
H
QH
SDATA
SYNC
到目标


串并转换
SYNC
+5V
CLK
CLR
LD
'163
ENP
ENT
A
B
C
D
QA
QB
QC
QD
RCO
位数
+5V
CLK
CLR
LD
'163
ENP
ENT
A
B
C
D
QA
QB
QC
QD
RCO
CLOCK
+5V
SDATA
CLK
CLR
SERA
SERB
74x164
QA
QB
QC
QD
QE
QF
QG
QH
CLK
EN74x377
1D
2D
3D
4D
5D
6D
7D
8D
1Q
2Q
3Q
4Q
5Q
6Q
7Q
8Q
并行
数据

Sequence Pulse Generator
(顺序脉冲发生器)



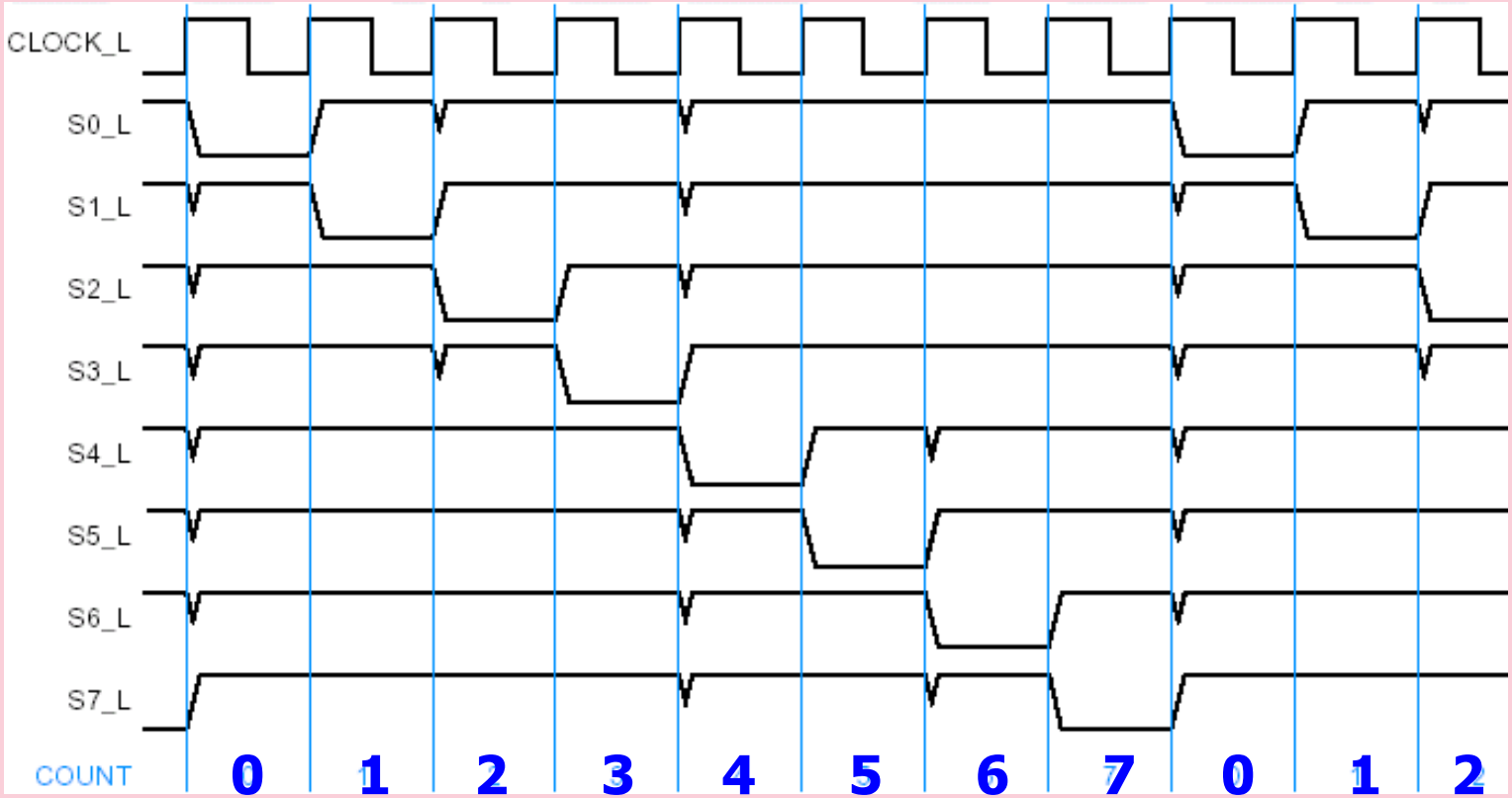
- 利用移位寄存器构成

  —— 注意自校正（环形计数器）

- 利用计数器和译码器构成

  —— 注意“毛刺”（二进制计数器的状态译码）

8.4.4 二进制计数器状态的译码



若在一次状态转移中有2位或多位计数位同时变化，

译码器输出端可能会产生“尖峰脉冲” —— 功能性冒险

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：https://d.book118.com/137024201061006054