第2章 开发工具的 介绍和使用

- ••••
-

Vivado 设计套件是Xilinx厂商于2008年研发的,2012年发布的高 度集成FPGA开发环境。Vivado彻底完善了FPGA硬件开发堆栈的基础,提供 系统到IC级别的设计工具,旨在提供超高生产力的设计方法。Vivado 是 在原有ISE设计套件的基础上研发的,在各方面性能上有很大改进,比如 数据格式的统一、业界的标准性、强大的脚本功能,可以使用C语言开发 或在DSP上开发,仿真速度可达ISE的3倍,使用C/C++语言可将验证速度提 高100倍。随着Xilinx芯片架构的持续发展,Vivado也不断增加新应用领 域,比如针对嵌入式开发人员的SDSoC,为数据中心部署开发的SDAccel, 以及面向Al的工具包。目前,Vivado套件支持Xilinx高端系列产品,能够 在Windows系统和Linux系统下进行大型复杂系统设计,极大丰富了FPGA的 应用生态。

2.2 Vivado软件的使用

1、工程创建:

(1) 双击Vivado软件,弹出Vivado欢迎界面。

(2) 在Quick Start中点击Creat Project选项,在New Project向导中点击Next, 填写工程名和存储路径。工程名和存储路径要求必须是英文字母、数字和下划线等字 符组合,并要求以英文字母开始。

(3) 选择RTL Project,为工程选择类型。

(4) 根据自己的需要,选择一款FPGA开发芯片,在Default Part对话框中选择 FPGA型号。

(5) New Project Summary中显示了新建工程的硬件信息是否完整,如有异议可 点击Back进行修改,无异议可点击Finish完成工程创建。

(1) 双击Vivado软件,弹出Vivado欢迎界面。



(2) 在Quick Start中点击Creat Project选项,在New Project向导中点击Next, 填写工程名和存储路径。工程名和存储路径要求必须是英文字母、数字和下划线等字 符组合,并要求以英文字母开始。

New Project				X
Project Name Enter a name for y	our project and specify a directory whe	ere the project data files will b	ie stored.	
<u>P</u> roject name:	project_1			8
Project <u>l</u> ocation:	G:/fpga_lab/vivado/lab1			⊗
🖌 Create proje	ct subdirectory			
Project will be cr	reated at: G:/fpga_lab/vivado/lab1/proj	ect_1		

(3) 选择RTL Project,为工程选择类型。

New Project	
Project Type Specify the type of project to create.	1
 <u>R</u>TL Project You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthe implementation, design planning and analysis. <u>Do</u> not specify sources at this time <u>Post-synthesis Project</u> You will be able to add sources, view device resources, run design analysis, plannin implementation. <u>Do</u> not specify sources at this time <u>J/O Planning Project</u> Do not specify design sources. You will be able to view part/package resources. <u>Imported Project</u> Create a Vivado project from a Synplify, XST or ISE Project File. Example Project Create a new Vivado project from a predefined template. 	sis, ng and
< Back Next > Finish	Cancel

(4) 根据自己的需要,选择一款FPGA开发芯片,在Default Part对话框中选择

Choose a default Xilinx par	t or board for y	our project. T	his can be ch	anged later.					
Select. 👜 Parts	Boards								
Produ <u>c</u> t category:	All		~	Spee <u>d</u> grade:	All			~	
<u>F</u> amily:	All		~	<u>T</u> emp grade:	All			~	
Package:	All		~						
			Res	et All Filters					
Search: Q- xc7a35tcs	g		🙁 🗸 (8 m	natches)					
Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs	Gb Transceivers	GTPE2 Transc
xc7a35tcsg324-2	324	210	20800	41600	50	0	90	0	0 1
() xc7a35tcsg324-2L	324	210	20800	41600	50	0	90	0	0
xc7a35tcsg324-1	324	210	20800	41600	50	0	90	0	0
xc7a35tcsg325-3	325	150	20800	41600	50	0	90	4	4
xc7a35tcsg325-2	325	150	20800	41600	50	0	90	4	4
	205	450	20200	44600	50	0	00		* `

(5) New Project Summary中显示了新建工程的硬件信息是否完整,如有异议可 点击Back进行修改,无异议可点击Finish完成工程创建。



2.2 Vivado软件的使用

2、添加建设文件:

(1)在Vivado工程界面的PROJECT MANAGER中选择Add Sources或者在File中点击 Add Sources,选择Add or create design sources。

(2) 在Add or Create Design Source向导中点击Create File,填写文件类型(lab1.v)、文件名和位置,然后点击Finish。

(3)弹出的定义模块窗口中,可以修改模块名(lab1)、定义模块端口,然后点击0K。

(4) 在Sources界面中的Design Sources中双击lab1.v,在lab1.v工程文件中输入相应代码。



(1)在Vivado工程界面的PROJECT MANAGER中选择Add Sources或者在File中点击 Add Sources,选择Add or create design sources。

<u>File Edit Flow Tools Window Layout View H</u> elp	Q~ Quick Access
Flow Navigator	
✓ PROJECT MANAGER ♦ Settings VIVADO HLx Editions	Add Sources This guides you through the process of adding and creating sources for your project
Add Sources Language Templates IP Catalog	 Add or create constraints Add or create design sources Add or create simulation sources
 IP INTEGRATOR Create Block Design Open Block Design Generate Block Design 	
✓ SIMULATION Run Simulation	



(2) 在Add or Create Design Source向导中点击Create File,填写文件类型(lab1.v)、文件名和位置,然后点击Finish。

Create Source	e File
VI Create a new s project.	ource file and add it to your 💦
<u>F</u> ile type:	😨 Verilog 🗸 🗸
File name:	lab1 🛞
File location:	ि <local project="" to=""> ✓</local>
?	OK Cancel
<u>C</u> reate File	
	yl Create a new s project. <u>F</u> ile type: File name: Fil <u>e</u> location: at <u>C</u> reate File

2、添加建设文件

(3) 弹出的定义模块窗口中,可以修改模块名(lab1)、定义模块端口,然后点击0K。

۵ 🔥	Define Module					Proper Same	x		
F	Define a module and specify I/O Ports to add to your source file. For each port specified: MSB and LSB values will be ignored unless its Bus column is checked. Ports with blank names will not be written.								
P	Module Definition								
	<u>M</u> odule name	: lab1					\otimes		
	I/O Port Definitions								
	+ -	t I							
	Port Name	Direction	Bus	MSB	LSB				
	а	input 🗸 🗸		0	0		^		
	b	input 🗸 🗸		0	0				
	f	output 🗸		0	0		~		
(OK Cancel								

2、添加建设文件

(4) 在Sources界面中的Design Sources中双击lab1.v, 在lab1.v工程文件中输入相应代码。

Sources	? _ 🗆 🖒 ×	Project Summary × lab1.v ×
Q ≍ ≑ + ? ● º	٥	G:/fpga_lab/vivado/lab1/project_1/project_1.srcs/sources_1/new/lab1.v
✓		Q 🗎 ← → 🔏 🗉 🖬 🖊 🎟 ♀
@ ab1 (lab1.v)		17 // Revision 0.01 - File Created
> 🗁 Constraints		18 // Additional Comments:
→ Simulation Sources (1)		19 //
> 🚞 sim_1 (1)		20 🔁 ///////////////////////////////////
		21 🖯 module lab1(
Hierarchy Libraries Compile Order		22 input a,
		23 input b,
Source File Properties	2 D B X	24 output 1 25).
		26 assign f=1 (a&b):
Iab1.v	\leftarrow \rightarrow \Diamond	27 - endmodule
	<u>ې</u>	28
General Properties		<

2.2 Vivado软件的使用

3、仿真:

(1) 在File中点击Add Sources, 选择Add or create simulation sources, 添加或创建仿真源文件。

(2)在添加源文件向导中选择Create File,在Create Source File中填写文件 类型(Verilog)、文件名(lab1_tf)和位置,然后点击Finish。

(3) 双击Sources内Simulation Sources中的仿真文件(lab1_tf.v)。

(4) 编写测试程序。

(5) 选择SIMULATION 中的Run Simulation, 运行Run Behavioral Simulation, 进行行为仿真。

(6) 在SIMULATION窗口中可看到相应的波形,可用Ctrl+滚轮放大或缩小仿真波形图。

(1) 在File中点击Add Sources, 选择Add or create simulation sources, 添 加或创建仿真源文件。

Add Sources	×
Add Sources	Add Sources This guides you through the process of adding and creating sources for your project Add or greate constraints Add or create design sources Add or create gimulation sources
E XILINX ALL PROGRAMMABLE.	< <u>Back</u> <u>Finish</u> Cancel

(2)在添加源文件向导中选择Create File,在Create Source File中填写文件 类型(Verilog)、文件名(lab1_tf)和位置,然后点击Finish。

of of circuite officiation sound	ces		🍌 Create Sourc	e File
cify simulation specific HDL files, or it to your project.	r directories containin	g HDL files, to add to yo	Create a new s project.	source file and add it to your 💦 💫
Specify simulation set: 🔚 sim_1	~		<u>F</u> ile type:	🔞 Verilog 🗸 🗸
+, = +			F <u>i</u> le name:	lab1_tf
			Fil <u>e</u> location:	😚 <local project="" to=""> 🛛 🗸</local>
	Use Add Files, A	dd Directories or Creat	?	OK Cancel
	<u>A</u> dd Files	Add Directories	<u>C</u> reate File	
Scan and add RTL include files ir	nto project			
] Copy <u>s</u> ources into project				
Add sources from subdirectories				
Include all design sources for sin	nulation			

(3) 双击Sources内Simulation Sources中的仿真文件(lab1_tf.v)。



(4) 编写测试程序。

lab1.v × lab1_tf.v * ×
G:/fpga_lab/vivado/lab1/project_1/project_1.srcs/sim_1/new/lab1_tf.v
Q 🖬 🔸 🅕 🔏 🗉 🗈 🖊 🎟 🌚
18 // Additional Comments:
19 //
20 📋 ///////////////////////////////////
21 📛 module lab1_tf;
22 reg a, b;
23 wire f;
24 lab1 uut (a, b, f);
25 📛 initial begin
26 a=0;b=0;#100;
27 a=0;b=1;#100;
28 a=0;b=0;#100;
29 a=1;b=1;#100;
30 📄 end
31 😑 endmodule
32

(5) 选择SIMULATION 中的Run Simulation, 运行Run Behavioral Simulation, 进行行为仿真。

~	SIMULATION	> @ ≗ lab1_tf (lab1_tf.v) ((1)
	Run Simulation	Hierarchy Libraries Compi	le O
		Run Behavioral Simulation	
~	RTL ANALYSIS Open Elaborated	Run Post-Synthesis Functional Simulation Run Post-Synthesis Timing Simulation	-
,	SYNTHESIS Run Synthesis	Run Post-Implementation Functional Simulation Run Post-Implementation Timing Simulation	

(6) 在SIMULATION窗口中可看到相应的波形,可用Ctrl+滚轮放大或缩小仿真波形图。

S × Sou	_ 🗆 🖸	Objects	? _ 🗆 🖒 X	lab1.v × lab1_tf.v ×	Untitled 2 \times	
Q	♦	Q	٥	ର 🔛 ବ୍ ର 🔀	→	±r +F Fe +F Fe
Name	Design U.	Name	Value ^			0.001 ns
🗸 📒 lab	lab1_tf	🖔 a	1	Name	Value	0 ns . 200 ns . 4
	lab1	😼 b	1	1 <u>6</u> a	0	
🏮 gibi	glbl	∿₀ f	0	14 b	0	
				Ve f	1	

2.2 Vivado软件的使用

4、约束文件:

(1) 在File中点击Add Sources, 选择Add or create contraints, 添加或创建 约束文件。

(2)在添加源文件向导中选择Create File,在Create Constraints File中填写 文件类型(XDC)、文件名(lab1)和位置,约束文件类型为XDC,然后点击OK和Finish。
(3)在弹出的约束文件lab1.xdc中,编写与开发板FPGA相对应的引脚约束条件。
(4)引脚约束的另外一种方法:在左边Flow Navigator(流动导航器)中双击
IMPLEMENTATION中的Run Implementation(运行与实现)进行综合和实现。

(5) 在弹出的Synthesis Completed(完成综合)提示对话框中,选择Run Implementation后点击OK。

(6) 在IMPLEMENTED DESIGN中的1/0 Ports内,填写端口对应的引脚编号和1/0标准,并保存,这里可以将1/0 Std改成LVCMOS33。

4、Vivado软件的约束文件

(1) 在File中点击Add Sources, 选择Add or create contraints, 添加或创建 约束文件。

🔥 Add Sources		3
	Add Sources This guides you through the process of adding and creating sources for your project	
	Add or create constraints	
	○ <u>A</u> dd or create design sources	
	Add or create simulation sources	
?	< Back Einish Cancel]

4、Vivado软件的约束文件

(2) 在添加源文件向导中选择Create File, 在Create Constraints File中填写 文件类型(XDC)、文件名(lab1)和位置,约束文件类型为XDC, 然后点击OK和Finish。

cify or create constraint files for physical and timing constraint to add to your provide the second terms of ter	Create Const Create Const Create a new o project	raints File	your 🍌
+, = ♠ ↓ Use Add Files or Create Fil	<u>F</u> ile type: File name: Fil <u>e</u> location: ?	XDC Iab1 Cocal to Project>	✓ ⓒ Cancel
Add Files Cr	eate File		

4、Vivado软件的约束文件

(3) 在弹出的约束文件1ab1.xdc中,编写与开发板FPGA相对应的引脚约束条件。

lab1.v × lab1.xdc ×

G:/fpga_lab/vivado/lab1/project_1/project_1.srcs/constrs_1/new/lab1.xdc

Q,	🖬 🛧 ≁ 👗 🖬 🖬 🕅 📭 ♀
1	<pre>set_property IOSTANDARD LVCMOS33 [get_ports a]</pre>
2	<pre>set_property IOSTANDARD LVCMOS33 [get_ports b]</pre>
3	<pre>set_property IOSTANDARD LVCMOS33 [get_ports f]</pre>
4	set_property PACKAGE_PIN R1 [get_ports a]
5	<pre>set_property PACKAGE_PIN N4 [get_ports b]</pre>
6	<pre>set_property PACKAGE_PIN K2 [get_ports f]</pre>

4、Vivado软件的约束文件

(4)引脚约束的另外一种方法:在左边Flow Navigator(流动导航器)中双击 IMPLEMENTATION中的Run Implementation(运行与实现)进行综合和实现。

SYNTHESIS



> Open Synthesized Design

MINPLEMENTATION



4、Vivado软件的约束文件

(5) 在弹出的Synthesis Completed(完成综合)提示对话框中,选择Run Implementation后点击OK。

Synthesis Completed
Synthesis successfully completed. Next
<u>R</u> un Implementation
Open Synthesized Design
O <u>V</u> iew Reports
Don't show this dialog again
OK Cancel

以上内容仅为本文档的试下载部分,为可阅读页数的一半内容。如要下载或阅读全文,请访问: <u>https://d.book118.com/156045042224011002</u>