

目录

摘要.....	2
Abstract.....	3
绪论.....	4
1.VHDL 简介.....	5
1.1 VHDL 的特点.....	5
1.2 VHDL 发展史.....	5
2.设计的方案确定.....	6
2.1. AD558 工作原理.....	6
2.2 设计方案.....	7
3.设计流程.....	8
4.结束语.....	14
5.参考文献.....	15
附录.....	16

摘要

本说明书首先介绍了 VHDL 语言的特点及发展史；接着简要说明了 D/A 接口（函数发生器）的工作原理及设计思想和设计方案的确定；然后着重解释了使用 VHDL 语言设计 D/A 接口（函数发生器）的具体操作步骤及主要流程。为了更加详细的解释清楚主要流程在本课程设计说明书中还附加了相应的图片。最后还附加了实现设计的 VHDL 源程序。

关键词：VHDL D/A 接口 设计

Abstract

This manual introduces the VHDL language features and development history; followed by a brief description of the D/A interface and the working principle and design ideas and the way that the design program was confirmed; and then I explain the emphasis on the use of VHDL language to design D/A interface and the specific steps and the main process. In order to explain in more details of the main process I also attached the corresponding pictures. Finally I added the VHDL design source codes in the addendum.

Keywords: VHDL D/A Interface Design

绪论

EDA 是电子设计自动化(Electronic Design Automation)的缩写。EDA 技术就是依赖功能强大的计算机,在 EDA 工具软件平台上,对以硬件描述语言 HDL(Hardware Description Language)为系统逻辑描述手段完成的设计文件,自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试,直至实现既定的电子线路系统功能。EDA 技术使设计者的工作仅局限于利用软件的方式来完成对系统硬件功能的实现,可以说 EDA 技术的产生与发展是电子设计技术的一个巨大进步。EDA 技术融合了众多电子设计技术和计算机辅助技术,使得它在现代电子学方面的应用越来越广泛,也成为电子、电气类大学生必须熟练掌握的一种设计工具。

硬件描述性语言 HDL 是 EDA 技术的重要组成部分,常见 HDL 的有 VHDL、HDL、ABEL、Verilog、AHDL、SystemC 等。其中 VHDL、Verilog 在现在的 EDA 设计中使用的最多,也拥有了几乎所有主流 EDA 工具的支持,而相对于其他语言 VHDL 更加完善。VHDL 是英文全名是 VHSIC(Very High Speed Integrated Circuit) Hardware Description Language,是硬件描述语言的业界标准之一。它作为一个规范语言和建模语言,具有与具体硬件电路无关及设计平台无关的特性,而且还有很强的电路行为描述和建模能力,能从多个层次的数字系统进行建模和描述,从而大大简化了硬件设计的任务,提高了设计效率和可靠性。

D/A 转换器的功能是把二进制数字信号转换为与其数值成正比的模拟信号。AD558 是并行 8 位 D/A 转换芯片,应用 CPLD 可以完成对 AD558 的控制。CPLD 与 CPLD 结合之后可以完成函数发生器的基本功能:波形输出。要实现这种结合就需要应用 VHDL 语言完成 D/A 接口的设计。通过合适的 VHDL 语言可以完成递增斜波、递减斜波、三角波、递增阶梯波的输出。

1. VHDL 简介

1.1 VHDL 的特点

VHDL 语言功能强大、设计灵活。VHDL 语言可以用简洁明确的源代码来描述复杂的逻辑控制，它具有多层次的设计描述功能，层层细化，最后可直接生成电路级描述。VHDL 支持同步电路、异步电路和随机电路的设计，这是其他硬件描述语言虽不能比拟的。VHDL 还支持多种设计方法，既支持自底向上的设计，又支持自顶向下的设计；既支持模块化设计，又支持层次化设计。由于 VHDL 已经成为 IEEE 标准所规定的硬件描述性语言，目前大多数 EDA 工具几乎都支持 VHDL。因为 VHDL 易读和结构化且易于修改设计所以在硬件电路设计过程中，VHDL 语言得到广泛应用。

VHDL 语言独立于器件的设计与工艺无关。因而设计人员用 VHDL 进行设计时，不需要考虑选择器件得问题，就可以集中精力进行设计的优化。当设计描述完成后，可以用多种不同的器件结构来实现其功能。

VHDL 语言易于共享和复用。VHDL 采用基于库 (Library) 的设计方法，可以建立各种可再次利用的模块。这些模块可以预先设计或使用以前设计中的存档模块，将这些模块存放到库中，就可以在以后的设计中进行复用，可以使设计成果在设计人员之间进行交流和共享，减少硬件电路设计。VHDL 丰富的仿真语句和库函数，使得在任何大系统的设计早期就能查验设计系统的功能可行性，随时可对设计进行仿真模拟。

VHDL 语句的行为描述能力和程序结构决定了它具有支持大规模设计的分解和已有设计的再利用功能。这个特点很好的符合了市场需求。对于用 VHDL 完成的一个确定的设计，可以利用 EDA 工具进行逻辑综合和优化，并自动的把 VHDL 描述的设计转变成门级网表。

总之，由于 VHDL 语言有的这些优良的特点，它被广泛的应用在电子线路和电子系统的设计中。

1.2 VHDL 发展史

VHDL 于 1983 年由美国国防部发起创建，由 IEEE 进一步发展，并在 1987 年作为“IEEE 标准 1076”发布。从此 VHDL 成为硬件描述语言的业界标准之一。随后各 EDA 公司相继推出了自己的 VHDL 设计环境，或宣布自

己的设计工具支持 VHDL。此后 VHDL 在电子设计领域得到了广泛的接受，并逐步取代了原有的非标准的硬件描述语言。

1993 年，IEEE 对 VHDL 进行了修订，从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容，公布了新版本的 VHDL，即 IEEE 标准的 1076-1993 版本。现在，VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言，得到众多 EDA 公司的支持，在电子工程领域，已成为事实上的通用硬件描述语言。现在公布的最新 VHDL 标准版本是 IEEE1076-2002。

在现代电子行业中，VHDL 语言将承担起大部分的数字系统设计任务。目前，它在中国的应用多数是用于在 FPGA/CPLD/EPLD 的设计中，当然在一些实力较为雄厚的单位，它也被用来设计 ASIC。

2. 设计方案的确定

2.1. AD558 工作原理

A/D 转换器和 D/A 转换器是把微型计算机的应用领域扩展到检测和过程控制的必要装置，是把计算机和生产过程、科学实验过程联系起来的重要桥梁。D/A 转换器的功能是把二进制数字信号转换为与其数值成正比的模拟信号。D/A 转换器相对于 A/D 转换器在时序上要求较低。在 D/A 参数中一个最重要的参数就是分辨率，它是指输入数字量发生单位数码变化时，所对应输出模拟量(电压或电流)的变化量。分辨率是指输入数字量最低有效位为 1 时，对应输出可分辨的电压变化量 ΔU 与最大输出电压 U_m 之比。

D/A 转换器 AD558 是 EDA 实验箱上自带的并行 8 位 D/A 转换芯片，它可以把输入的 8 位数字量转化为 0~2.56V 的电压量，它与 CPLD 器件联合使用可以产生几种波形。其芯片管脚外形和内部结构框图分别如图 1、图 2 所示：

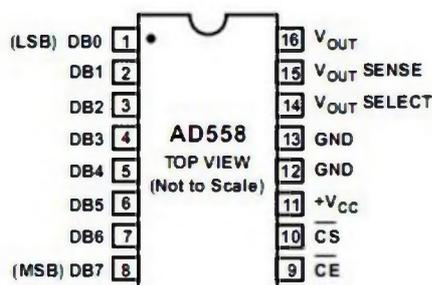


图 1 AD558 芯片管脚外形图

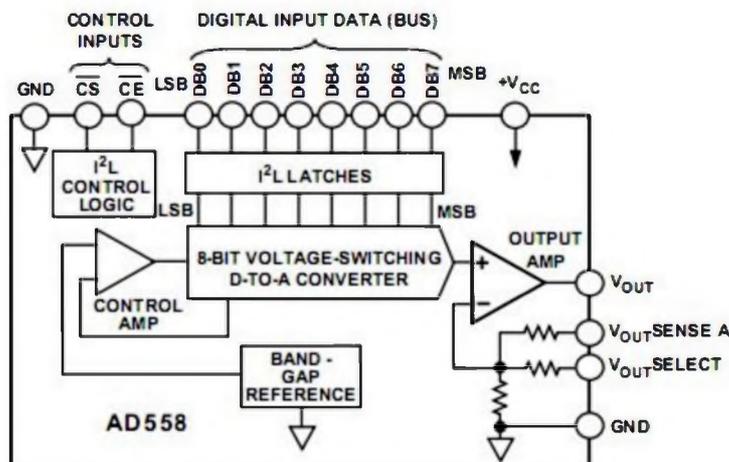


图 2 AD558 内部结构框图

AD558 的真值表如图 3 所示。由真值表可知：当 CS 为低电平、CE 为电平时，AD558 保持上次的转换结果；当 CS 和 CE 同时为电平时，通过数据总线 D[7..0]读入数据，同时讲转换结果输出。

Input Data	\overline{CE}	\overline{CS}	DAC Data	Latch Condition
0	0	0	0	“Transparent”
1	0	0	1	“Transparent”
0	g	0	0	Latching
1	g	0	1	Latching
0	0	g	0	Latching
1	0	g	1	Latching
X	1	X	Previous Data	Latched
X	X	1	Previous Data	Latched

图 3. AD558 真值表

2.2 设计方案

本次 D/A 接口（函数发生器）的设计中，转换结果是时时输出的。根据对 AD558 真值表的分析可知：当 CE 和 CS 同时置 ‘0’ 时 AD558 的工作模式为时时输出。因此在本次设计中我只需要将 CE 和 CS 同时置 ‘0’ 即可。根据对 AD558 功能的分析可知：利用 VHDL 语言编写源程序通过 CPLD 完成对 AD558 的控制，并与 AD558 结合可以完成四种波形的产生。

具体设计方案如下：利用 VHDL 语言设计 0~255 循环加法计数器、255~0 循环减法计数器、0~128~0 循环加减计数器、0~224 等梯度循环加法计数器便可分别完成递增斜波、递减斜波、三角波、递增阶梯波的输出。每个计数器还设计了片选端和清零端。当清零端为 0 时计数器恢复为初始状态。为了实现输出波形模式的选择，在本次设计中我使用了一个四选一选择器：输入为 2 位逻辑数组输出为 4 个一位逻辑量。每一种输入状态对于于一种输出状态，每个状态有且仅有一位为 1，其余 3 位皆为 0，每个输出量与一种计数器的片选端相连接，即每个输入状态都只选中一种输出状态。

由于 CPLD 实验箱上没有 D/A 转换器，为了显示设计结果检验设计成果我决定使用 7 段数码管显示产生波形的数字量。由于输出范围为 0~255，在十六进制数 0H~EEH 的范围内，而且实验箱上只有 8 个 7 段数码管因此我各用 2 个 7 段数码管显示 4 种波形的输出。

在每个计数器输出端口和 7 段译码器中间添加一个输入频率为 1000HZ 的 4 选 1 数据选择器，并利用两个拨码开关实现输入数据的选择。由于实验箱上自带的时钟源频率为 20MHZ，为了得到 1000HZ 的频率，我还设计了一个分频器。以上即为本次 D/A 接口（函数发生器）的主要设计方案。

3.设计流程

首先启动 Quartus II 软件如图 4 所示：

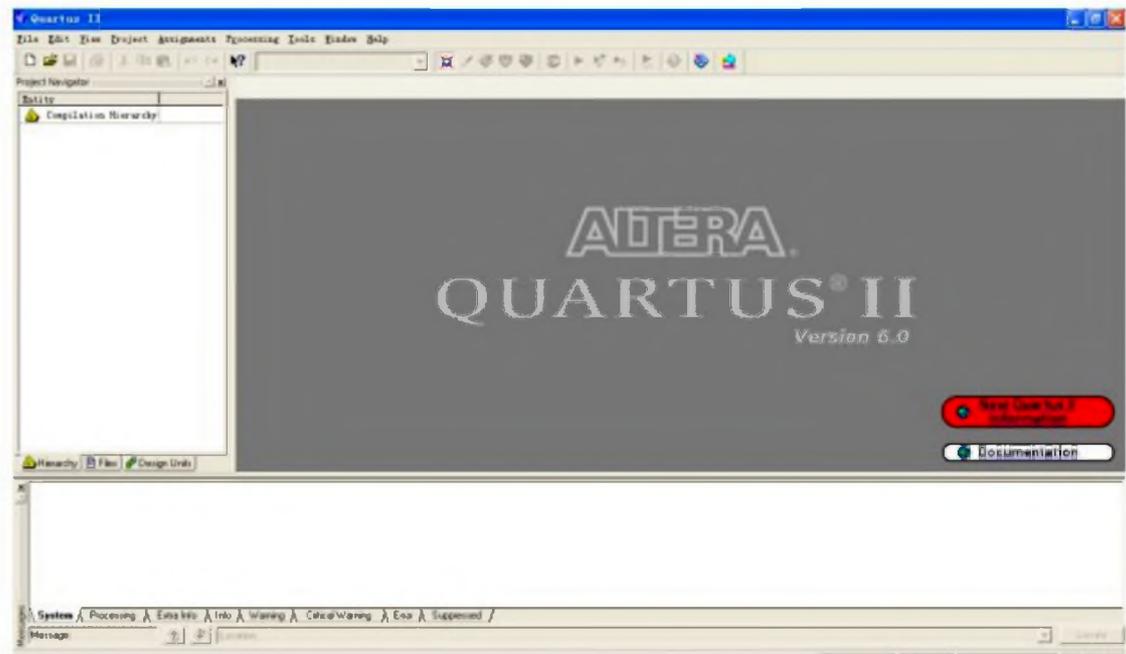


图 4 Quartus II 启动界面

接着利用向导，建立一个新的工程。在 **File** 菜单中选择 **New Project Wizard** 选项启动项目向导。如图 5 所示，分别指定创建工程的路径，工程名和顶层文件名。工程名和顶层文件可以一致也可以不同。一个工程中可以有多个文件，但只能有一个顶层文件。这里我将工程名取为：**keshe**，顶层文件名取为 **zhuanhuan**。如图 5 所示。

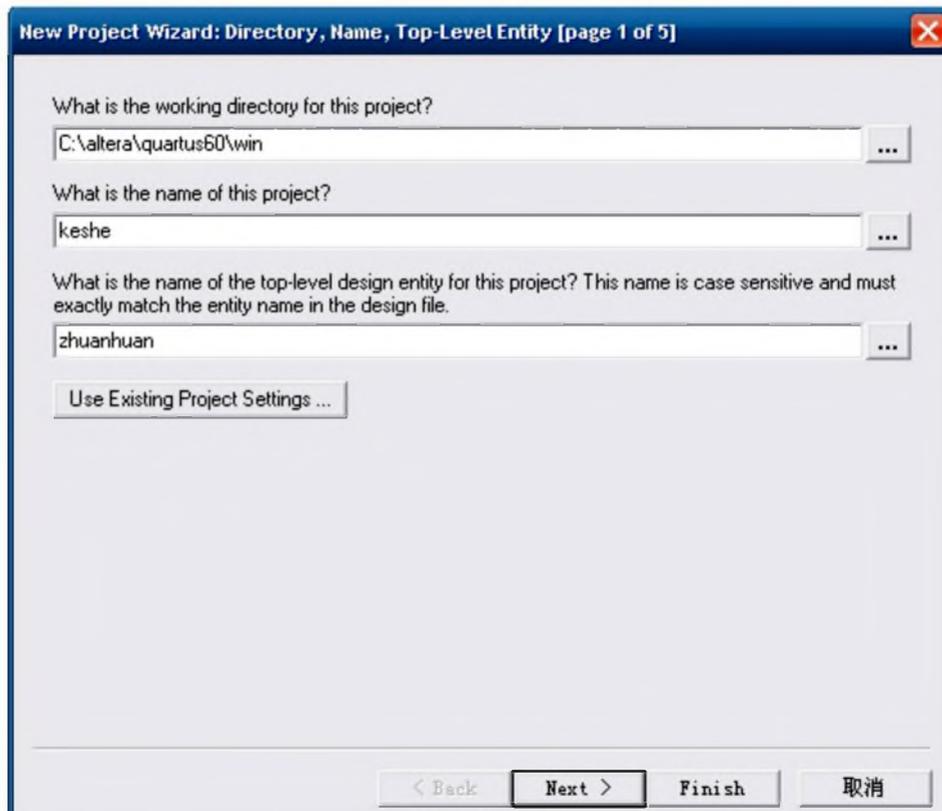


图 5 创建工程界面图

在图 5 所示界面点击 NEXT 按钮出现对话框如图 6 所示直接点 Finish 按钮然后在出现的界面中依次点击 File/new 出现如图 7 所示界面。点击创建 VHDL 编辑界面中 VHDLFile 按钮即进入 VHDL 语言编辑区如图 8 所示。

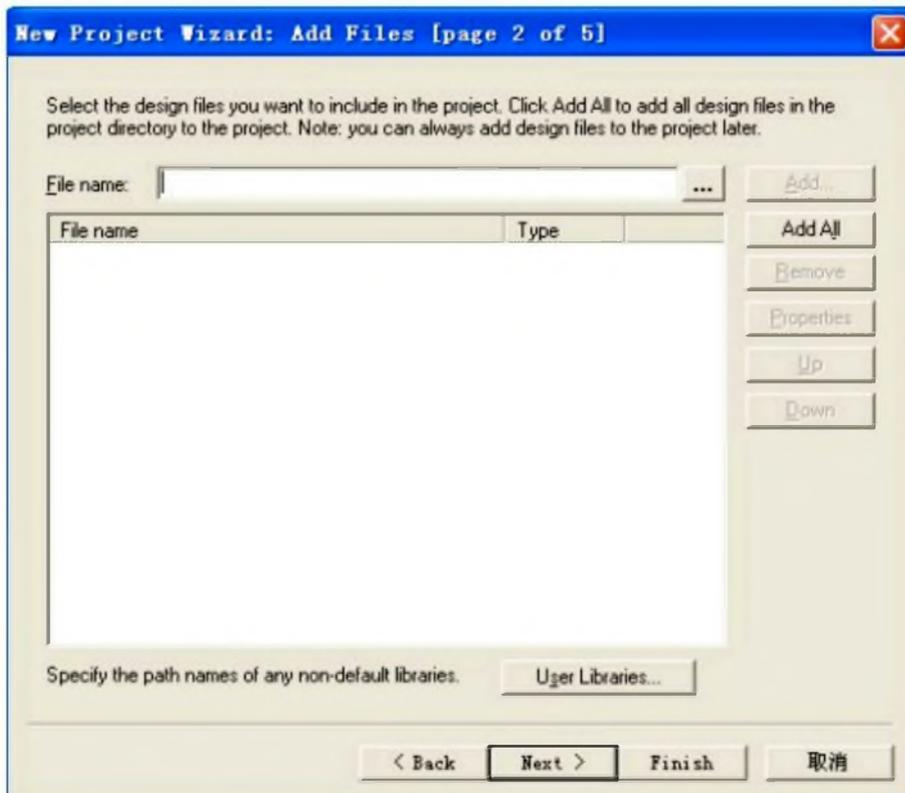


图 6 创建工程的结束界面

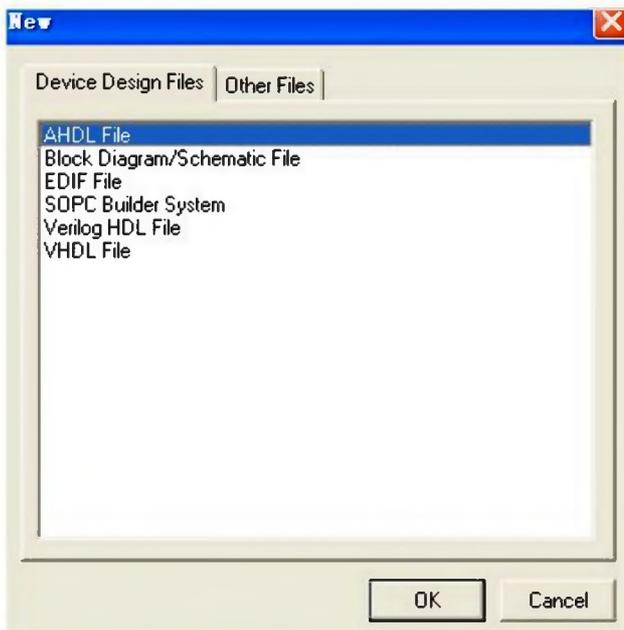


图 7 创建 VHDLFile 对话框

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/166110125050010105>