掌心博阅电子书重点名校考研专业课精品资料系列

【基础】2025年南方科技大学080900电子科学与技术《817微电子科学与技术综合之数字电子技术基础》考研基础检测5套卷

主编：掌心博阅电子书

青岛掌心博阅电子书 出品

特别说明

本书严格按照该科目今年考研专业课真题题型、试题数量和考试难度出题，结合本专业考研大纲整理编写，由考研学长严格审核校对。其内容涵盖了本科目考研常考试题及重点试题，针对性强，是报考本校该科目考研专业课复习的重要资料。

版权声明

青岛华研教育旗下掌心博阅电子书依法对本书享有专有著作权，同时我们尊重知识产权，对本电子书部分内容参考和引用的市面上已出版或发行图书及来自互联网等资料的文字、图片、表格数据等资料，均要求注明作者和来源。但由于各种原因，如资料引用时未能联系上作者或者无法确认内容来源等，因而有部分未注明作者或来源，在此对原作者或权利人表示感谢。若使用过程中对本书有任何异议请直接联系我们，我们会在第一时间与您沟通处理。

因编撰此电子书属于首次，加之作者水平和时间所限，书中错漏之处在所难免，恳切希望广大考生读者批评指正。

目录

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（一）.....4

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（二）.....15

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（三）.....26

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（四）.....35

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（五）.....45

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（一）

说明：本书按照考试大纲、历年真题、指定参考书等公开信息潜心整理编写，由学长严格审核校对，仅供考研备考使用，与目标学校及研究生院官方无关，如有侵权请联系我们立即处理。

一、填空题

1．**555 定时器组成的单稳态电路中，定时电阻为 10 kΩ，电容的数值为 0.033 μF，则输出脉冲宽度为_____。**

【答案】363 μs

2．**与非门的多余输入端应_____。**

【答案】与其他输入端并接，或接高电平

3．**两输入 TTL 与非门，当输入均为高电平时，输出为负载提供_____电流；当输入有一个为低电平时，输出为_____电流(拉、灌)。**

【答案】灌电流(输出低电平电流。)、拉电流(输出高电平电流。)

4．**集成单稳态触发器外接电阻为 10 kΩ，外接电容的数值为 0.033 μF，则暂稳态时间为_____。**

【答案】231 μs

5．**RAM 和 ROM 的主要区别是_____。**

【答案】断电后，RAM 中存储的数据会丢失，而 ROM 则不会

6．**三态门能够输出的三种状态是_____、_____和_____。**

【答案】高电平、低电平、高阻态

二、选择题

7．**某时序逻辑电路的状态表如下表所示，其中 X 为输入信号，Z 为输出信号。该电路的逻辑功能为_____。**

表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z	X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	1	0	1	1	0	0	0	1	0
0	0	1	0	0	0	1	0	1	1	0	0
0	1	0	0	1	0	1	1	0	0	0	1
0	1	1	1	0	0	1	1	1	0	0	0

A.模 3 加/减计数器

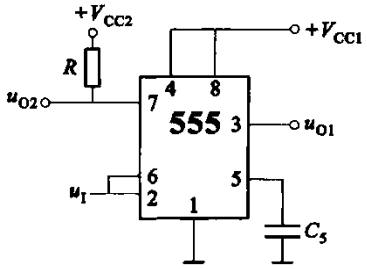
B.模 4 加法计数器

C.模 4 减法计数器

D.模 4 加/减计数器

【答案】A

8. **如图所示电路的名称是_____;要求触发信号的逻辑电平_____，正确答案为_____。**



图

A.压控振荡器，高电平应大于$\frac{2}{3}V_{CC}$，低电平应小于$\frac{1}{2}V_{CC}$

B.单稳态触发器，高电平应大于$\frac{1}{2}V_{CC}$，低电平应小于$\frac{1}{3}V_{CC}$

C.施密特触发器，高电平应大于$\frac{2}{3}V_{CC}$，低电平应小于$\frac{1}{3}V_{CC}$

D.多谐振荡器，高电平应大于$\frac{2}{3}V_{CC}$，低电平应小于$\frac{2}{3}V_{CC}$

【答案】C

9. **已知$F=\overline{\overline{ABC}+\overline{CD}}$，选出下列_____可以肯定使 F=0 的情况。**

A.A=0,BC=1;

B.B=1，C=l;

C.C=1,D=0;

D.BC=1,D=1

【答案】D

10. **根据触发器的_____，触发器可分为 RS 触发器、JK 触发器、D 触发器、T 触发器等。**

A.逻辑功能;

B.电路结构;

C.分电路结构和逻辑功能;

D.用途。

【答案】A

11. **施密特触发器的特点是_____。**

A.具有记忆功能

B.有两个可以自行保持的稳定状态

C.具有负反馈作用

D.上升和下降过程的阈值电压不同

【答案】D

12. **若将一 TTL 同或门(输入端为 A、B)当作反相器使用，则 A、B 端应_____连接?**

A.A 或 B 中有一个接 1;

B.A 和 B 并联使用;

C.A 或 B 中有一个接 0;

D.不能实现。

【答案】C

三、分析计算题

13．**试用卡诺图法将逻辑函数**

$$F = \sum m(0,2,4,5,7,8,10,12,13,15)$$

化简成最简与或式，并转换为与非-与非式。

【答案】用卡诺图化简逻辑函数的步骤如下：

(1)画出欲化简逻辑函数的卡诺图；

(2)按照合并规律合并最小项；

(3)写出最简与或表达式。

逻辑函数除了可以用逻辑表达式、真值表、逻辑图表示之外，还可以用卡诺图表示。用卡诺图化简逻辑函数的关键一步是画包围圈，画包围圈的规则大致如下

①包围圈所含小方格数为2^i个(i=1，2，...)，不满足2^i关系的最小项不能合并。例如：$2^1,2^2(4),2^3(8),2^4(16)$个最小项可以合并，其它的均不能合并。

②卡诺圈内的最小项必须循环相邻，不满足循环相邻关系的最小项不能合并。

③包围圈尽可能大，个数尽可能少。包围圈越大，包含的最小项就越多，消去的变量就越多。

④允许重复圈，但每个包围圈至少应有一个未被其它圈包围过的最小项，否则合并后的与项会是冗余项。

⑤孤立的最小项单独画包围圈。

本例中的 F 是 4 变量逻辑函数，并且是最小项之和的标准形式。设 4 个逻辑变量为 A，B，C，D，作 4 变量卡诺图，把逻辑函数 F 填入卡诺图中，如例下图所示。根据画包围圈的原则画出的包围圈如图中(a)，(b)所示，按图(a)的化简结果为

$$F = \bar{B}\bar{D} + B\bar{C} + BD$$

按图(b)的化简结果为

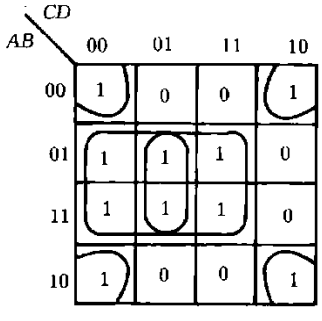
$$F = \bar{B}\bar{D} + \bar{C}\bar{D} + BD$$

两个化简结果的乘积项个数相同，每个乘积项的变量个数也相同，所以都是最简与或表达式。

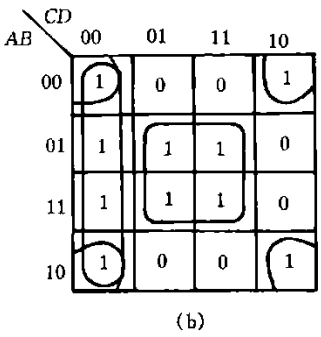
此例说明，逻辑函数的卡诺图是唯一的，但其最简表达式不是唯一的。在这种情况下，只需用一种最简表达式作为化简结果即可。

取$F = \bar{B}\bar{D} + \bar{C}\bar{D} + BD$为化简结果。经两次取反变换后得最简的与非-与非式为

$$F = \overline{\bar{B}\bar{D} + \bar{C}\bar{D} + BD} = \overline{\bar{B}\bar{D} \cdot \bar{C}\bar{D} \cdot \overline{BD}}$$

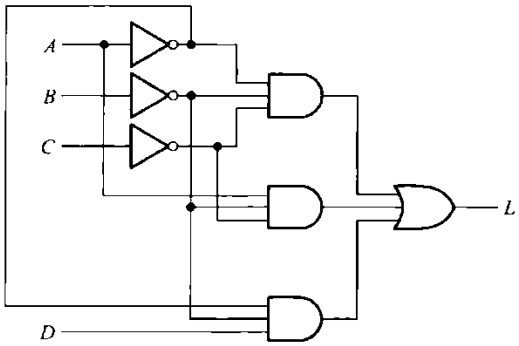


(a)



图

14．**写出下列图所示电路的逻辑表达式，将其转换成与非-与非表达式，然后画出仅用非门和与非门实现的逻辑图。**



图

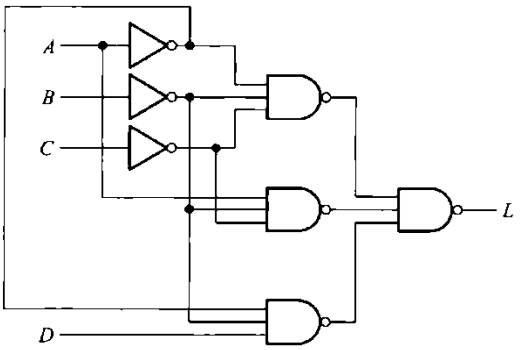
【答案】(1)根据逻辑图，得到逻辑表达式

$$L=\overline{A}\,\overline{B}\,\overline{C}+A\overline{B}\,\overline{C}+\overline{A}\,\overline{B}D$$

(2)应用摩根定理，将逻辑表达式转换成与非-与非表达式

$$L=\overline{\overline{A}\,\overline{B}\,\overline{C}+A\overline{B}\,\overline{C}+\overline{A}\,\overline{B}D}$$
$$=\overline{\overline{A}\,\overline{B}\,\overline{C}\cdot A\overline{B}\,\overline{C}\cdot\overline{A}\,\overline{B}D}$$

(3)根据与非-与非表达式，画出逻辑图，如图所示。



图

四、简答题

15．**试用 4 位二进制异步集成计数器 74LS293 实现十二进制计数器。要求用反馈置零法实现。**

【答案】本题要求实现十二进制计数器，由于 74LS293 是异步二进制计数器，所以 M(12) < N(16)，因而要实现 M=12 进制计数器，必须对十六进制计数器 74LS293 的计数状态进行修正，即将大模数变为小模数。又因为反馈置零法适用于有异步输入端的计数器,74LS293 具有异步清零端R_{0A}，R_{0B}，因而适合这种方

法。

由题意可知，本题的循环状态为 0000～1011，$S_M = 1100$为过渡态，该状态不是计数过程中的独立状态，但要由S_M状态产生反馈信号。这里的关键是写出反馈表达式，即 R 或 CR 端与$Q_0 \sim Q_3$之间的关系式，用式$L = \prod Q_i$表示，L 为过渡态S_M中值为 1 的各 Q 的乘积。即 R 或 CR 端高电平有效，则经与门反馈；如果 R 或 CR 端低电平有效，则经与非门反馈。

因而，反馈置零法解题步骤如下：

①画出计数器的循环状态图，并指明过渡态；

②写出反馈表达式；

③画出逻辑图。

本题解法如下：

(1)画出带有过渡态的十二进制的循环状态如下图 1 所示，由图可知过渡态$S_M = 1100$。

(2)写出反馈表达式

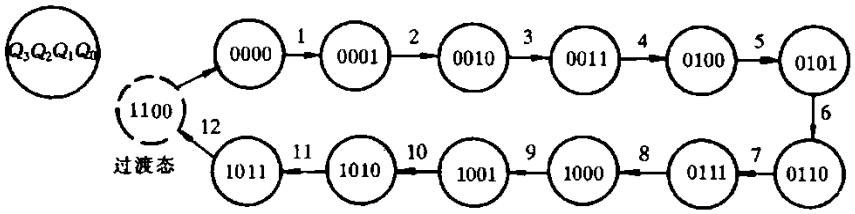


图 1

由过渡态S_M可知，反馈表达式$L = Q_3 \cdot Q_2$。

(3)画出逻辑图如下图 2 所示。下图 3 为波形图，由波形图可见，状态 1100—出现便立刻消失，说明 1100 是过渡态。

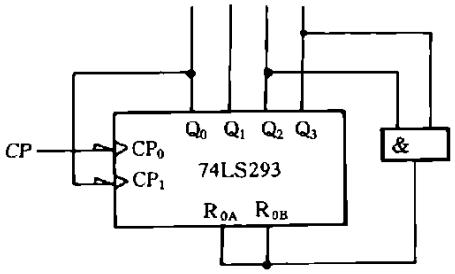


图 2

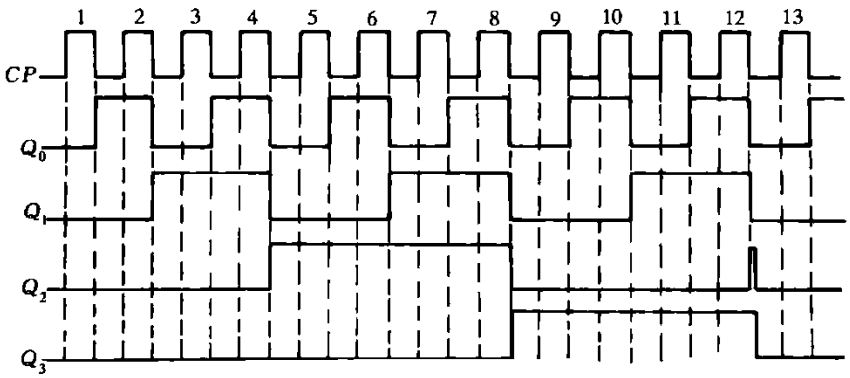
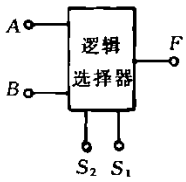


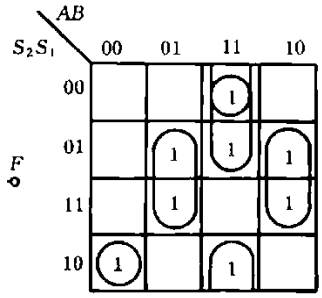
图 3

16．**试设计一多功能组合逻辑电路。如图(a)为其示意图，其中 A，B 为数据输入端，S_1，S_2是功能选择输入端，F 为其输出端，其功能如表(a)所示。要求用与非门实现。**

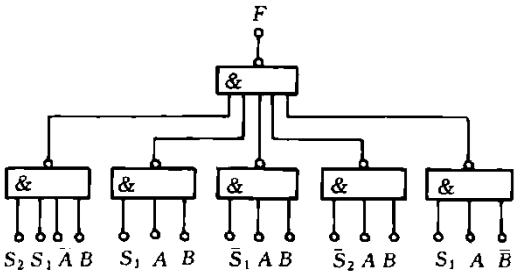
【答案】本例给出了多功能组合逻辑电路的框图及功能表，要求用与非门实现被设计的电路。因而本例应根据用 SSI 实现设计组合电路的过程来进行设计，解法如下：



(a)



(b)



(c)

(1)由功能表列出真值表，如表(b)所示。

(2)求最简逻辑表达式

由真值表画出 F 的卡诺图如图(b)所示。化简后的与或表达式为

$$F = S_2\bar{S}_1\bar{A}\bar{B} + S_1\bar{A}B + \bar{S}_1AB + \bar{S}_2AB + S_1A\bar{B}$$

(3)画逻辑图

S_2 S_1	F
0 0	$A \cdot B$
0 1	$A + B$
1 0	$A \odot B$
1 1	$A \oplus B$

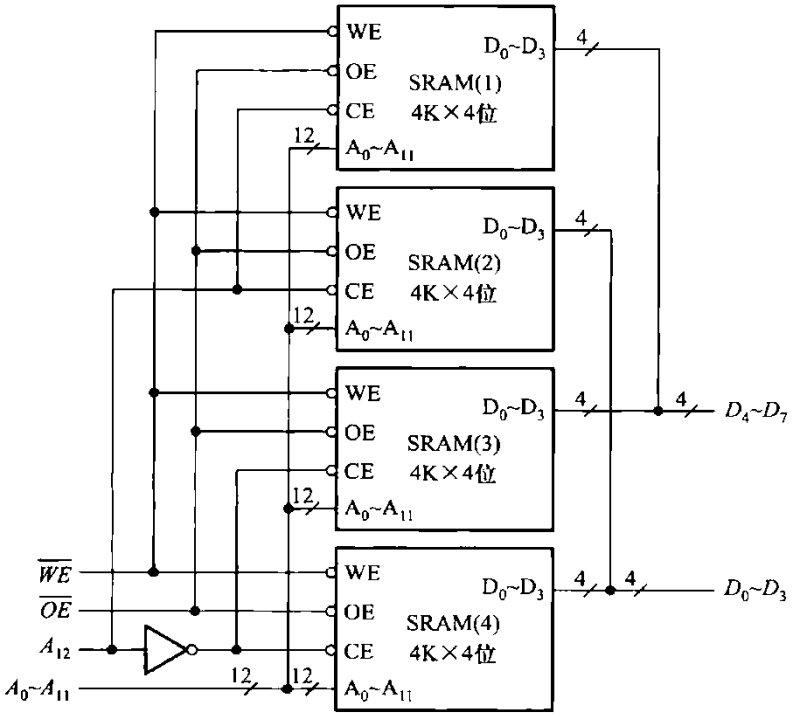
表

由与或表达式直接画出两级与非门的逻辑图如图(c)所示。

17．**试用一个具有片选使能$\overline{CE}$、输出使能$\overline{OE}$、读写控制$\overline{WE}$、容量为 4K×4 位的 SRAM 芯片和必要的逻辑门，扩展成为 8K×8 位的存储器系统，试画出其逻辑图。**

【答案】采用 4K×4 位的 SRAM 构成 8K×8 位的存储器系统，必须同时进行字扩展和位扩展。

首先进行位扩展: 用 2 片 4K×4 位的芯片，并接它们的地址线、读/写控制线和片选信号，扩展成 4K×8 位系统。用同样的方法再扩展一个 4K×8 位系统，然后进行字扩展。将位扩展得到的两个 4K×8 位系统，通过片选信号组合起来实现 8K×8 位的存储器系统此时需增加 1 根地址线 A_{12},通过一个非门控制两组 4K×8 位系统的片选使能 $\overline{CE}$，扩展后的存储系统如下图所示。其中(1)和(2)、(3)和(4)分别构成两个 4K×8 位存储器系统；非门将 A_{12} 反相，并将 A_{12} 和 $\overline{A}_{12}$ 分别连接到两组 4K×8 的片选使能端 $\overline{CE}$，实现字扩展。系统共用了 4 片 4K×4 位芯片，一个非门。



图用 4K×4 位 SRAM 芯片构成 8K×8 位的存储器系统

18．**试用十六进制数写出下列字符的 ASCII 码的表示:**

(1)+
(2)@
(3)you
(4)43

【答案】首先根据下表,查出每个字符所对应的二进制表示的 ASCII 码，然后将二进制码转换为十六进制数表示。

表:ASCII 码

$b_3b_2b_1b_0$	$b_7b_6b_5$							
	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	`	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w

续表

$b_3b_2b_1b_0$	$b_7b_6b_5$							
	000	001	010	011	100	101	110	111
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	{
1100	FF	FS	,	<	L	\	l	|
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	>	N	^	n	~
1111	SI	US	/	?	O	—	o	DEL

(1) "+" 的 ASCII 码为 0101011,则$(0010\ 1011)_B=(2B)_H$

(2)@的 ASCII 码为1000000,$(0100\ 0000)_B=(40)_H$

(3)you 的 ASCII 码为1111001,1101111,1110101,对应的十六进制数分别为 79,6F,75。

(4)43 的 ASCII 码为0110100,0110011,对应的十六进制数分别为 34,33。

19．试用 Verilog 语言设计一个 1 位十进制数(用 8421BCD 码表示)加法器，用 Quartus II 软件对电路进行逻辑功能仿真，并给出仿真波形。

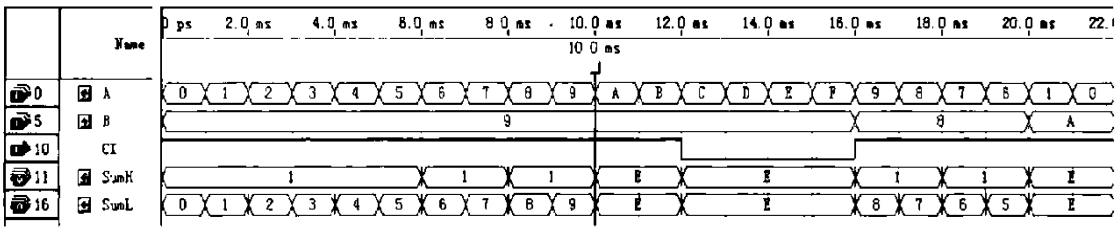
【答案】由于 Verilog HDL 语言的算术加法指令只适用于二进制数的加法，所以在源程序中对输入的数据按二进制数的加法进行计算，然后对相加的结果再进行调整，即将相加的二进制数结果转换为 8421BCD 码表示。

程序第一个 always 块完成二进制数相加,第二个 always 块完成二进制数到 BCD 码转换。程序中,A、B 为两个用 8421BCD 码表示的数，分别代表被加数和加数，S 代表和数，为 5 位二进制数，SumH、SumL 为 8421BCD 码表示的和数，ERR 表示输入数据不为 BCD 码时的出错信号。

1 位十进制数加法器的源程序如下:

```
module BCD_ADDER (SumH, SumL, A, B, CI);   //模块开始
    input [3:0] A, B;                       //用 8421 BCD 码表示的被加数、加数
    input  CI;                              //低位来的进位输入
    output reg [3:0] SumH, SumL;            //用 8421 BCD 码表示的和数
    reg ERR;                                //Input Error Flag
    reg [4:0] S;                            //Binary result
    always @(A or B or CI)
      if ((A>9)|(B>9))                      //输入数据出错
        begin S=5'd0; ERR=1'b1; end
      else                                  //完成二进制加法运算
        begin
          S=A+B+CI;
          ERR=1'b0;
        end
    always @(S or ERR)                      //完成 4 位二进制数到两位 BCD 码转换
      case (ERR)
        1'b0:if (S<4'd10)
                begin SumH=4'd0; SumL=S[3:0]; end
             else
                begin SumH=4'd1; SumL=S-5'd10; end
        1'b1:  {SumH,SumL}={4'b1110,4'b1110}; //输入数据错误时,输出代码 EE
      endcase
endmodule
```

仿真波形如下图所示。



20．**某控制系统要求在 CP 的作用下产生时序信号 v_a、v_b。两信号与 CP 的时序关系如图 1 所示。用 4 位二进制计数器 74LVC161、集成单稳 74121 设计该信号产生电路，试画出电路图。**

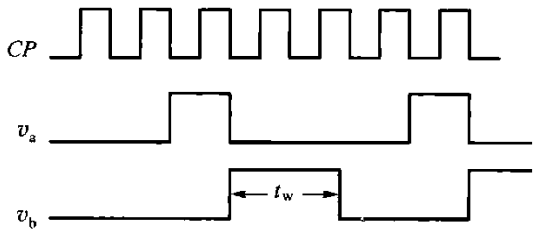
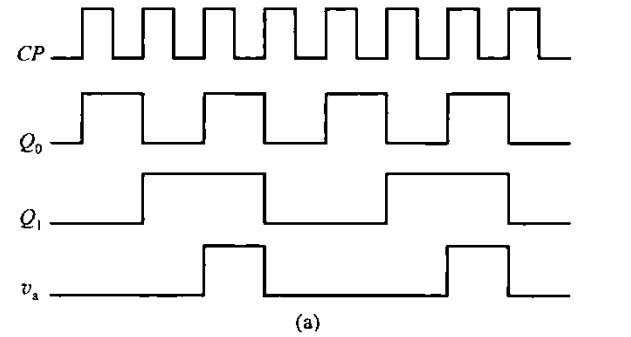


图 1

【答案】分析题中给定的 CP、v_a及v_b的时序关系可知，v_a与 CP 呈四分频关系，而v_b则是在v_a波形的下降沿触发下，产生的脉宽为t_w的正脉冲。

电路设计应做如下考虑：首先，设计出v_a产生电路，然后将v_a作为单稳态触发器的触发信号，即可得到输出波形v_b。

根据 74LVC161 的逻辑功能表，将其连接为 4 位二进制加法计数器的工作状态。画出计数器Q_1Q_0的工作波形如图 2(a)所示，$v_a = Q_1Q_0$。于是，用一片 74LVC16 和与门就可组成v_a产生电路。然后，再用v_a作为集成单稳触发器 74121 的触发信号，这样，在 74121 的 Q 端即可得到v_b波形。合理选择 R、C 的值（$t_w = 0.7\ RC$），使t_w的值满足题意要求。由以上分析，可画出v_a、v_b时序信号产生电路如图 2(b)所示。



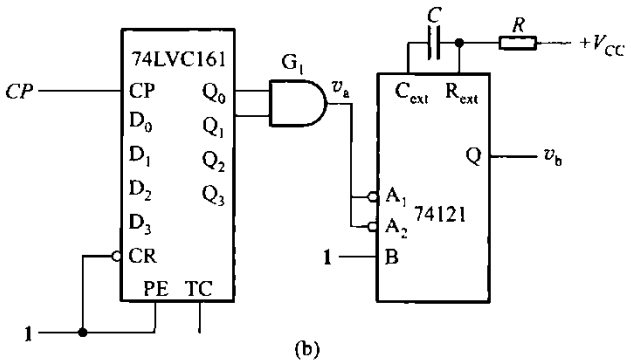


图 2

21．**用下图所示的 4 个已联接好的与非门及一个 4 选 1 数据选择器实现逻辑函数 $f(Q, R, S, T)=\sum m(4,5,6,7,8,13,14,15)$。无 0、1 信号，也无 $\overline{Q}$、$\overline{R}$、$\overline{S}$、$\overline{T}$ 等反变量可作为输入，唯一可用的输入变量是 Q、R、S、T，4 个与非门中只有在标有①、②、③处可供连接。**

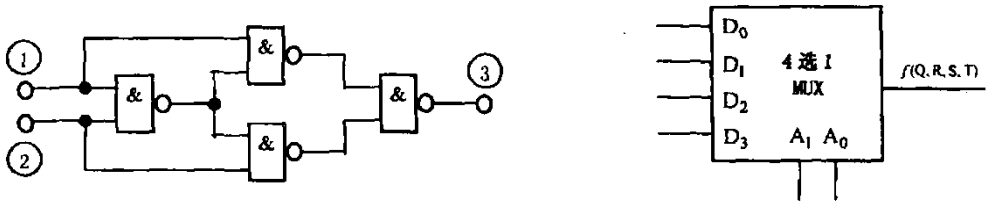


图 1

【答案】本例要求实现的是 4 变量逻辑函数，可供选用的组件为 4 个已联接好的与非门和一个 4 选 1MUX。由于题中规定只允许单轨输入，且无 0、1 信号，所以求解本例的关键在于两点: 第一，能从要实现的逻辑函数的 4 个输入变量中选出较为合适的 2 个输入变量，用以作为 4 选 1MUX 的 2 个地址输入端；第二，分析 4 个已联接好的与非门的输出端③与输入端①和②的逻辑关系，并能将它合理地用到设计中。

根据题意，由图 2 所示的逻辑函数 $f(Q, R, S, T)$ 的卡诺图可以看出，为适应输入没有 0、1 信号的要求，选择变量 S、T 作为 4 选 1 数据选择器的地址控制端 A_1、A_0 较为合适。为此，列出逻辑函数 f 关于 S、T 的真值表如下表所示:

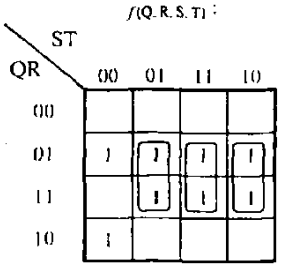


图 2

S	T	f
0	0	$\overline{Q}R+Q\overline{R}$
0	1	R
1	0	R
1	1	R

表

可见，只要令 $A_1=S, A_0=T$，则 4 选 1 数据选择器的 $D_0=\overline{Q}R+Q\overline{R}$，$D_1=D_2=D_3=R$。

又假设图 1 中 4 个已联接好的与非门的①端和②端分别接变量 x 和 y，③端输出为 L，则分析该电路可知: $L=x\overline{y}+\overline{x}y$。该表达式形式正好与 $D_0=\overline{Q}R+Q\overline{R}$ 的形式相同。可见，为适应无反变量作为输入的要求，只要将变量 Q 和 R 分别连至①端和②端，则正好可从③端得到数据选择器的 D_0。

综合以上分析，可得到按给定要求实现逻辑函数 f 的连线图如图 3 所示。

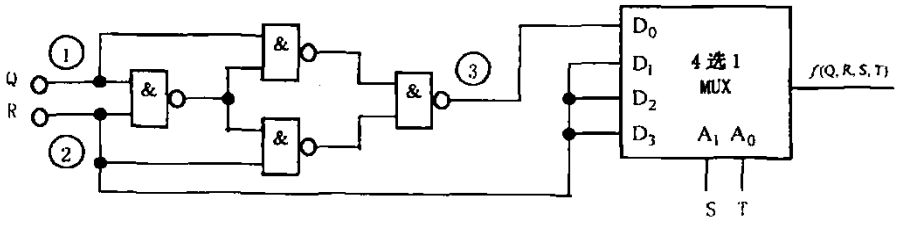
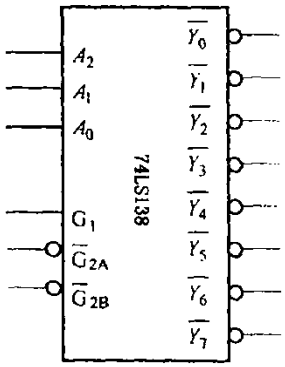


图 3

22．集成 3 线-8 线译码器 74LS138 真值表如表中所示(在此从略)，逻辑图如下图所示，要求用此 3-8 译码器和适当的逻辑门(规定与非门)设计一个全减器 设A_i为被减数，B_i为减数，低位借位为J_{i-1}，差为D_i，向高位借位为J_i。



图

(1)列出全减器真值表；

(2)写出输出函数逻辑表达式；

【答案】采用译码器另加适当的门电路，不仅可以方便地实现单输出函数的组合逻辑问题，而且还可以方便地实现多输出函数的组合逻辑问题。本例要求设计的全减器，有 3 个输入逻辑变量(即被减数A_i、减数B_i和低位借位J_{i-1})和 2 个输出逻辑函数(即本位差D_i和向高位借位J_i)，求解时只要将全减器的被减数A_i、减数B_i和低位借位J_{i-1}作为译码器的地址输入，再利用两个与非门便可分别得到全减器的差D_i和向高位借位J_i。设计过程如下：

(1)列出全减器真值表，如下表所示。

输入			输出	
A_i	B_i	J_{i-1}	D_i	J_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

表

(2)根据真值表，写出输出函数逻辑表达式：

$$D_i = \overline{A}_i\overline{B}_iJ_{i-1} + \overline{A}_iB_i\overline{J}_{i-1} + A_i\overline{B}_i\overline{J}_{i-1} + A_iB_iJ_{i-1}$$
$$J_i = \overline{A}_i\overline{B}_iJ_{i-1} + \overline{A}_iB_i\overline{J}_{i-1} + \overline{A}_iB_iJ_{i-1} + A_iB_iJ_{i-1}$$

可见，若令 3-8 译码器的地址输入端$A_2 = A_i$，$A_1 = B_i$，$A_0 = J_{i-1}$，则有

$$D_i = \overline{A}_2\overline{A}_1A_0 + \overline{A}_2A_1\overline{A}_0 + A_2\overline{A}_1\overline{A}_0 + A_2A_1A_0 = Y_1 + Y_2 + Y_4 + Y_7 = \overline{\overline{Y}_1\cdot\overline{Y}_2\cdot\overline{Y}_4\cdot\overline{Y}_7}$$
$$J_i = \overline{A}_2\overline{A}_1A_0 + \overline{A}_2A_1\overline{A}_0 + \overline{A}_2A_1A_0 + A_2A_1A_0 = Y_1 + Y_2 + Y_3 + Y_7 = \overline{\overline{Y}_1\cdot\overline{Y}_2\cdot\overline{Y}_3\cdot\overline{Y}_7}$$

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（二）

说明：本书按照考试大纲、历年真题、指定参考书等公开信息潜心整理编写，由学长严格审核校对，仅供考研备考使用，与目标学校及研究生院官方无关，如有侵权请联系我们立即处理。

一、填空题

1. **AD 转换的一般步骤包括_____、_____、_____和_____。**

【答案】采样、保持、量化、编码

2. **就逐次逼近型和双积分型两种 AD 转换器而言，_____抗干扰能力强；_____转换速度快。**

【答案】双积分型 ADC、逐次逼近型 ADC

3. **带符号的二进制数(+1110)的原码为_____，反码为_____，补码为_____。**

【答案】1110、1110、1110

4. **问下列运算的二进制值是多少?**

reg[3:0]m;

m=4'b1010; //{2{m}}的二进制值是_____;

【答案】 8'b1010_1010

5. **电路的噪声容限越_____,其抗干扰能力愈强。**

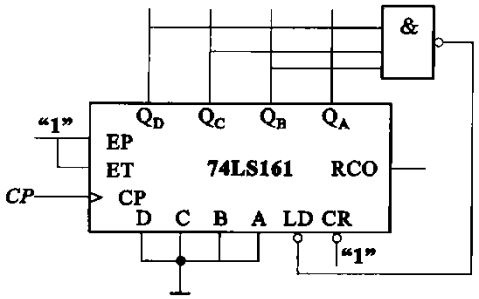
【答案】大

6. **十六进制数 2A.5 对应的二进制数为_____，十进制数为_____。**

【答案】101010.0101、42.3125

二、选择题

7. **采用中规模加法计数器 74LS161 构成的电路如下图所示，该电路是_____进制加法计数器。**



图

A.十四进制

B.十二进制

C.十五进制

D.七进制

【答案】C

8. **十进制数 3.625 的二进制数和 8421BCD 码分别为_____**

A. **11. 11**和**11. 001**

B. **11. 101**和**0011. 011000100101**

C. **11. 01**和**11. 011000100101**

D. **11. 101**和**11. 101**

【答案】B

9. **抑制**$50Hz$**交流电源的干扰，应采用_____滤波电路；从输入信号中取出频率低于 2kHz 的信号，应采用_____滤波电路。**

A.低通；

B.高通；

C.带通；

D.带阻

【答案】D、A

10. **555 定时器构成的压控振荡器，下列说法正确的是_____。**

A.通过改变谐振回路的参数，改变振荡器的振荡频率

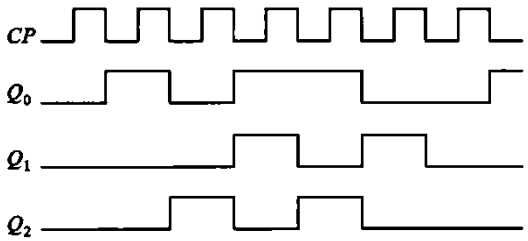
B.通过改变选频网络的参数，改变振荡器的振荡频率

C.通过改变一个控制电压来实现对振荡器频率的改变

D.通过改变电源电压来实现对振荡器频率的改变

【答案】C

11. **采用触发器构成计数器。计数器的输入、输出波形如下图所示，至少需要_____个触发器。**

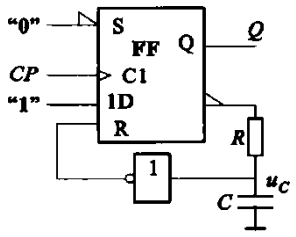


图：波形图

A.4
B.3
C.1
D.2

【答案】B

12．**下图所示电路的功能为_____。**



图

A.双稳态触发器

B.单稳态触发器

C.寄存器

D.计数器

【答案】B

三、分析计算题

13．**试用代数法将逻辑函数式**

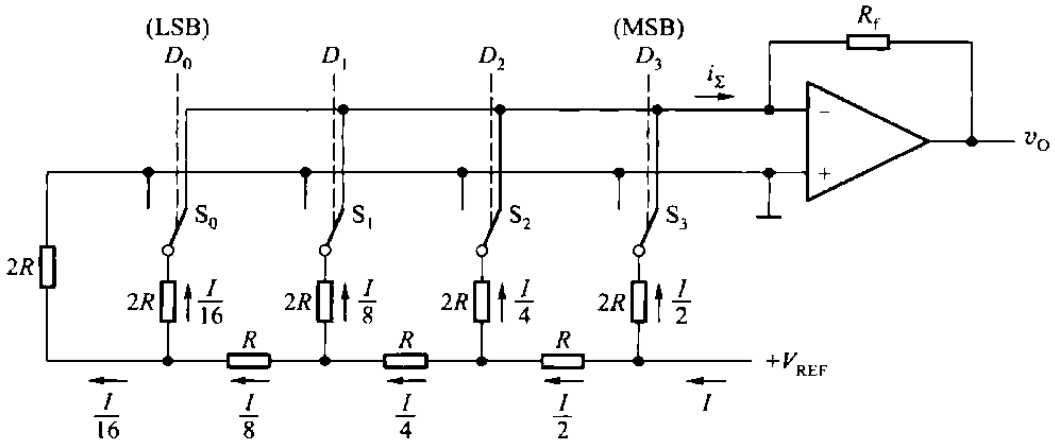
$$F = A + A\bar{B}\bar{C} + \bar{A}CD + (\bar{C} + \bar{D})E$$

化简为最简与或式。

【答案】用逻辑代数基本公式进行化简：

$$\begin{aligned} F &= A + A\bar{B}\bar{C} + \bar{A}CD + (\bar{C} + \bar{D})E \\ &= A(1 + \bar{B}\bar{C}) + \bar{A}CD + (\bar{C} + \bar{D})E \\ &= A + \bar{A}CD + (\bar{C} + \bar{D})E \\ &= A + CD + (\bar{C} + \bar{D})E \qquad \text{(吸收律)} \\ &= A + CD + \overline{CD}E \\ &= A + CD + E \qquad \text{(吸收律)} \end{aligned}$$

14．**如下图所示的倒 T 形电阻网络 D/A 转换器中，设$R_f = R$，外接参考电压V_{REF} = -10V，为保证V_{REF}偏离标准值所引起的误差小于 LSB/2，试计算V_{REF}的相对稳定度应取多少？**



图——倒 T 形电阻网络 D/A 转换器

【答案】设V_{REF}偏离校准值产生ΔV_{REF}的变化量。由ΔV_{REF}引起的输出电压的变化量为Δv_O。

$$\Delta v_O = -\frac{\Delta V_{REF}}{2^4}\sum_{i=0}^{3} 2^i \cdot D^i$$

当输入数字量为最大值$(D_3D_2D_1D_0 = 1111)$时，

$$|\Delta v_0| = \frac{2^4-1}{2^4}|\Delta V_{REF}|$$

依题意，Δv_0必须小于$\frac{1}{2}$LSB，

而

$$\left|\frac{1}{2}\text{LSB}\right| = \frac{|V_{REF}|}{2^5}$$

于是有

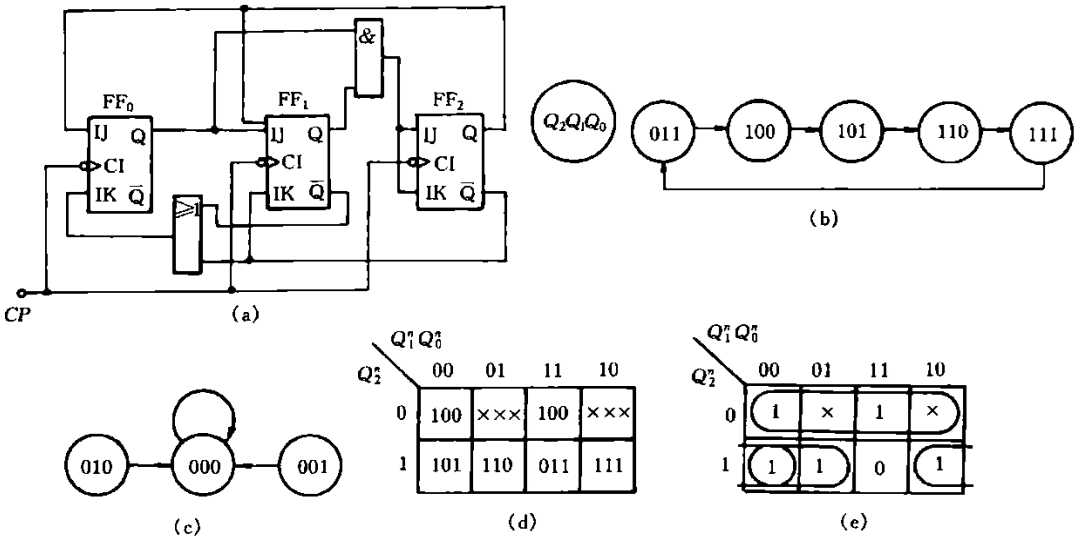
$$\frac{2^4-1}{2^4}|\Delta V_{REF}| \leqslant \frac{|V_{REF}|}{2^5}$$

所以可得参考电压V_{REF}的相对稳定度为

$$\frac{|\Delta V_{REF}|}{|V_{REF}|} \leqslant \frac{2^4}{2^4-1}\cdot\frac{1}{2^5} \approx \frac{1}{2(2^4-1)} = 3.33\%$$

四、简答题

15．**分析下图(a)所示时序逻辑电路。要求：**



图

(1)画出状态转换图，说明逻辑功能。

(2)检查自启动能力，如发现有无效循环状态，请修改电路，使之具有自启动能力。

【答案】本题仍然是 Moore 型同步时序逻辑电路。解法如下：

(1)列出驱动方程、状态方程

驱动方程

$$J_0 = Q_2,\quad K_0 = \bar{Q}_1 + \bar{Q}_2$$
$$J_1 = Q_0Q_2,\ K_1 = \bar{Q}_2$$
$$J_2 = K_2 = Q_0Q_1$$

状态方程

$$Q_0^{n+1} = Q_2^n\bar{Q}_0^n + Q_2^nQ_1^nQ_0^n$$
$$Q_1^{n+1} = Q_2^nQ_0^n\bar{Q}_1^n + Q_2^nQ_1^n$$
$$Q_2^{n+1} = Q_0^nQ_1^n\bar{Q}_2^n + \overline{Q_0^nQ_1^n}Q_2^n$$

(2)列出态序表

态序表是状态转换真值表的另一种形式，它是根据 CP 脉冲的顺序列出的状态表，在这个表里，如果

令某一个状态是初态，那么其后的状态便是次态，依此类推。

通过计算得态序表如下表所示，由表可知，该电路为五进制同步计数器。

表

态序	CP	Q_2	Q_1	Q_0
5	0	0	1	1
	1	1	0	0
	2	1	0	1
	3	1	1	0
	4	1	1	1

(3)状态转换图

由态序表得状态转换图如图(b)所示，图(c)为无效循环状态，因而电路不能自启动。

(4)修改电路

为了使电路能自启动,修改后的次态卡诺图如图(d)所示。这里采用了切断 000→000 的转换关系，强迫 000 状态转入 100 状态。根据新的状态转换关系，重新设计。由于$Q_1^{n+1}Q_0^{n+1}$的转换关系未变，故只需重新设计Q_2级即可。由图(d)得Q_2^{n+1}的卡诺图如图(e)所示，经化简得:

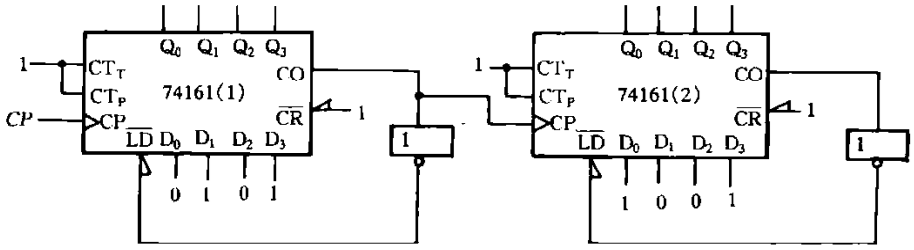
$$Q_2^{n+1} = \overline{Q_2^n} + \overline{Q_0^n Q_1^n} \cdot Q_2^n$$

$$J_2 = 1, \quad K_2 = Q_0 Q_1$$

由此可知，只要将J_2接高电平，即可使电路自启动。

本题所采用的态序表是状态转换真值表的又一种形式，这种表填写简单，是分析时序电路常用的一种功能表。其次，在分析或设计时序电路时都要检查电路是否有自启动能力，如果电路没有自启动能力，需要对电路进行修改，重新设计，在修改设计时要选好切入点，即选择只有一个次态发生了变化的状态作为切入状态，如本题中的 100 状态，这样从 000 进入 100,只有Q_2^{n+1}的状态发生了变化，则只修改J_2, K_2即可，修改起来简单，工作量小。

16．**如图所示电路是由 4 位二进制同步计数器 74161 组成。试分析该电路是几进制计数器。**



图

【答案】本题电路是由 74161(1)和 74161(2)两级计数器级联而成。每一级计数器都是用进位输出 CO 经反相器置最小数的 N 进制计数器。74161(1)所置最小数是 10(1010)，所以是模 6 计数器;而 74161(2)所置最小数是 9(1001)，所以是模 7 计数器。级联方法采用串行进位方式，即将低位片的进位输出作为高位的 CP 输入，整个电路的计数模数$M = N_1 \cdot N_2 = 6 \times 7$=42。

本题的主要特点是每一级计数器都采用进位输出端反馈置数组成任意进制计数器，然后再串行级联。这类计数器的构成方法是相当灵活的，比如，我们也可以用反馈置零法组成每一级计数器，然后再级联。总之，方法很多，但是万变不离其宗，关键是要熟练地掌握集成计数器的逻辑功能，用好逻辑功能，并能举一反三。

17．**由主从 JK 触发器 FF 和 555 定时器组成的电路如图 1 所示，已知 CP 为 10Hz 的方波，如图 2 所示，$R_1 = 10k\Omega$，$R_2 = 56k\Omega$，$C_1 = 1000pF$，$C_2 = 4.7\mu F$，触发器 Q 端及 555 输出端(3 端)初态均为“0”。**

(1)试画出 Q 端、u_I、u_O相对于 CP 脉冲的波形；

(2)试求 Q 端输出波形的周期。

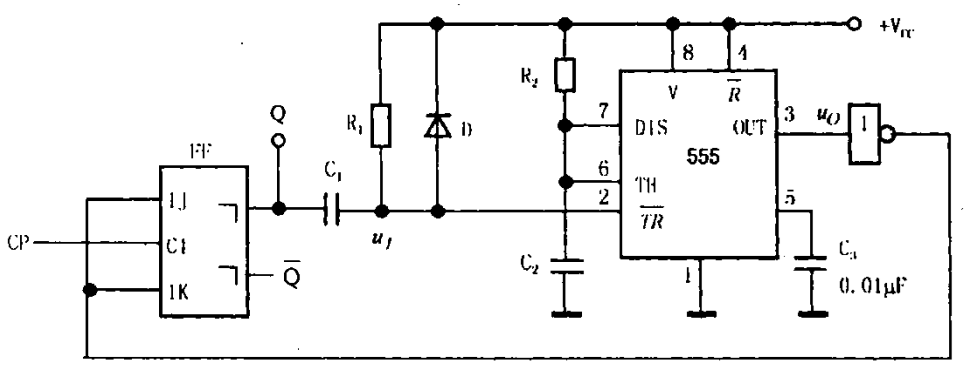


图 1

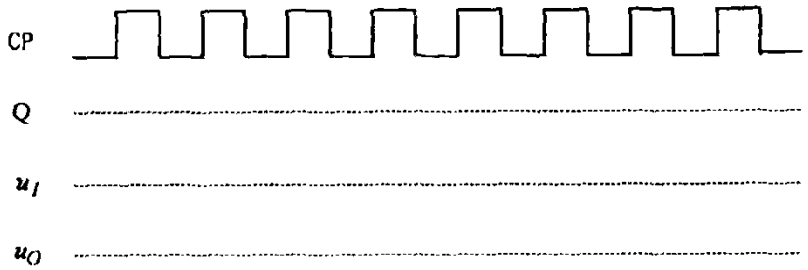


图 2——电路中 CP 波形

【答案】(1)本题电路中，555 定时器被接成单稳态触发器，其触发输入端u_I(负脉冲触发)由主从 JK 触发器的 Q 端经R_1和C_1组成的微分电路后提供，单稳态触发器的输出脉冲宽度T_{WO}取决于R_2和C_2的取值($T_{WO} \approx 1.1 R_2 C_2 \approx 0.29s$)。当$u_O = 0$时，即单稳态触发器处于稳态时，$\overline{u_O} = 1$，主从 JK 触发器的 J=K=1，此时，每来一个 CP 脉冲，主从 JK 触发器的状态就要翻转一次。而当主从 JK 触发器的 Q 端出现由1→0的跳变时，u_I产生一个负脉冲，使得单稳态触发器进入暂稳态。在暂稳态期间，由于$u_O = 1$，$\overline{u_O}$ =0，主从 JK 触发器的 J=K=0，因此 Q 端保持 0 状态不变。

根据上述分析，可画出 Q、u_I、u_O相对于 CP 脉冲的波形如图 3 所示。

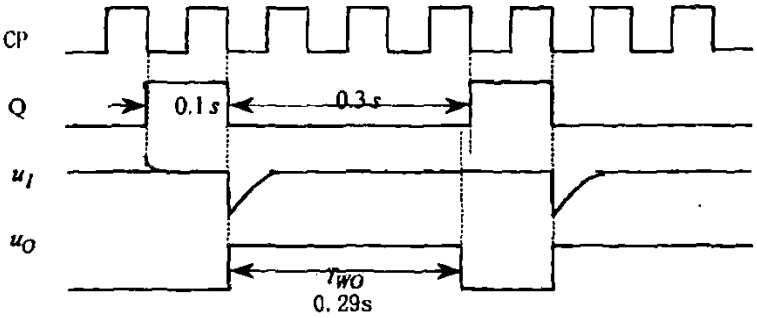


图 3——电路中 Q、u_I、u_O的波形

(2)由 Q 端的波形图可知，其周期为 0.4s。

18．**写出下列有符号二进制补码所表示的十进制数：**

(1) **01011** (2)**0010111**(3)**11101000**(4)**11011001**

【答案】二进制数的最高位为符号位。最高位为 0 表示正数，为 1 表示负数。

(1)**01011**为正数，所以$(\mathbf{01011})_{B}=(11)_{D}$。

(2)**0010111**为正数，所以$(\mathbf{010111})_{B}=(23)_{D}$。

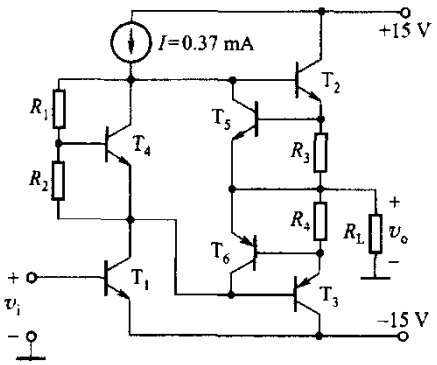
(3)**11101000** 为负数的补码，首先将其数值位再次求补还原为有符号的二进制数$(\mathbf{-0011000})_{B}$，再转换为十进制数为$(-24)_{D}$。

(4)**11011001**为负数的补码，其数值再次求补得到有符号的二进制数$(\mathbf{-0100111})_{B}$，再转换为十进制数为$(-39)_{D}$。

19．**某集成电路的输出级 OCL 功放电路如图所示，(T_1的偏置电路未画出)，为了克服交越失真，采用了由R_1、R_2和T_4组成的电路。**

(1)试分析R_1、R_2和T_4组成电路的工作原理；

(2)为了对输出级进行过载保护，图中接有T_5、T_6、R_3和R_4，试说明进行过载保护的原理。



图

【答案】(1) R_1、R_2和T_4组成“V_{BE}扩大电路”。T_4的集电极与发射极间的电压V_{CE4}为T_2、T_3组成的互补推挽输出级提供一个偏置电压，可以克服输出波形中的交越失真。V_{CE4}可根据功率放大管的工作状态加以调节。由于流入T_4的基极电流远小于流过R_1、R_2的电流，可求出$V_{CE4}=V_{BE4}(R_1+R_2)/R_2$，因此，由于$T_4$管的$V_{BE4}$基本为一固定值，只要适当调节$R_1$、$R_2$的比值，就可改变$T_2$、$T_3$的偏压值。

(2) T_5和R_3、T_6和R_4分别组成过流保护电路，保护T_2和T_3正常工作以免电流过大而损坏。正常情况下T_5、T_6均截止。当正向输出电流过大，流过T_2和R_3的电流增大，将使R_3两端的压降增大到足以使T_5管由截止状态进入导通状态，V_{CE5}下降，从而限制了T_2的电流。同理，在负向输出电流过大时，T_6由截止状态进入导通状态，V_{CE6}下降限制了T_3的电流，达到保护的目的。

20．**试用 4 位全加器 74283 和必要的门电路组成 1 位 8421BCD 码加法电路。**

【答案】两个 1 位 8421BCD 码相加，其和应仍是 8421BCD 码，否则将产生错误的结果。例如

$$\begin{array}{r} 0\,0\,1\,1 \\ +\,0\,1\,0\,1 \\ \hline 1\,0\,0\,0 \end{array}$$

(1000)仍是 8421BCD 码，结果正确。又如

$$\begin{array}{r} 0\,0\,1\,1 \\ +\,1\,0\,0\,0 \\ \hline 1\,0\,1\,1 \end{array}$$

由于(1011)不是 8421BCD 码，结果错误。

我们知道，8421BCD 码的进位规则是逢十进一，而 4 位二进制是逢十六进一，由于进位规则不同，因而出现了上述的错误结果。当和数大于 9 时，8421BCD 码将产生进位，而十六进制还不能产生进位，为了防止出现错误结果，故应对其结果进行校正。当运算结果≤9 时，不用校正，加(0000);当运算结果>9 时,应校正，此时可加(0110)，使其产生进位。例如，当运算结果为 1111 时，加(0110)校正，即

$$\begin{array}{r} 1\ 1\ 1\ 1 \\ +0\ 1\ 1\ 0 \\ \hline 1\ 0\ 1\ 0\ 1 \end{array}$$

其结果为两位 8421BCD 码,其和为 15,结果正确。

因此,校正电路应有一个判 9 电路，当和≤9 时加(0000);当和>9 时加(0110)进行校正。

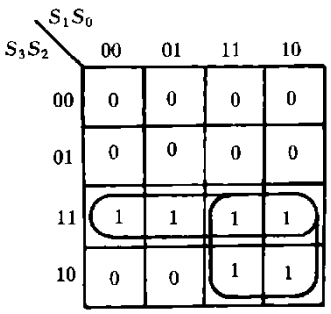
大于 9 的数所对应的最小项为 $m_{10}, m_{11}, m_{12}, m_{13}, m_{14}, m_{15}$，与各位和 S_3, S_2, S_1, S_0 的关系如图(a)所示。若相加结果产生了进位(CO),其和也一定大于 9。所以大于 9 的校正函数为

$$F = CO + S_3S_2 + S_3S_1$$

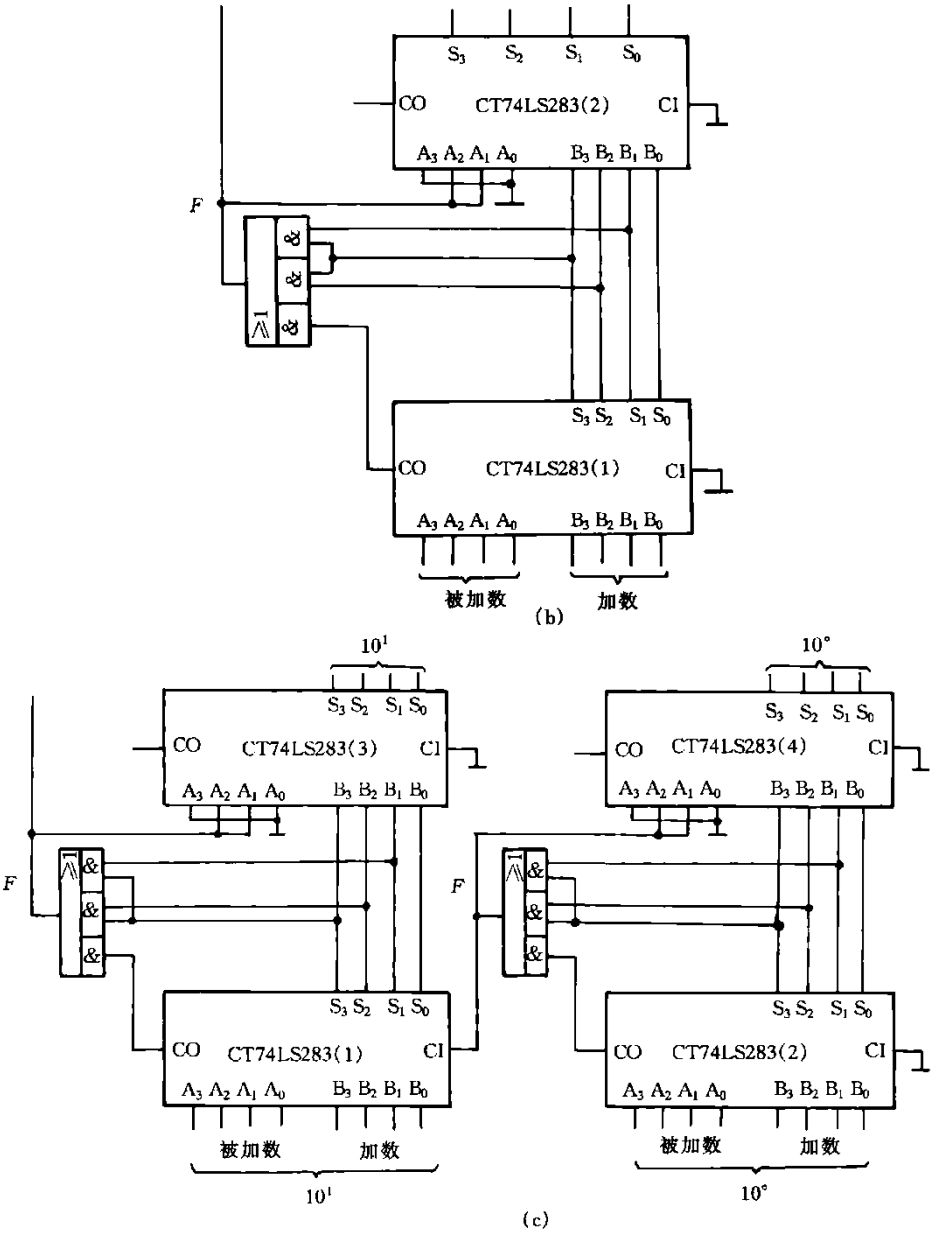
当 F=1 时，表示加(0110)校正；当 F=0 时，则勿需校正。

由 4 位全加器 74283 构成的带有校正电路的 1 位 8421BCD 码加法电路如图(b)所示。电路由两级全加器组成，第一级加法器(74283(1))完成对输入的 1 位 8421BCD 码进行二进制数相加操作,第二级加法器(74283(2))完成校正任务。由图可见，当 F=0 时不校正；当 F=1 时，加(0110)进行校正。

本例的核心问题是当运算结果(和)>9 时应进行校正，并确定校正函数，设计校正电路。这种方法也可用来实现多位 8421BCD 码加法电路，只要把 F 也当作第一级加法器的串行进位信号，就可以扩展加法器的位数。如图(c)就是通过 F 扩展的两位 8421BCD 码加法电路。



(a)

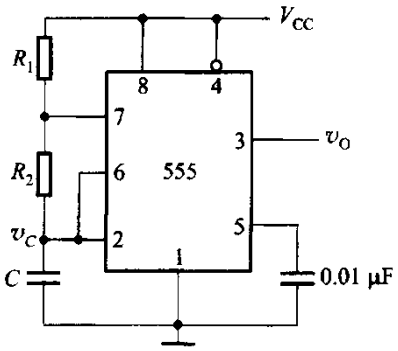


图

21．**用 555 定时器构成一多谐振荡器，要求输出信号频率为 4kHz，占空比为 60%，试画出电路，确定各元件参数值。**

【答案】由 555 构成的多谐振荡器如图所示。电容 C 通过R_2和 T 放电，v_C由$\frac{2}{3}V_{CC}$下降到$\frac{1}{3}V_{CC}$所需要的时间为

$$t_{pL}=R_2C\ln 2\approx 0.7R_2C$$



图

V_{CC}通过 R_1、R_2 向电容 C 充电，v_C由$\frac{1}{3}V_{CC}$上升到$\frac{2}{3}V_{CC}$所需要的时间为

$$t_{pH}=(R_1+R_2)C\ln 2\approx 0.7(R_1+R_2)C$$

振荡频率

$$f=\frac{1}{t_{pL}+t_{pH}}\approx\frac{1.43}{(R_1+2R_2)C}\quad(1)$$

占空比

$$q=\frac{t_{pH}}{t_{pL}+t_{pH}}=\frac{R_1+R_2}{R_1+2R_2}\quad(2)$$

根据式(1)、式(2)及已知条件得

$$\frac{1.43}{(R_1+2R_2)C}=4\ \text{kHz}$$

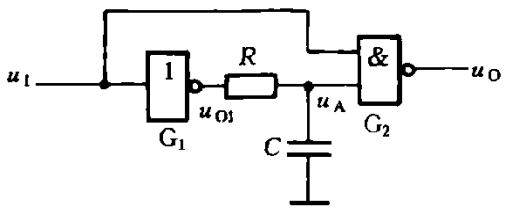
$$\frac{R_1+R_2}{R_1+2R_2}=0.6$$

取电容$C=0.01\ \mu\text{F}$，代入上述两方程解得$R_1\approx 7.2\ \text{k}\Omega$，$R_2\approx 14.4\ \text{k}\Omega$。

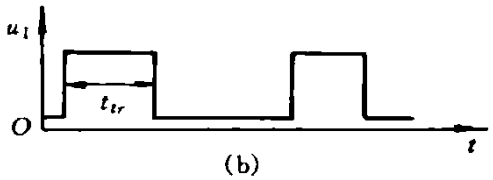
22．**单稳态电路及输入电压u_I波形如图(a)，(b)所示。假定u_I的脉宽远大于输出电压u_O的脉宽，且 R 值较小，足以保证门G_1输出为低电平时u_A在U_{TH}以下。**

(1)画出对应于u_I的u_{O1}，u_A，u_O的波形；

(2)说明u_O的脉冲宽度取决于哪些电路参数。



(a)



(b)

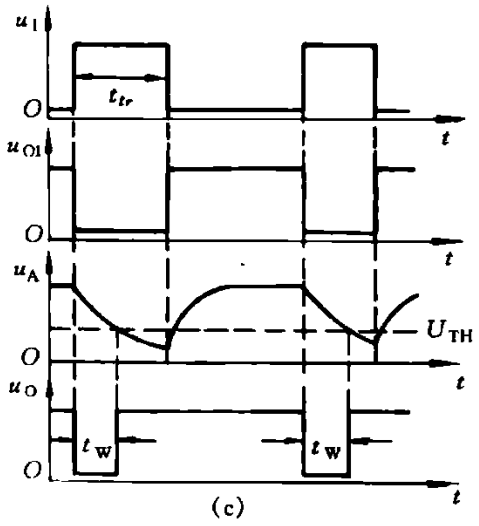
图

【答案】(1)本题为积分型单稳态触发器电路。这个电路用正脉冲触发。

当$u_I=0$时，$u_{OI}=u_A=U_{OH}$，$u_O=U_{OH}$，电路处于稳态。

当输入正脉冲后，即$u_I=1$，$u_{OI}=0$。由于电容 C 上的电压不能突变，所以$u_A(>U_{TH})$仍保持为高电平，又因为门G_2的两个输入端均为高电平，所以$u_O=0$。即当$u_I=1$时，$u_{OI}=0$，$u_O=0$，电路进入暂稳态。

电路进入暂稳态之后，电容 C 通过电阻 R 向u_{OI}放电，因此u_A不断下降，当u_A降至$u_A=U_{TH}$后，u_O返回高电平。待u_I回到低电平后，又有$u_{OI}=1$，并向 C 充电。经过恢复时间t_{re}以后，u_A又恢复为高电平，电路又回到稳态，即$u_I=0$，$u_{OI}=u_A=U_{OH}$，$u_O=U_{OH}$。于是，可以画出电路中各点电压的波形如图(c)所示。



(c)

图

(2)通过过渡过程分析可知脉冲宽度为

$$t_W=(R+R_O)C\ln\frac{U_{OL}-U_{OH}}{U_{OL}-U_{TH}}$$

因此，u_O的脉宽取决于门G_1输出为低电平时的输出电阻R_O，以及 R 和 C 的数值。

进一步分析可知：

输出脉冲幅度为

$$U_m=U_{OH}-U_{OL}$$

恢复时间为

$$t_{re}\approx(3\sim5)(R+R_O')C$$

其中R_O'为门G_1输出高电平时的输出电阻。

电路的分辨时间为

$$t_d=t_{re}+t_{tr}$$

【基础】2025 年南方科技大学 080900 电子科学与技术《817 微电子科学与技术综合之数字电子技术基础》考研基础检测 5 套卷（三）

说明：本书按照考试大纲、历年真题、指定参考书等公开信息潜心整理编写，由学长严格审核校对，仅供考研备考使用，与目标学校及研究生院官方无关，如有侵权请联系我们立即处理。

一、填空题

1．**某控制系统中有一个 D/A 转换器，若系统要求 D/A 转换器的分辨率优于 0.5%，应选至少_____位的 D/A 转换器。**

【答案】8

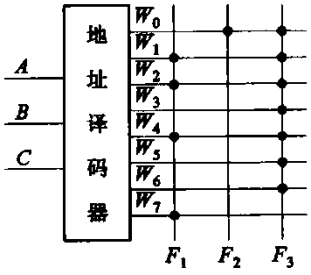
2．**FPGA 的基本结构通常包含_____、_____和_____三个组成部分。**

【答案】可编程逻辑模块 CLB、输入/输出模块 IOB、可编程连线资源

3．**逻辑函数$L(A,B,C)=AB+\overline{A}C$的最小项表达式为_____。**

【答案】$L(A,B,C)=\sum m(1,3,6,7)$

4．**ROM 的存储阵列如图所示，存储“1”的存储单元用“•”表示。化简后 F_1 的逻辑表达式为_____；F_2 的逻辑表达式为_____；F_3 的逻辑表达式为_____。**



图

【答案】$F_1=\sum m(1,2,4,7)=A\oplus B\oplus C$、$F_2=\overline{A}\overline{B}\overline{C}$、$F_3=\sum m(0,1,2,3,4,5,6)=\overline{m_7}=\overline{ABC}$

5．**8421BCD 码 10010111 对应的十进制数为_____。**

【答案】97

6．**二进制数 101001 对应的八进制数为_____，十进制数为_____，十六进制数为_____。**

【答案】51、41、29

二、选择题

7．**结构体描述一个设计单元的_____信息。**

A.行为、元件和连接关系

B.元件、子程序和公用数据类型

C.名称和端口引脚

D.可编译的设计单元

【答案】A

8. **以下的说法中，_____是正确的?**

A.一个逻辑函数全部最小项之和恒等于 0

B.一个逻辑函数全部最大项之和恒等于 0

C.一个逻辑函数全部最小项之积恒等于 1

D.一个逻辑函数全部最大项之积恒等于 0

【答案】D

9. **下列叙述中，最确切的说法是_____。**

A.ROM 和 PLA 实现的函数均用与-或式描述

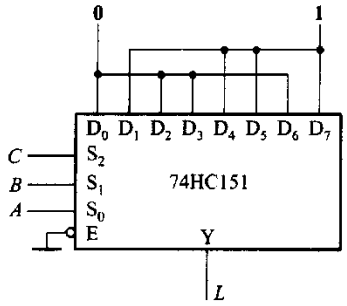
B.ROM 和 PLA 实现的函数分别用最小项之和式和最简与-或式描述

C.ROM 和 PLA 实现的函数分别用最小项之和式和最简或-与式描述

D.ROM 和 PLA 实现的函数均用最简或-与式描述

【答案】B

10. **8 选 1 数据选择器 74151 组成的电路如图所示，则输出函数为_____。**



图

A. $L = BA + CA + C\overline{B}$

B. $L = \overline{B}A + C\overline{A} + C\overline{B}$

C. $L = \overline{B}A + CA + C\overline{B}$

D. $L = \overline{B}A + CA + CB$

【答案】C

11. **若逻辑函数** $E(A,B,C) = \sum m(0,2,4,5,6,7)$，$F(A,B,C) = \sum m(1,3,5,7)$，**则函数相与的结果为_____。**

A.0

B.1

C.$m_5.m_7$

D.AC

【答案】D

12. **下列 AD 转换器中，转换速度最快的是_____,抗干扰能力最强的是_____。**

A.逐次逼近型;

B.并行比较型;

C.双积分型。

【答案】B、C

三、分析计算题

13．**用代数法化简下列函数**

$$f(A,B,C,D)=A\bar{B}\bar{C}+\bar{A}\bar{B}+\bar{A}D+C+BD$$

【答案】 $f(A,B,C,D)=A\bar{B}\bar{C}+\bar{A}\bar{B}+\bar{A}D+C+BD$（$A\bar{B}\bar{C}+C=A\bar{B}+C$，消因子法）

$=A\bar{B}+\bar{A}\bar{B}+\bar{A}D+C+BD$ （$A\bar{B}+\bar{A}\bar{B}=\bar{B}$，并项法）

$=\bar{B}+\bar{A}D+C+BD$ （$\bar{B}+BD=\bar{B}+D$，消因子法）

$=\bar{B}+D+\bar{A}D+C$ （$D+\bar{A}D=D$,吸收法）

$=\bar{B}+C+D$

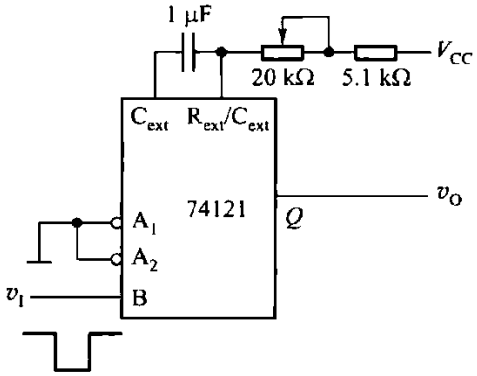
14．**求逻辑函数 $L=\overline{(AB+\bar{A}C)C}+\bar{C}D$ 的最简与-或式和或-与式。**

【答案】用代数法化简。

$$\begin{aligned}L&=\overline{(AB+\bar{A}C)C}+\bar{C}D\\&=\overline{(AB+\bar{A}C)}+\bar{C}+\bar{C}D\\&=(\bar{A}+\bar{B})(A+\bar{C})+\bar{C}\\&=A\bar{B}+\bar{A}\bar{C}+\bar{B}\bar{C}+\bar{C}\\&=A\bar{B}+\bar{C}\qquad\text{（最简与－或式）}\\&=(A+\bar{C})(\bar{B}+\bar{C})\qquad\text{（最简或－与式）}\end{aligned}$$

四、简答题

15．**由集成单稳态触发器 74121 组成的延时电路及输入波形如图所示。(1)计算输出脉宽的变化范围；(2)解释为什么使用电位器时要串接一个电阻。**



图

【答案】(1)电路中集成单稳 74121 的输出脉宽与电路外接电阻、电容取值有关。

$$t_w\approx 0.7RC$$

依题意将 $C=1\ \mu F$　$R=(5.1\sim 25.1)\ k\Omega$代入上式

可算得 $t_w\approx(3.57\sim 17.57)\ ms$

(2)若不串接 5.1kΩ电阻，单稳 74121 外接电阻仅为电位器，那么当电位器阻值一旦调为 0 时，单稳态会因无定时电阻而无法开始正常工作。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：https://d.book118.com/168121127001006101