

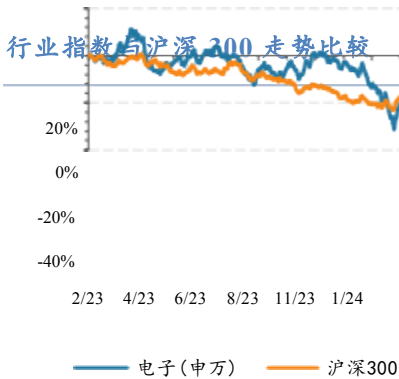
先进封装加速迭代，迈向 2.5D/3D 封装

行业评级：增持

报告日期：2024-02-19

主要观点：

📌 先进封装向着小型化和高性能持续迭代



在以人工智能、高性能计算为代表的的市场需求驱动下，先进封装应运而生，发展趋势是小型化、高集成度，历经直插型封装、表面贴装、面积阵列封装、2.5D/3D 封装和异构集成四个发展阶段。先进封装开辟了 More-than-Moore 的集成电路发展路线，能够在不缩小制程节点背景下，仅通过改进封装方式就能提升芯片性能，还能够打破“存储墙”和“面积墙”。先进封装属于中道工艺，包括清洗、溅射、涂胶、曝光、显影、电镀、去胶、刻蚀、涂覆助焊、回炉焊接、清洗、检测等一系列步骤，关键工艺需要在前道平台上完成。

📌 由单芯片封装向多芯片封装发展，聚焦关键工艺

典型封装技术包括：1) 倒片封装 (Flip-Chip)：芯片倒置，舍弃金属引线，利用凸块连接；2) 扇入型/扇出型封装 (Fan-In/Fan-Out)：在晶圆上进行整体封装，成本更低，关键工艺为重新布线(RDL)；3) 2.5D/3D 封装：2.5D 封装中芯片位于硅中介层上，3D 封装舍弃中介层，进行多芯片堆叠，在基板上方有穿过芯片的硅通孔 (TSV)；4) SiP 封装：将多个子芯片异构集成，缩短开发时间、提高良率；5) Chiplet：多颗具有单一特定功能的小芯粒异构组装，具备成本优势。

📌 AI 和高性能计算芯片的关键瓶颈在于 CoWoS 产能

HBM 使用 2.5D/3D 封装技术打破“内存墙”制约，成为 AI 及高性能计算需求下的主流方案。HBM 带宽提升源于堆栈式封装带来的高位宽以及 I/O 速率的提升，关键改进是使用混合键合替代原来的微凸点键合。HBM 的高密度连接和短互联间距，要求台积电的 CoWoS 封装技术，量产主要使用的是 CoWoS-S。台积电指引 2024 年 CoWoS 带来 70 亿美元营收。从订单和产能角度测算，得到 CoWoS 封装的单价为 722.08 美元/颗，2023 年/2024 年基于 CoWoS 的芯片出货量将达到 346 万颗/693 万颗，其中供给英伟达的芯片分别为 130 万颗/433 万颗。台积电积极扩产 CoWoS 产能，并将部分 oS (on Substrate) 委外至封测厂，预计供需缺口将在 13 个月内得到缓解。

📌 先进封装景气度高于整体封装行业，未来向 2.5D/3D 进发

全球先进封装市场规模有望从 2022 年 378 亿美元上升至 2026 年 482 亿美元，CAGR 约为 6.26%。其中，3D 堆叠 CAGR 高达 18%，市场规


分析师：陈耀波

执业证书号：S0010523060001

邮箱：chenyaobo@hazq.com

模有望在 2026 年上升至 73.67 亿美元。先进封装头部六位玩家市场份额超 70%，技术路线由台积电、英特尔、三星等海外领先 Foundry 和

IDM 厂主导。

 国产替代空间广阔，推荐国内先进封装相关标的

1) 润欣科技:增资奇异摩尔，国内首批 2.5D 及 3D IC Chiplet 产品及服务提供商；2) 通富微电:AMD 最大的封装测试供应商，提供国内最完善的 Chiplet 封装解决方案，7nm 产品已大规模量产，5nm 产品已完

成研发并逐步量产；3）雨砂电子：Bumping 通线量产，打造“Bumping+CP+FC+FT”一站式封测平台。

 风险提示

市场需求不及预期、技术迭代不及预期、行业竞争加剧等风险。

正文目录

1 封装行业现状与发展趋势	6
1.1 先进封装属于中道工艺，涉及部分前道工艺与设备	6
1.2 后摩尔时代，先进封装打破“存储墙”与“面积墙”	7
1.3 封装技术持续迭代，发展趋势是小型化、高集成度	9
2 典型封装技术	11
2.1 单芯片封装	11
2.1.1 倒片封装（FLIP-CHIP）：芯片倒置，利用凸块连接	11
2.1.2 扇入型/扇外型封装（FAN-IN/FAN-OUT）：在晶圆上进行整体封装，成本更低	12
2.2 多芯片封装	15
2.2.1 2.5D/3D 封装：多层芯片堆叠，AI 驱动下 HBM 需求大增，CoWoS 产能成为算力关键卡口	15
2.2.2 系统级封装（SiP）：多个子芯片集成，良率更高	23
2.2.3 芯粒（CHIPLET）：多颗小芯粒灵活组装，支持异构集成	24
3 先进封装市场	26
3.1 市场规模：受下游旺盛需求拉动，先进封装增速高于传统封装	26
3.2 竞争格局：海外 IDM 和 FOUNDRY 掌握先进封装前沿技术	27
4 相关标的	28
4.1 润欣科技：增资奇异摩尔，专注 CHIPLET 解决方案	28
4.2 通富微电：封测行业全球第四，提供国内最完善的 CHIPLET 封装解决方案	30
4.3 雨砂电子：BUMPING 通线量产，打造“BUMPING+CP+FC+FT”一站式封测平台	33
4.4 其他先进封装相关公司	35
风险提示：	36

图表目录

图表 1 半导体工艺流程与设备	6
图表 2 中道先进封装工艺流程与设备	6
图表 3 集成电路的两条发展路线分别是 MORE MOORE 和 MORE-THAN-MOORE	7
图表 4 随着工艺节点微缩，芯片成本呈指数级增长	8
图表 5 存储容量与计算能力发展的差距形成“存储墙”	8
图表 6 芯片面积受制于光罩极限	9
图表 7 芯片良率随着面积增大而下降	9
图表 8 半导体封装的作用	10
图表 9 封装技术的四个发展阶段	10
图表 10 倒装封装相较于引线键合封装的改进	11
图表 11 倒装封装的优势	12
图表 12 焊球电镀凸块的工艺流程	12
图表 13 晶圆级封装	13
图表 14 扇入型封装和扇外型封装	13
图表 15 扇入型封装和扇外型封装的优缺点	14
图表 16 WLP 工艺流程	15
图表 17 2.5D 封装和 3D 封装的定义	15
图表 18 TSV 基本结构示意图	16
图表 19 TSV 制作工艺流程	17
图表 20 HBM 的架构	18
图表 21 HBM 的高带宽源于位宽和 I/O 速率的提升	19
图表 22 混合键合工艺流程	19
图表 23 不同键合技术的节距、密度及能效对比	20
图表 24 CoWoS 可分为 CoW 和 oS 两步	20
图表 25 CoWoS 三种变体的封装结构	21
图表 26 2024 年 CoWoS 收入测算	21
图表 27 META 和微软是英伟达 GPU 的最大买家	22
图表 28 CoWoS 的 ASP 及 AI 芯片出货量测算	23
图表 29 SoC、SiP 与 CHIPLET 的定义	24
图表 30 SiP 的封装形式分类	24
图表 31 基于 CHIPLET 架构的芯片结构图	25
图表 32 CHIPLET 芯片与 SoC 比较	25
图表 33 CHIPLET 封装技术迈向 3D 封装	26
图表 34 全球先进封装市场规模（亿美元）	26
图表 35 全球封装市场结构	26
图表 36 全球细分市场规模及份额	27
图表 37 OSAT、IDM 和 FOUNDRY 均布局先进封装	27
图表 38 海外厂商技术布局	28
图表 39 润欣科技营收结构	29

图表 40 润欣科技营业收入及增速	29
图表 41 润欣科技归母净利润及增速	29

图表 42 润欣科技产品进展.....	30
图表 43 通富微电营收结构.....	31
图表 44 通富微电营业收入及增速	31
图表 45 通富微电归母净利润及增速	31
图表 46 通富微电产品进展.....	32
图表 47 雨砂电子营收结构.....	33
图表 48 雨砂电子营业收入及增速.....	34
图表 49 雨砂电子归母净利润及增速	34
图表 50 雨砂电子产品进展.....	34
图表 51 其他先进封装相关公司	36

1 封装行业现状与发展趋势

1.1 先进封装属于中道工艺，涉及部分前道工艺与设备

半导体工艺流程包括前道晶圆制造工序和后道封装测试工序。前道工序是晶圆制造工序。在前道工序中，晶圆经历了氧化、涂胶、光刻、刻蚀、离子注入、物理/化学气相沉积、抛光、晶圆检测、清洗等一系列步骤，每一步都需要相应的半导体制造设备。后道工序是封装测试工序。在后道工序中，尚未切割的晶圆片进入 IC 封装环节，经历磨片/背面减薄、切割、贴片、银浆固化、引线焊接、塑封、切筋成型、FT 测试，每一环节同样需要相应的半导体封装设备与半导体测试设备。最终得到芯片成品。

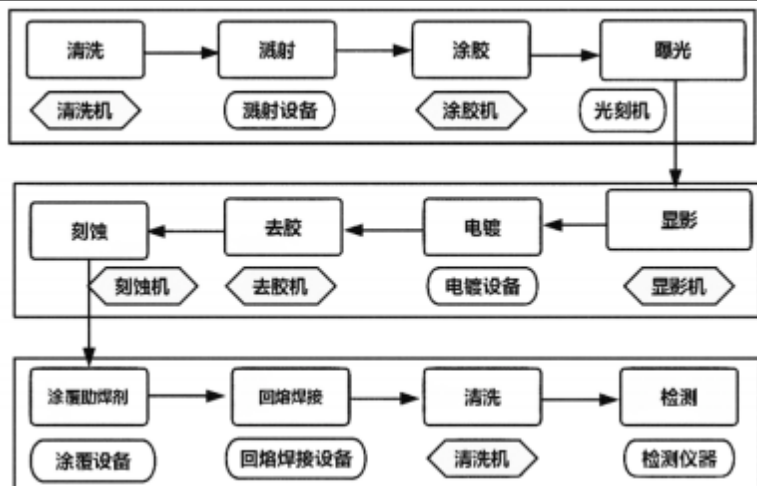
图表 1 半导体工艺流程与设备



资料来源：艾瑞咨询，华安证券研究所

传统封装已不能满足以人工智能、高性能计算为代表的新需求，先进封装技术应运而生，形成独特的中道工艺。先进封装也称为高密度封装，具有引脚数量较多、芯片系统较小和高集成化的特点。先进封装属于中道工序，包括清洗、溅射、涂胶、曝光、显影、电镀、去胶、刻蚀、涂覆助焊、回炉焊接、清洗、检测等一系列步骤。与传统的后道封装测试工艺不同，先进封装的关键工艺需要在前道平台上完成，是前道工序的延伸。

图表 2 中道先进封装工艺流程与设备

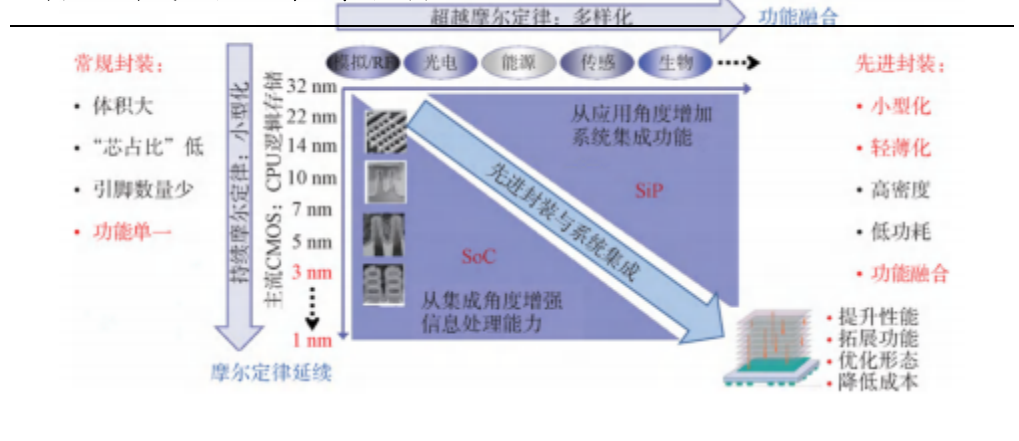


资料来源：芯源微招股书，华安证券研究所

1.2 后摩尔时代，先进封装打破“存储墙”与“面积墙”

集成电路沿着两条技术路线发展，分别是 **More Moore** 和 **More-than-Moore**。**More Moore** 代表持续追随摩尔定律，致力于推动先进制程的发展。这一路线的关键策略是通过不断微缩互补金属氧化物半导体（Complementary Metal-Oxide-Semiconductor, CMOS）器件的晶体管栅极尺寸，以增加芯片晶体管数量，从而提升芯片性能。目前，量产芯片的工艺制程已发展至 3 nm 节点。全球范围内仅有少数企业，如台积电、英特尔和三星，具备 10 纳米及以下节点的制造能力。与 **More Moore** 相对应的是 **More-than-Moore**，这一趋势旨在超越摩尔定律，将发展方向引向多样化。**More-than-Moore** 采用先进封装技术，在一个系统内集成处理、模拟/射频、光电、能源、传感、生物等多种功能，从而实现了系统性能全面提升。相对于传统封装方式，先进封装具有小型化、轻薄化、高密度、低功耗和功能融合等诸多优势，能够提升性能、拓展功能、优化形态、降低成本。

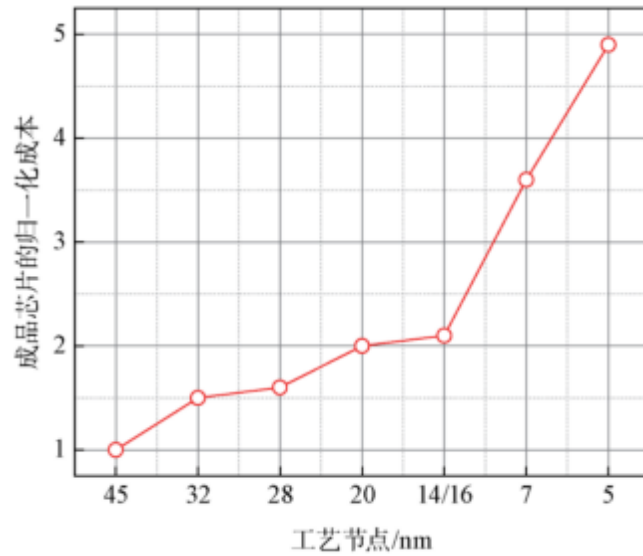
图表 3 集成电路的两条发展路线分别是 **More Moore** 和 **More-than-Moore**



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

推进摩尔定律成本高昂，先进封装能够在不缩小制程节点背景下，仅通过改进封装方式就能提升芯片性能。摩尔定律是指集成电路上可容纳的晶体管数目，约每隔 18-24 个月便会增加一倍，器件性能也将提升一倍。近年来，摩尔定律的尺寸微缩趋势放缓，先进制程已经逼近物理极限，通过迈向更先进的制程提升芯片性能的成本呈指数级增长。如下图所示，相比于采用 45nm 节点制造的 250 平方毫米芯片，采用 16nm 工艺节点后，每平方毫米的成本增加了 1 倍以上；而采用 5nm 工艺后，成本将增加 4~5 倍。与此同时，先进封装仍处于相对高成本效益的阶段。根据 Semi，晶圆制造的设备投资占比超过 80%，而封装测试的设备投资占比不到 20%。尽管先进封装同样需要使用光刻、刻蚀、沉积等设备，但相较于晶圆制造，先进封装所需的设备的精度要求低，其设备价值也相对较低。此外，先进封装技术目前正处于快速发展阶段，未来有较高的改进和降本空间。

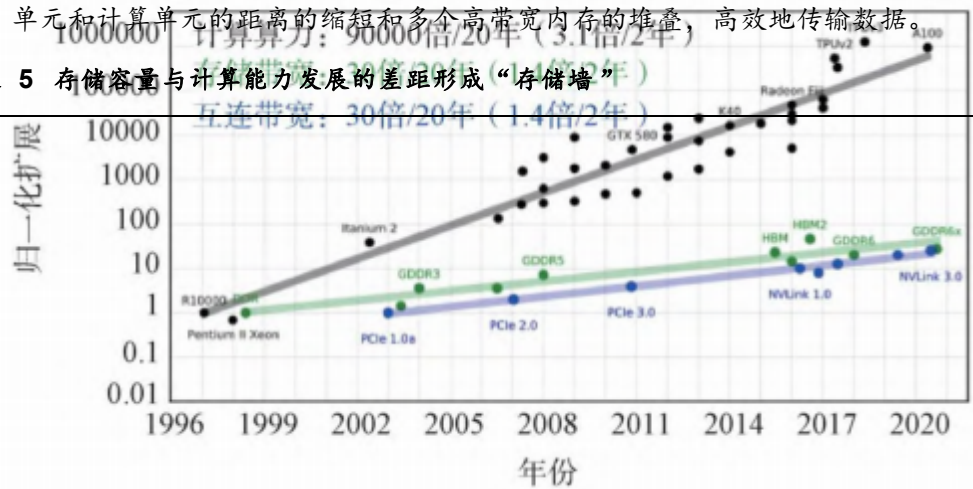
图表 4 随着工艺节点微缩，芯片成本呈指数级增长



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

“存储墙”制约算力性能发挥，先进封装实现近存计算和高带宽内存堆叠，提高传输效率。处理器的峰值算力每两年增长约 3.1 倍，而动态存储器的带宽每两年增长约 1.4 倍。存储器的发展速度远远落后于处理器，两者之间的差距达到 1.7 倍。此外，日益增长的带宽需求量也是一个重要瓶颈。数据的爆发式增长对网络信息的传输速度和容量提出了更高的要求。在过去的几十年中，串行通信的速度从 1Gb/s 增长到 100Gb/s，并行通信的速度从 1Tb/s 增长至 100Tb/s。现有计算平台的架构基于冯·诺依曼的“存算分离”，使得数据需要频繁在存储单元和数据单元间搬移。为了解决“存储墙”，业界提出了存内计算和近存计算两种方法。存内计算是指在存储单元中嵌入计算单元，实现数据的实时计算，这种计算方式可以大大减少数据搬运，降低能耗，提高计算效率。近存计算则基于 2.5D/3D 先进封装技术，实现存储单元和计算单元的距离的缩短和多个高带宽内存的堆叠，高效地传输数据。

图表 5 存储容量与计算能力发展的差距形成“存储墙”



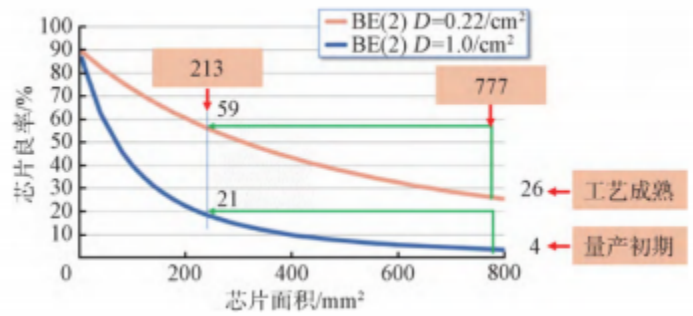
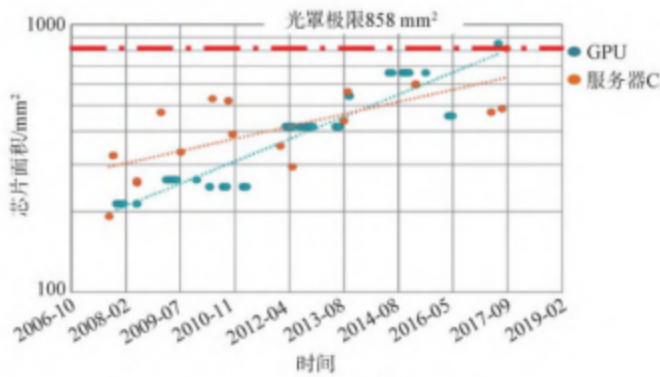
资料来源：《先进封装技术的发展与机遇》，华安证券研究所

集成电路发展受到“面积墙”挑战，先进封装 **Chiplet** 集成多个小芯粒凸显良率优势。扩大芯片面积可以实现更多晶体管的集成，从而提高芯片性能。然而，光

刻机的光罩限制了芯片的尺寸，目前最先进的极紫外光刻机的最大光罩面积为 858 mm：(26 mm×33 mm)。2020 年，英伟达发布 A100 GPU 芯片，采用台积电 7 nm 工艺，制造了近似于一个光罩面积的芯片，面积为 826 mm：(~25.5 mm×32.4 mm)，具有 540 亿个晶体管，逼近芯片面积极限。此外，随着芯片尺寸的增大，芯片的良率逐渐下降。在工艺成熟的情况下，当芯片面积从 213 mm：增至 777 mm：时，良率从 59%降低至 26%，良率的降低将使芯片的成本变得高昂。而先进封装 Chiplet 能将大尺寸的 SoC 芯片按功能拆分为一个个小芯粒，主要功能采用先进制程，次要功能采用成熟制程，再通过封装技术集成，在采用小芯片的同时实现相近的性能。

图表 6 芯片面积受制于光罩极限

图表 7 芯片良率随着面积增大而下降



1.3 封装技术持续迭代，发展趋势是小型化、高集成度

传统封装的主要作用包括机械保护、电气连接、机械连接和散热。**1) 机械保护：**裸片易碎，容易受到物理性和化学性损坏。半导体封装的主要作用是通过将芯片和器件密封在环氧树脂模塑料（EMC）等封装材料中，保护它们免受物理性和化学性损坏。**2) 电气连接：**裸片不能直接跟外部电路连接，封装通过芯片和系统之间的电气连接来为芯片供电，同时为芯片提供信号的输入和输出通路。**3) 机械连接：**需将芯片可靠地连接至系统，以确保使用时芯片和系统之间连接良好。**4) 散热：**封装需将半导体芯片和器件产生的热量迅速散发出去。在半导体产品工作过程中，电流通过电阻时会产生热量。半导体封装将芯片完全地包裹了起来，如果半导体封装无法有效散热，则芯片可能会过热，导致内部晶体管升温过快而无法工作。

先进封装在封装的四大功能的基础上，还肩负着提升芯片性能的作用。具体而言，先进封装对芯片的提升作用包括五个方面：一是实现芯片封装小型化、高密度化、多功能化；二是降低产品功耗、提升产品带宽、减小信号传输延迟；三是可实现异质异构的系统集成；四是延续摩尔定律，提升产品性能的有效途径；五是降低先进节点芯片的设计复杂度和制造成本，缩短开发周期、提高产品良率。

图表 8 半导体封装的作用

机械保护	传统封装		先进封装	
	电气连接	机械连接	散热	提升性能
<p>半导体芯片的主要材质是硅，硅像玻璃一样，非常易碎。半导体封装通过将芯片和器件密封在环氧树脂模塑料（EMC）等封装材料中，保护它们免受物理性和化学性损坏。因此，封装材料对于保护芯片至关重要。</p>	<p>裸片不能直接跟外部电路连接，封装通过芯片和系统之间的电气连接来为芯片供电，同时为芯片提供信号的输入和输出通路。</p>	<p>在机械连接方面，需将芯片可靠地连接至系统，以确保使用时芯片和系统之间连接良好。</p>	<p>封装需将半导体芯片和器件产生的热量迅速散发出去。在半导体产品工作过程中，电流通过电阻时会产生热量。半导体封装将芯片完全地包裹了起来，如果半导体封装无法有效散热，则芯片可能会过热，导致内部晶体管升温过快而无法工作。</p>	<p>一是实现芯片封装小型化、高密度化、多功能化；二是降低产品功耗、提升产品带宽、减小信号传输延迟；三是可实现异质异构的系统集成；四是延续摩尔定律，提升产品性能的有效途径；五是降低先进节点芯片的设计复杂度和制造成本，缩短开发周期、提高产品良率</p>

资料来源：艾邦半导体网、中国电子报，华安证券研究所

封装技术的发展趋势是小型化、高集成度，可分为四个阶段：**1）第一阶段（1970年前）：直插型封装**，特点是将电子元器件直接焊接在电路板上，并通过引脚与电路板相连，以双列直插封装 DIP（Dual In-line Package）为主；**2）第二阶段（1970-1990年）：表面贴装**，其特点是使用更短更细的引线代替引脚或没有引脚，将电子元件直接粘贴在 PCB 的表面，然后通过加热或冷凝的方式将元件固定在电路板上。主要包括小外形封装 SOP（Small Outline Package）、J 型引脚小外形封装 SOJ（Small Outline J-leaded）、无引脚芯片载体 LCC（Leadless Chip Carrier）、扁平方形封装 QFP（Quad Flat Package）四大封装技术和针栅阵列 PGA（Pin Grid Array）等技术；**3）第三阶段（1990-2000年）：面积阵列封装**，特点是用体积更小的焊球代替引线，这些球形金属接触点分布在芯片的表面上，形成一种类似于网格的布局。包括 BGA 球栅阵列（Ball Grid Array）、CSP 芯片尺寸封装（Chip Scale Package）、倒装芯片封装 FC（Flip-Chip）等先进封装技术；**4）第四阶段（2000年至今）：三维堆叠和异构集成**，晶圆级封装 WLP（Wafer Level Package）、系统级封装 SIP（System In Package）、扇外型封装 FO（Fan-Out）、2.5D/3D 封装等先进封装技术百花齐放。总结来看，每一代封装技术的本质区别是芯片与电路连接方式的区别，随着封装技术的发展，实现了连接密度和传输速率不断提高。

图表 9 封装技术的四个发展阶段

发展阶段	第一阶段	第二阶段	第三阶段	第四阶段
时间	1970年前	1970-1990年	1990-2000年	2000年至今
封装形态	直插形封装	表面贴装	面积阵列封装	三维堆叠和异构集成
特点	将电子元器件直接焊接在电路板上，并通过引脚与电路板相连	使用更短更细的引线代替引脚或没有引脚，将电子元件直接粘贴在 PCB 的表面，然后通过加热或冷凝的方式将元件固定在电路板上	用体积更小的焊球代替引线，这些球形金属接触点分布在芯片的表面上，形成一种类似于网格的布局	在同一封装体内集成多个芯片，或将不同类型的芯片或器件集成在一个封装体中
经典类型	双列直插封装 DIP	小外形封装 SOP J型引脚小外形封装 SOJ 无引脚芯片载体 LCC 扁平方形封装 QFP 针栅阵列 PGA	BGA 球栅阵列 CSP 芯片尺寸封装 倒装芯片封装 FC	晶圆级封装 WLP 系统级封装 SIP 扇外型封装 FO 2.5D/3D 封装

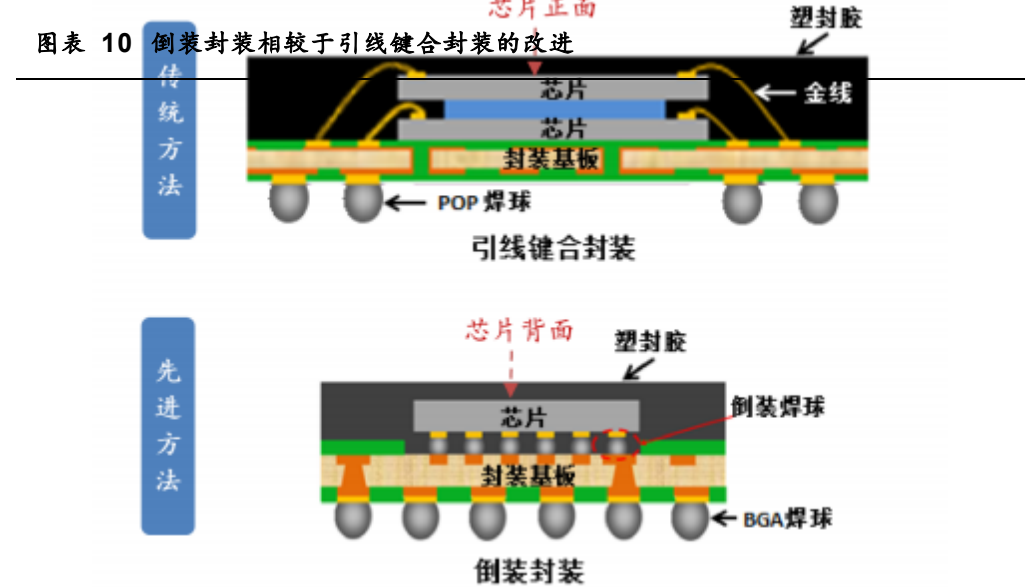
2 典型封装技术

2.1 单芯片封装

2.1.1 倒片封装 (Flip-Chip): 芯片倒置, 利用凸块连接

倒片封装舍弃金属引线, 利用凸块 (bumping) 连接。传统的引线键合方法采用细金属线进行连接, 通过热、压力和超声波能量, 将金属引线与芯片焊盘以及基板焊盘牢固焊接, 实现了芯片与基板之间的电气互连和芯片之间的信息传递。这一过程中, 金属引线在焊接的过程中起到了关键作用, 通过引线实现了有效的电连接。引线键合广泛应用于射频模块、存储芯片以及微机电系统器件封装。而倒装封装舍弃引线, 在芯片顶侧形成焊球, 然后将芯片翻转贴到对应的外部电路的基板上, 利用加热熔融的焊球实现芯片与基板焊盘结合。这种封装技术通常被广泛应用于高性能处理器 (如 CPU 和 GPU)、芯片组 (Chipset) 以及其他要求高密度互连和紧凑尺寸的集成电路封装。

倒片封装与引线键合在工艺的不同之处在于: 1) 倒片封装将芯片倒置, 芯片正面倒扣在基板上; 2) 倒片封装舍弃金属引线, 利用凸块连接, 需要进行凸块键合。



资料来源: 深南电路招股说明书, 华安证券研究所

与传统的引线键合相比, 倒装芯片具备众多优势: **1) 更高的连接密度:** 传统的引线键合方法只有外部边缘用于连接, 而倒装封装可以充分利用整个芯片表面区域进行互连。倒装芯片面阵列凸点能够提供更多的输入输出管脚, 实现更高的传输速度和更低的延迟时间, 适用于高功率集成电路封装。**2) 更短的互联距离:** 倒装芯片之间的电气连接不再依赖于传统的引线, 而是通过焊点直接接触, 减少了信号传输时的电阻、电感, 降低信号延迟。**3) 更小的封装尺寸:** 倒片封装可以实现更小的封装尺寸, 因为倒装芯片采用并行工艺, 芯片之间的连接不再依赖于引线, 而是通过焊点直接接触, 减少了封装面积和体积。**4) 更高的散热效率:** 倒片封装可以实现更高的散热效率, 因为倒装芯片不采用塑封封装, 使得芯片背面可以进行有效的冷却, 提高散热效率。**5) 更高的可靠性:** 倒片封装可以避免引线键合过程中出现的引线断裂、弯曲、错位等问题, 通过环氧填充确保了封装的可靠性和耐久性。

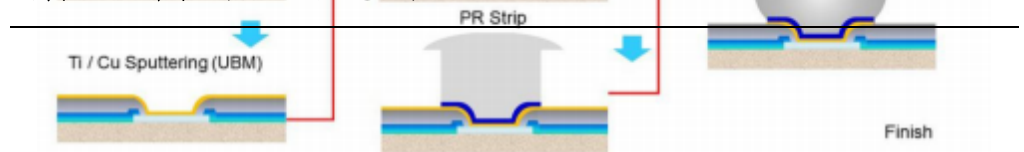
图表 11 倒装封装的优势

优点	详细描述
更高的连接密度	传统的引线键合方法只有外部边缘用于连接，而倒装封装可以充分利用整个芯片表面区域进行互联。倒装芯片面阵列凸点能够提供更多的输入输出管脚，实现更高的传输速度和更低的延迟时间，适用于高功率集成电路封装。
更短的互联距离	倒装芯片之间的电气连接不再依赖于传统的引线，而是通过焊点直接接触，减少了信号传输时的电阻、电感，降低信号延迟。
更小的封装尺寸	倒片封装可以实现更小的封装尺寸，因为倒装芯片采用并行工艺，芯片之间的连接不再依赖于引线，而是通过焊点直接接触，减少了封装面积和体积。
更高的散热效率	倒片封装可以实现更高的散热效率，因为倒装芯片不采用塑封封装，使得芯片背面可以进行有效的冷却，提高散热效率。
更高的可靠性	倒片封装可以避免引线键合过程中出现的引线断裂、弯曲、错位等问题，通过环氧填充确保了封装的可靠性和耐久性。

资料来源：《先进封装关键工艺设备面临的机遇和挑战》，华安证券研究所

倒片封装的关键工艺是 **Bumping**。凸块是定向生长于芯片表面，与芯片焊盘直接相连或间接相连的具有金属导电特性的凸起物，按材质可分为金凸块、焊球凸块、铜柱凸块。主流的凸块工艺均采用圆片级加工，即在整片圆片表面的所有芯片上加工制作凸块，常用方式有蒸发方式、印刷方式和电镀方式。焊球电镀凸块的工艺流程为：首先，采用溅射或其它物理气相沉积的方式在圆片表面沉积一层 Ti/Cu 作为电镀所需种子层；其次，在圆片表面旋涂一定厚度的光刻胶，并运用光刻曝光工艺形成所需要图形；然后，圆片进入电镀机，通过控制电镀电流、时间等，从光刻胶开窗图形的底部开始生长并得到一定厚度的金属层作为 UBM；最后，通过去除多余光刻胶、UBM Etching 及回流工艺实现电镀凸块制作。

图表 12 焊球电镀凸块的工艺流程



资料来源：屹立芯创、厦门大学，华安证券研究所

2.1.2 扇入型/扇出型封装 (Fan-In/Fan-Out)：在晶圆上进行整体封装，成本更低

晶圆级封装 (Wafer-Level Packaging, WLP) 是一种直接在晶圆上完成封装的技术。晶圆级封装与传统封装的区别在于，传统封装先将成品晶圆切割成单个芯片再封装；晶圆级封装在芯片还在晶圆上时就进行整体封装，封装完成再进行切割分片。**晶圆级封装具备以下优点：** 1) **成本更低：** 晶圆级封装的成本相对较低，因为批次性处理方式使得成品晶圆能够一次性全部封装。2) **体积更小：** 晶圆级封装把整

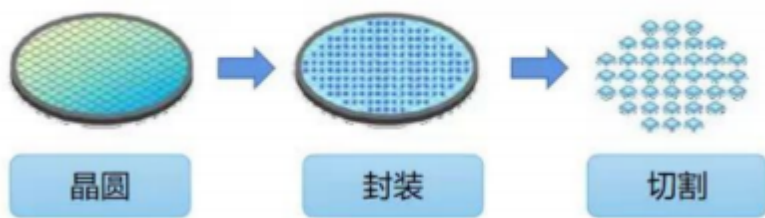
个芯片作为一个整体进行封装，此外，晶圆级封装通常采用无引脚或极少引脚的形式，进一步减小封装体积。

图表 13 晶圆级封装

传统封装



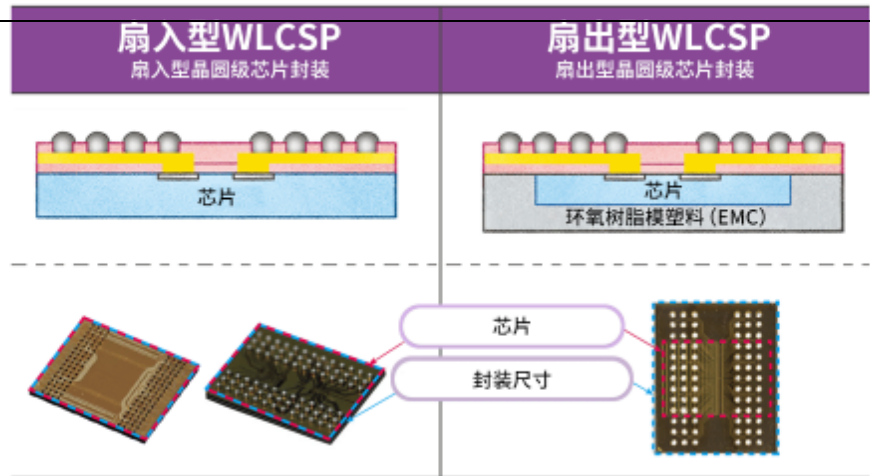
晶圆级封装



资料来源：屹立芯创，华安证券研究所

晶圆级封装可分为两大类型：扇入型 WLCSP (Fan-In Wafer Level Chip Scale Package, Fan-In WLCSP) 和扇外型 WLCSP (Fan-Out Wafer Level Chip Scale Package, Fan-Out WLCSP)。在扇入型 WLCSP 中，封装尺寸与芯片本身尺寸相同，封装布线、绝缘层和锡球直接位于晶圆顶部。扇外型 WLCSP 在封装后的尺寸大于芯片本身尺寸，是指先对晶圆进行切割再封装，切割好的芯片排列在载体上，芯片与芯片之间的空隙用环氧树脂模塑料填充，重塑成晶圆。然后，这些晶圆将从载体中取出，进行晶圆级处理，并被切割成扇外型 WLCSP 单元。

图表 14 扇入型封装和扇外型封装



资料来源：海力士，华安证券研究所

扇入型 WLCSP 具备如下优点：
1) 尺寸最小化：扇入型封装实现了尺寸的最小化，最终的二维平面尺寸与芯片尺寸相同；
2) 工艺成本低：无需基板和导线等封装材料，因为锡球直接固定在芯片上；
3) 生产效率高：封装工艺在晶圆上一次性完成。
但扇入型 WLCSP 也存在一些局限。由于采用硅芯片作为封装外壳，扇入型封装的物理和化学防护性能相对较弱。在封装尺寸上，如果封装锡球的陈列尺寸大于芯片尺寸，将无法进行封装。此外，如果晶圆上的芯片数量较少或生产良率较低，则扇入型 WLCSP 的封装成本要高于传统封装。扇入型封装常用于低 I/O 数量（一般小于 400）和较小裸片尺寸的工艺中。

扇外型 WLCSP 是对扇入型封装的改进，具备如下优点：
1) 提高 I/O 数量：扇入型的封装锡球均位于芯片表面，而扇出型的封装锡球可以延伸至芯片以外。
2) 防护性能更强：扇外型封装受填充的环氧树脂模塑料保护。

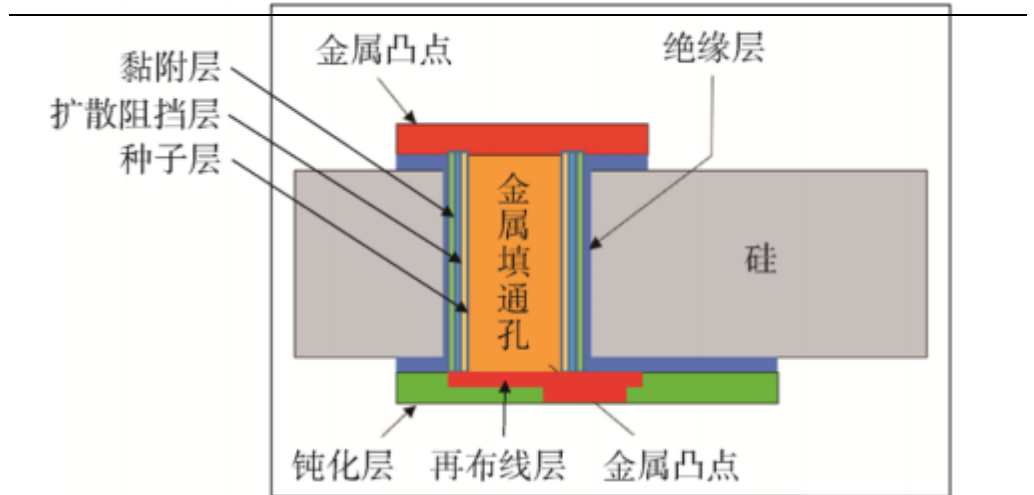
图表 15 扇入型封装和扇外型封装的优缺点

扇入型 WLCSP	优点	尺寸最小化：扇入型封装实现了尺寸的最小化，最终的二维平面尺寸与芯片尺寸相同 工艺成本低：无需基板和导线等封装材料，因为锡球直接固定在芯片上 生产效率高：封装工艺在晶圆上一次性完成
	不足	采用硅芯片作为封装外壳，扇入型封装的物理和化学防护性能相对较弱 如果封装锡球的陈列尺寸大于芯片尺寸，将无法进行封装 如果晶圆上的芯片数量较少或生产良率较低，则扇入型 WLCSP 的封装成本要高于传统封装
	优点	提高 I/O 数量：扇入型的封装锡球均位于芯片表面，而扇出型的封装锡球可以延伸至芯片以外 防护性能更强：扇外型封装受填充的环氧树脂模塑料保护

WLP 工艺流程的关键工艺为重新布线(RDL)。首先，涂覆第一层聚合物薄膜，以加强芯片的钝化层，起到应力缓冲的作用。聚合物种类有光敏聚酰亚胺 (PI)、聚并环丁烯 (BCB)、聚并恶些 (PBO)。其次，重布线层 (RDL)，对芯片的铝/铜焊区位置重新布局，使新焊区满足对焊料球最小间距的要求，并使新焊区按照阵列排布。光刻胶作为选择性电镀的模板以规划 RDL 的线路图形，湿法蚀刻去除光刻胶和溅射层。然后，涂覆第二层聚合物薄膜，使圆片表面平坦化并保护 RDL 层。在第二层聚合物薄膜光刻出新焊区位置。随后，凸点下金属层 (UBM)，采用和 RDL 一样的工艺流程制作。最后，为植球步骤，焊膏和焊料球通过掩模板进行准确定位，将焊料球放置于 UBM 上，放入回流炉中，焊料经回流融化与 UBM 形成良好的浸润结合，达到良好的焊接效果。

面并与硅衬底以及其他通孔绝缘的电互连结构。TSV 的尺寸通常在 $10\mu\text{m}\times 100\mu\text{m}$ 和 $30\mu\text{m}\times 200\mu\text{m}$ 之间，开口率介于 0.1%~1%。与传统平面互连相比，TSV 能够缩短互连长度、减小信号延迟、降低寄生电容和电感，实现芯片间低功耗和高速通信，同时增加宽带并实现封装的小型化。TSV 目前主要应用于芯片三维堆叠、硅转接板等领域。硅转接板是芯片和有机基板的中间层，分为无源和有源两类，其中无源转接板仅包含金属互连层，而有源转接板则可集成供电、片内网络通信等功能。

图表 18 TSV 基本结构示意图



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

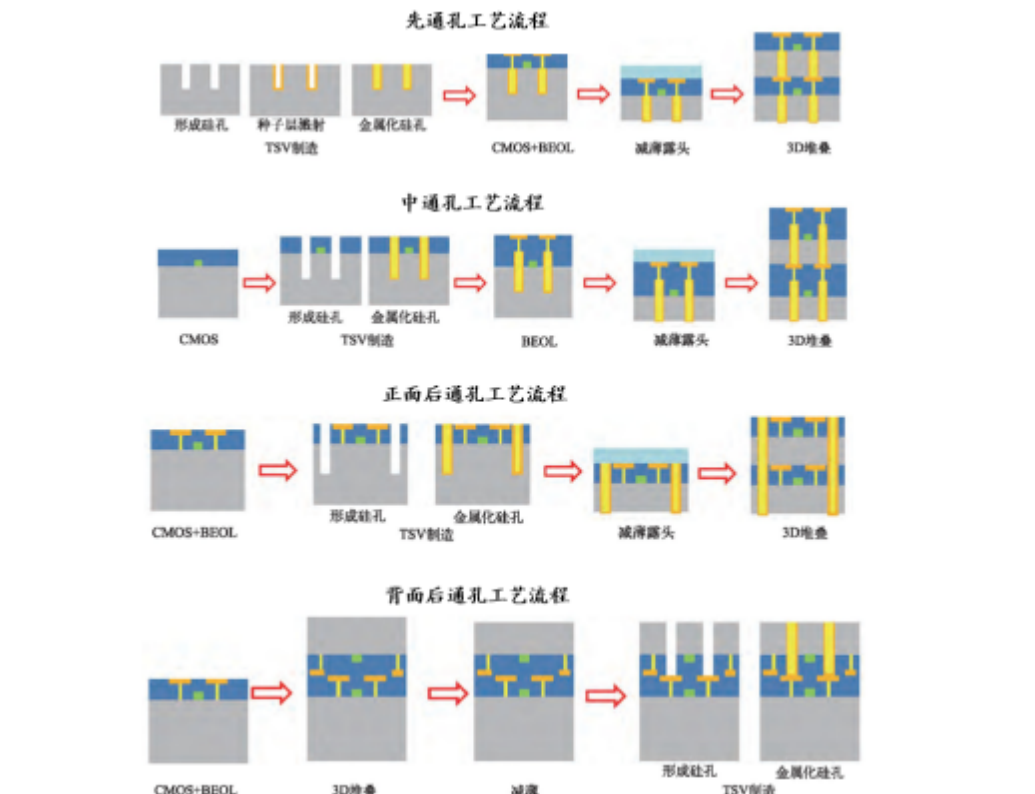
根据 TSV 被制作的时间顺序，有 3 种类型的 TSV 工艺。分为先通孔工艺 (Via First)、中通孔工艺 (Via Middle) 和后通孔工艺 (Via Last)，分别指 TSV 制作在晶圆制作工艺中的前、中或后段。

Via First 是指在器件 (如 MOSFET 器件) 结构制造之前，先进行 TSV 结构的通孔刻蚀，孔内沉积高温电介质 (热氧沉积或化学气相沉积)，然后填充掺杂的多晶硅。多余的多晶硅通过 CMP 去除。

Via Middle 常常指在形成器件之后但在制造叠层之前制造的通孔工艺。在有源器件制程之后形成 TSV 结构，然后内部沉积电介质。淀积阻挡层金属和铜种子层，然后电镀铜填充通孔，或通过化学气相沉积钨金属填充通孔。

Via Last 包括两种工艺。正面后通孔工艺是在 Back End of Line (BEOL) 工艺处理结束后，从晶圆正面形成通孔的一种制造工艺。从概念上讲，在晶圆上制造的后通孔工艺与中通孔工艺相似，但是对工艺温度有进一步的限制 (必须小于 400°C)。背面后通孔工艺是在 BEOL 工艺处理结束后，从晶圆背面进行通孔结构的一种制造工艺。首先使用粘合剂将两个器件晶圆以面对面方式粘合，接下来，将顶部晶圆减薄，将 TSV 结构刻蚀至顶部晶圆和底部晶圆上的焊盘，孔内沉积电介质，最后，将金属沉积到 TSV 结构中并进行表面金属层再布线。

图表 19 TSV 制作工艺流程



资料来源：《晶圆级封装中的垂直互连结构》，华安证券研究所

HBM 使用 2.5D/3D 封装技术打破“内存墙”制约，成为 AI 及高性能计算需求下的主流方案。高带宽内存(High Bandwidth Memory, HBM)通过逻辑芯片和多层的 DRAM 堆叠来实现高速数据传输，突破了带宽瓶颈，成为 AI 训练芯片的首选。第一代 HBM 的架构如下图所示，由 4 层 DRAM 和逻辑芯片堆叠在一起，每层之间通过 TSV 和微凸点连接。每个 HBM 有 8 个通道，每个通道有 128 个 I/O，因此每个 HBM 有 1024 个 I/O，即合计 1024 个 TSV 位于 HBM 的中间区域。存储器和处理器通过无源转接板上的再布线层 (RDL) 将 HBM 逻辑芯片的端口物理层 (Port Physical Layer, PHY) 与处理器的 PHY 相连。HBM 的性能较传统 GDDR5 更具优势，GDDR5 的带宽最高可达 32 GB/s，而 HBM1、HBM2 和 HBM2 的带宽分别达到了 128 GB/s、307 GB/s 和 819 GB/s。其中，HBM 内部的 DRAM 堆叠属于 3D 封装，而 HBM 与芯片其他部分合封于硅中介层上属于 2.5D 封装。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/248064052041006050>