

# DSP 原理与应用技术-考试知识点总结

## 第一章

1、DSP 系统的组成：由控制处理器、DSPs、输入/输出接口、存储器、数据传输网络构成。P2 图 1-1-1

2、TMS320 系列 DSPs 芯片的基本特点：XXX 结构、流水线操作、专用的硬件乘法器、特殊的 DSP 指令、快速的指令周期。

3、XXX 结构：是一种将程序指令储存和数据储存分开的储存器结构。特点：并行结构体系，是将程序和数据存储在不同的存储空间中，即程序存储器和数据存储器是两个相互独立的存储器，每个存储器独立编址，独立访问。系统中设置了程序和数据两条总线，使数据吞吐率提高一倍。

4、TMS320 系列在 XXX 结构之上 DSPs 芯片的改进：

(1) 允许数据存放在程序存储器中，并被算术运算指令直接使用，增强芯片灵活性 (2) 指令储存在高速缓冲器中，执行指令时，不需要再从存储器中读取指令，节约了一个指令周期的时间。

5、XXX 结构：将指令、数据、地址存储在同一存储器中，统一编址，依靠指令计数器提供的地址来区分是指令、数据还是地址，取指令和去数据都访问同一存储器，数据吞吐率低。

6、流水线操作：TMS320F2812 采用 8 级流水线，处理器可以并行处理 2-8 条指令，每条指令处于流水线的不同阶段。

解释：在 4 级流水线操作中。取指令、指令译码、读操作数、执行操作可独立地处理，执行完全重叠。在每个指令周期内，4 条不同的指令都处于激活状态，每

条指令处于不同的操作阶段。7、定点 DSPs 芯片：定点格式工作的 DSPs 芯片。

浮点 DSPs 芯片：浮点格式工作的 DSPs 芯片。

（定点 DSPs 可以浮点运算，但是要用软件。浮点 DSPs 用硬件就可以）8、DSPs 芯片的运算速度衡量标准：指令周期（执行一条指令所需时间）、MAC 时间（一次乘法和加法的时间）、FFT 执行时间（傅立叶运算时间）、MIPS（每秒执行百万条指令）、MOPS（每秒执行百万次操作）、MFLOPS（每秒执行百万次浮点操作）、BOPS（每秒十亿次操作）。

9、TMS320F281x 系列芯片主要性能：

（1）低功耗设计（核心电压 1.8V，I/O 电压 3.3V）

（2）高性能的 32 位中心处置惩罚器：可达 4 兆字的线性程序地址，可达 4 兆字的线性数据地址

(3) 3 个外部停止 128 位的密钥, 3 个 32 位的 CPU 定时器 (4) 串口核心装备 (串行核心接口 SPI, 两个串行通信接口 SCIs, 标准的 UART, 改进的局域收集 eCAN, 多通道缓冲串行接口 McBSP 和串行核心接口模式)

(5) 最多有 56 个独立的可编程、多用途通用输入/输出 (GPIO) 引脚。

10、TMS320F2812 是 TI 推出的新一代 32 位定点 DSPs 芯片。第二章

1、TMS320F2812 是 32 位定点 DSPs 芯片。

2、TMS320C28x 系列芯片有三个主要部分: 中央处理单元 (CPU), 存储器, 片内外设。CPU 负责控制程序的流程和指令的处理, 可执行算术运算、布尔逻辑、乘法和位移操作。

(CPU 组成: 产生数据和程序存储地址的 CPU, 仿真逻辑, 各种信号线)

3、TMS320C28x 的 CPU 是一种低功耗的 32 位定点数字信号处置惩罚器, 优秀特征: XXX 结构和循环寻址方式、精简指令系统、字节的组合和拆分、位操作。

4、CPU 的主要特性: (1) 保护流水线 (2) 独立寄存器空间 (3) 算术逻辑单元 (4) 地址寄存器算术单元 (5) 循环

移位器 (6) 乘法器利用改进型 **XXX** 结构可以并行地执行指令和读取数据。

5、C28x 芯片具有 3 种操作模式：C27x 方针-兼容模式、C28x 模式及 C2xLP 源-兼容模式。C27x 方针-兼容模式在复位时，C28x 的 CPU 处于 C27x 方针-兼容模式。

6、CPU 有 4 种主要信号的名称和功能

(1) 存储器接口信号：在 CPU、存储器和核心装备之间进行数据传送；进路程序存储器的访问和数据存储器的存取；并能依照不同的字段长度区分不同的存取操作（16 位或 32 位）

(2) 时钟和控制信号：为 CPU 和仿真逻辑提供时钟，可以用来控制和监视 CPU 状态。

(3) 复位和中断信号：用来产生硬件复位和中断，并用来监视中断的状态。

(4) 仿真信号：用来进行测试和调试。

7、CPU 的主要单元：程序和数据逻辑控制、实时仿真逻辑、地址寄存器算术单元 (ARAU)、算术逻辑单元 (ALU)、预取队列和指令译码、程序和数据地址产生器、定点 MPY/ALU、停止处置惩罚。

8、存储器接口 3 条地址总线：

(1) **PAB** (程序地址总线), 传送程序空间的读/写地址, 是一个 22 位的总线, 寻址空间 4M。

(2) **DRAB** (数据读地址总线) 32 位, 传送来自数据空间的读地址。(3) **DWAB** (数据写地址总线) 32 位, 传送来自数据空间的写地址。9、存储器接口 3 条数据总线:

(1) **PRDB** 程序读数据总线 32 位, 在读取程序空间时用来传送指令或数据。

(2) **DRDB** 数据读数据总线 32 位, 在读取数据空间时用来传送数据。(3) **DWDB** 数据/程序写数据总线 32 位, 在对数据空间写数据时用来传送数据。

(注意: 程序空间的读和写不能同时产生, 因为它们都要使用程序地址总线 **PAB**。程序空间的写和数据空间的写也不能同时产生, 因为两者都要使用数据 / 程序写数据总线 **DWDB**。)

10、数据页指针 (**DP**): 在直接寻址模式中, 对数据存储器的寻址要在 64 个字的数据页中进行。由低 4M 字的数据存储器组成个数据页, 用 0~进行标号。16 位指针。当 CPU 工作在 C2xLP 源-兼容模式时, 使用一个 7 位的偏移量, 并忽略 **DP** 寄存器的最低位。

堆栈指针（SP）：答应在数据存储器中使用软件堆栈。堆栈指针 SP 为 16 位，可以对数据空间的低 64K(2<sup>16</sup>)进行寻址。当使用 SP 时，将 32 位地址的高 16 位置为 0 (SP 高 16 位不可操作)。复位后 SP 指向地址 0000 0400H。（堆栈：1.堆栈从低地址向高地址增长。2.SP 老是指向堆栈中的下一个空域。3.复位时，SP 被初始化，它指向地址 H。4.将 32 位数值存入堆栈时，先存入低 16 位。5.当读写 32 位的数值时,C28xCPU 期望存储器或外设接口逻辑把读/写排成偶数地址。6.如果增加 SP 的值，使它超过 FFFFH，或者减少 SP 的值，使它低于 0000H，则解释 SP 曾经溢出。当数值存入堆栈时，SP 并不要求排成奇数或偶数地址。布列由存储器或外设接口逻辑完成。）

程序计数器（PC）：当流水线满时，22 位的程序指针老是指向流水线中到达译码的第 2 阶段的指令。一旦指令到达了流水线译码的第 2 阶段，它就不会再被停止从流水线中清除掉，而是在停止执行之前就被执行了。

#### 11、状态寄存器 1（ST1）：

VMAP，位 3，向量映射位，VMAP 决定 CPU 的中断向量（包括复位向量）被映射到程序存储器的最低地址还是最高地址。CPU 的中断向量映射到程序存储器的底部，地址是 h-0003FFh。

1: CPU 的中断向量映射到程序存储器的上部, 地址是 3FFFC0h-3FFFFFFh。

可使用 SETCVMAP 和 CLPCVMAP 指令对该位进行置位和清, 复位时 VMAP 被置位。

## 12、解释物理程序

X1/XCLKIN 振荡器输入信号

X2 振荡器输出信号

XF\_XPLLDIS 锁相环使能信号 (选择系统时钟源)

OSC 振荡器

SYSCCLKOUT 系统时钟

CLKIN 外部时钟

13、解释物理意义: XF\_PLLDIS (挑选系统时钟源) 当使用内部振荡器, 在 X1 和 X2 之间连接石英晶体, 使用外部振荡器, 输入时钟信号接在 X1, X2 悬空。

14、PLL 被禁止: 当 XPLLDIS , 则 PLL 被禁止, SYSCCLKOUT=XCLKIN

PLL 被旁路: PLL 被旁路, SYSCCLKOUT=XCLKIN/2

PLL 使能: 使能 PLL, 在 PLLCR 寄存器中写入一个非零值 n

$$\text{SYSCLKOUT} = (\text{XCLKIN} * n) / 2$$

16、设系统时钟 SCLKOUT, x mHz, 计数器走一步需多长时间? CPU 定时器一个周

溢出频次:

XXX

10<sup>6</sup>s

x

10<sup>6</sup>s

x 期

T ()

f

XXX

XXX

CLKOUT1

1

(TDDR 1) (PRD 1)



17、看门狗感化：（1）防止程序“跑飞”或进入死循环（2）程序“跑飞”或死循环后，定时器发出复位信号。

喂狗：不希望产生脉冲信号，需屏障计数器或用软件周期性地看向门狗复位控制寄存器写“0x55+0xAA”。

3 个变乱都可以使看门狗产生脉冲信号：（1）未实时“喂狗”使 8 位看门计数器溢出，受看门屏障位的控制（2）错误的“喂狗”方式（未精确对看门狗复位控制寄存器写入“0x55+0xAA”）（3）对看门狗控制寄存器（WDCR）的 WDCHK（2:0）位写入的不是“1,0,1”。18、喂狗周期公式：

第三章

OSCCLK

512/WDPS(2: 0)/WDCNT(7: 0)

1

喂狗周期=

WDCLK

WDCLK=

1、C28x 芯片具有 32 位数据地址和 22 位程序地址，总地址空间可达

址

4G 字节的数据空间和 4M 字节的程序空间。

## 2、片内 SARAM 的共同特点：

(1) 每个存储器块都可以被单独访问

(2) 每个存储器块都可映射到程序空间或数据空间，用以存放指令代码或存储数据变量。

(3) 每个存储器块在读/写访问时都可以全速运行，即等待状态为零等待。

### 片内 SARAM 的各自特点：

(1) 复位时，自动将堆栈指针 SP 设置在 M1 块的顶部地址 400h 处。(2) L0 和 L1 受到代码安全模块的保护。

**DARAM:** 片内双访问存储器，每个机器周期可被访问两次存储器。**3、片上 OTP:** 一次性可编程存储器，只能编程一次，不能擦除。**4、F2812CPU** 采用 32 位格式访问存储器或外设时，分配的地址必须是偶地址。如果操作的是奇地址，则 CPU 操作奇地址之前的偶地址。**5、F2812** 处理器的外部接口 (XINTF) 映射到 5 个独立的存储区域，使用三个片选信号。

**6、**外部存储器接口能配置各种参数，尽量不要将配置程序放在 XINTF 扩展的存储器空间中执行。

**7、**外设接口提供一个时钟输出 XCLKOUT，所有外部接口的访问都是在 XCLOCK 的上升沿开始。

8、对 XINTF 空间的读/写操作的时序都可分为三个阶段：建立(Lead)、激活 (Active) 和跟踪 (Trail)。(1) 在建立阶段，访问空间的片选信号为低电平有效，产生的地址放在地址总线上。(2) 激活阶段。F2812 访问外部设备读操作：读信号 XRD 低电平有效，数据锁存到 DSPs 中写操作：写信号 XWE 低电平有效，DSPs 数据放到数据总线上(3) 跟踪阶段。读/写信号 (XRD/WE) 变为高电平，而使片选信号仍然保持为低电平的一段时间。

#### 9、理解图的意义:SYSCLKOUT 和 XCLKOUT 的关系

所有的外部扩展访问都是以内部 XINTF 的时钟 XTIMCLK 为参考的，因此在配置 XINTF 时，首先要通过 XINTCNF2 寄存器配置 XTIMCLK。XTIMCLK 可以配置为两种情况：SYSCLKOUT 或者 SYSCLKOUT/2 (默认值)。外部接口还提供一个时钟输出信号 XCLKOUT，所有外部接口的访问都是在 XCLKOUT 的上升沿开始，可以通过 XINTCNF2 寄存器的 CLKMODE 位配置 XCLKOUT 的频率。

10、XREADY 信号检测方式：同步检测，XREADY 信号在激活状态竣事前一个 XTIMCLK 信号上升沿被采样；异步检测，XREADY 信号在激活状态竣事前的倒数第三个 XTIMCLK 信号上升沿时被采样。11、GPIO：当某个引脚被

配置成数字 I/O 时，引脚相应的外设功用（包括停止）必须被禁止。如采样窗口是 6 个采样周期宽度，那么只有 6 个采样数据相同时输出才会改变。感化：这个功用可以有效地消除毛刺脉冲对输入信号的干扰（抗干扰）。

12、解释：如果采样窗口是六个采样周期宽度，那么只有当 6 个采样数据相同时输出才会改变，有效消除毛刺脉冲对输入信号的影响。第四章

1、可屏蔽中断：这些中断可以用软件禁止或使能。

不可屏障停止：这些停止不能被禁止。CPU 将立即响应这类停止并执行相应的停止效劳子程序。所有软件的激发都属于不可屏障停止。2、C28x 系列芯片支持 32 个 CPU 级停止向量，包括复位向量。每个向量是一个 22 位的地址，该地址是相应停止效劳程序（ISR）的入口地址。每个向量被保存在两个地址连续的存储器单元中（每个存储单元为 16 位，两个共 32 位）。其中，该空间的低地址保存向量的低 16 位（LSBs），其高地址则以右对齐保存向量的高 6 位（MSBs）。3、清楚停止向量号和停止向量

4、VMAP 功能：向量表可以映像到程序空间的底部或顶部，这取决于状态寄存器 STI 中的向量映射位 VMAP，如果 VMAP 为使，向量就映像在以 00 0000h 开始的地址上，如果

其值是 1，向量就映像到以 3F XXX 开始的地址上。VMAP 位可以由 SETC VNAP 指令置 1，由 CLRCVMAP 清。VMAP 的复位值是 1。

5、C28x 不可屏蔽中断包括：（1）软中断（INTR 和 TRAP 指令）（2）硬件中断 NMI（3）非法指令陷阱（4）硬件复位中断（RS）6、复位操作：当复位输入信号 RS 产生后，CPU 就会进入一个确定状态。CPU 将放弃所有当前操作，清空流水线，并且 CPU 的寄存器进行复位，然后取出 RESET 中断向量，从而执行相应的中断服务程序。寄存器

DP

PC

位

所有

所有

复位后的值

0000h

3F FFC0h

说明

DP 指向数据页

PC 由地址 00

0000h 或 3F

XXX 的复位中

断向量赋值 SP 所有 0400hSP 指向地址

0400h

7、**PIE**:每个组有 8 个中断, 每个组都被反馈到 CPU 内核的 12 条中断信号线的一条上, 从而使整个 **PIE** 模块支持 96 个不同的中断。**C28xCPU** 支持 17 个 CPU 级硬件中断。非复用中断源直接反馈给 CPU。8、整个系统的中断分为 3 级:

### (1) 外设级停止

某个外设产生中断时, 与该事件相关的中断标志(**IF**)位会在这个外设的寄存器中置为 1.如果相应的中断使能(**IE**)位已经置位, 则外设向 **PIE** 控制器产生一个中断请求。

如果该中断在外设级使能无效, 则相应的 **IF** 位会一直保持直到用软件清除它为止。如果在以后使能该中断, 且中断标志仍然置位, 那么就会向 **XXX** 发出一个中断请求。

外设寄存器中的中断标志必须采用软件清除。

### (2) **PIE** 级中断

**PIE** 复用了 8 个外设和外部中断引脚向 CPU 申请中断。

这些停止被划分为 12 个组: **PIE** 组 1~**PIE** 组 12, 1 个组中的停止被多路复用进入 1 个 CPU 停止。

与 CPU 剩余的中断相连接的中断源不是多路复用的。对于非多路复用的中断而言，PIE 直接向 CPU 传送中断请求。对于多路复用的中断源，PIE 块中的每个中断组都有一个相关标志位  $PIEIFR_{x.y}$  和使能位  $PIEIER_{x.y}$ 。每个中断组( $INT1 \sim INT12$ )都有一个应答位  $PIEACK_x$ 。(3) CPU 级中断

一旦某个中断请求被送往 CPU，CPU 级中与  $INT_x$  相关的中断标志(IFR)位就被置位。该标志位被锁存在 IFR 后，CPU 不会马上就去执行相应的中断，而是等待 CPU 使能 IER 寄存器，或者使能 DBGIER 寄存器，并对全局中断屏蔽位 INTM 进行适当的使能。

9、物理含义：上面第二部分。

10、从外设到 CPU 的多路复用停止请求流程

(1) 任何 PIE 组里的外设和外部中断产生一个中断，加入外设中断已被使能，那么，该中断要求就被置入 PIE 模块

(2) PIE 模块识别 PIE 组  $x$  内已经录入的中断  $y$  ( $INT_{x.y}$ )，并且将相应的 PIE 中断标志位锁存： $PIEIFR_{x.y}=1$ 。

(3) 为了使能从 PIE 到 CPU 的停止，必须设置相应的停止使能位 ( $PIEIER_{x.y}=1$ )，同时地点 PIE 组的  $PIEACK_x$  位必须清。

(4) 如果步骤 (3) 中的两个条件为真, 那么就在 CPU 建立了一个停止要求, 相应位将再次被置位 ( $\text{PIEACK.x}=1$ )。PIEACK.x 位将一直坚持置位直至清除该位 (表示来自该组的其他停止能够从 PIE 传送至 CPU)。

(5) CPU 中断标志位置位 ( $\text{CPUIFRx}=1$ ) 以表示一个 CPU 级的未响应中断 x。

(6) 加入 CPU 中断能被使能 (CPU IER bitx=1 或 DBGIER bitx=1), 全局中断屏蔽被清除 ( $\text{INTM}=0$ ), 那么 CPU 将为  $\text{INTx}$  服务。

(7) CPU 识别这个中断并自动存放有关信息, 清除 IER 位, 设置 INTM, 清除 EALLOW。

(8) CPU 从 PIE 获得适当的向量。

(9) 对于复用停止, PIE 模块使用  $\text{PIEIERx}$  和  $\text{PIEIFRx}$  寄存器中的当前值来确定要使用的向量地址: 该组中最高优先级停止的向量被掏出, 并且被用作分支地址。这个停止在  $\text{PIEIERx}$  寄存器中使能, 在  $\text{PIEIFRx}$  中标示为未响应的停止。在这种情况下, 假如一个更高优先级的已使能停止在步骤 4 之后被标示, 它就会首先得到效劳; 如果该组中没有曾经标示的停止被使能, 那么 PIE 将响应当组中最高优先级的停止向量, 即用  $\text{INTx.1}$  作为分支地址, 这种操作相当于执行  $28x$  的



TRAP 或 INT 指令。从而 PIEIFRx.y 位被清除，CPU 转到从 XXX 掏出的停止向量里去执行。

11、F2812 支持 3 个外部可屏障停止：XINT1，XINT2，XINT13 第五章

1、TMS320F2812 芯片内部集成诸多片内外设，主要有：系统控制（包括存储器、时钟、低功耗模块、看门狗、CPU 定时器、GPIO 和外设帧等）、外设停止扩展（PIE）、外部接口扩展（XINTF）、引导模块（BootROM）、时间管理器（EV）、串行通信接口（SCI）、串行外设接口（SPI）、eCAN 总线模块、多通道缓冲串行口（McBSP）和模数转换模块（ADC）等。

2、F2812 提供了两个具有相同结构和功能的事件管理器模块 EVA 和 EVB。作用：多电机控制。每个事件管理器模块都包含通用定时器。全比较/PWM 单元、捕获单元及正交编码脉冲电路。

EVA/EVB 可分别提供 8 个 PWM 信号。

3、通用定时器功能：在控制系统中产生采样周期，为捕获单元、正交编码电路、比较单元和 PWM 产生电路提供时基。

（1）定时（2）产生 PWM 波形（3）为其他模块提供时钟

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/258124035043006051>