

# 带隙基准设计

## A.指标设定

该带隙基准将用于给 LDO 提供基准电压，LDO 的电源电压变化范围为 1.4V 到 3.3V，所以带隙基准的电源电压变化范围与 LDO 的相同。LDO 的 PSR 要受到带隙基准 PSR 的影响，故设计的带隙基准要有高的 PSR。由于 LDO 是用于给数字电路提供电源，所以对噪声要求不是很高。下表 该带隙基准的指标。

|                     |              |
|---------------------|--------------|
| 电源电压                | 1.4V~3.3V    |
| 输出电压                | 0.4V         |
| 温度系数                | 35ppm/°C     |
| PSR@DC, @1MHz       | -80dB, -20dB |
| 积分噪声电压 (1Hz~100kHz) | <1mV         |
| 功耗                  | <25uA        |
| 线性调整率               | <0.01%       |



$$V_{REF} = \frac{E_g}{q} + (4+m)V_T$$

在 27° 温度下，输出电压等于 1.185V，小于电源电压 1.4V，可这个电路并不能工作在 1.4V 电源电压下，因为对于带隙基准里的运放来说，共模输入范围会受到电源电压限制，电源电压的最小值为：

$$VDD_{\min} = V_{BE2} + V_{GS\_input\_differential\_pair} + V_{over\_drive\_of\_current\_source}$$

其中， $V_{BE2}$  是三极管  $Q_2$  的导通电压， $V_{GS\_input\_differential\_pair}$  是运放差分输入管对的栅源电压， $V_{over\_drive\_of\_current\_source}$  是运放差分输入管对尾电流源的过驱动电压。

对于微安级别的电流，可以认为：

$$V_{GS} \approx V_{TH}$$

这里将差分输入对的体和源级短接以减小失配，同时阈值电压不会受到体效应的影响。假设差分对尾电流源的过驱动电压为 100mV，那么，电源电压的最小值为：

$$VDD_{\min} = V_{BE2} + |V_{TH\_input\_differential\_pair}| + 100mV$$

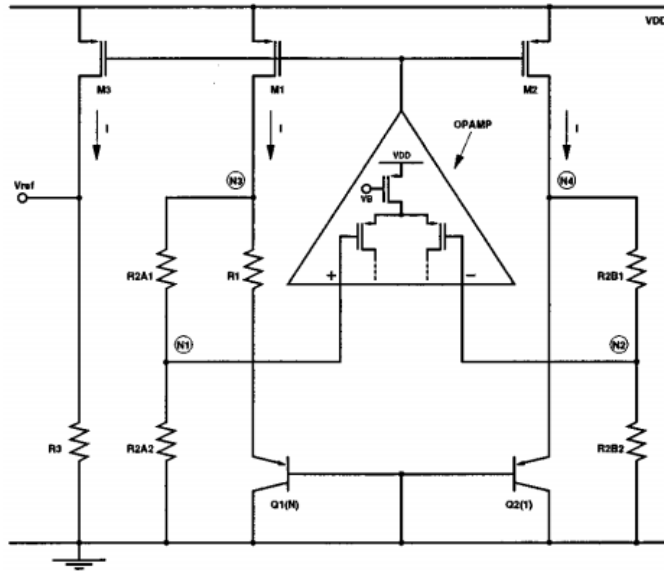
下表列出了 smic.13 工艺 P33 晶体管阈值电压和三极管的导通电压随 Corner 角和温度变化的情况：

| $V_{TH}$       | -40°   | 27°    | 80°    |
|----------------|--------|--------|--------|
| slow           | -826mV | -755mV | -699mV |
| typical        | -730mV | -660mV | -604mV |
| fast           | -637mV | -567mV | -510mV |
| BJT 的 $V_{BE}$ | -40°   | 27°    | 80°    |
| slow           | 830mV  | 720mV  | 630mV  |
| typical        | 840mV  | 730mV  | 640mV  |
| fast           | 860mV  | 750mV  | 660mV  |

可以计算出在不同温度的 Corner 角下电源电压的最小值：

| $VDD_{\min}$ | -40°   | 27°    | 80°    |
|--------------|--------|--------|--------|
| slow         | 1.756V | 1.575V | 1.429V |
| typical      | 1.67V  | 1.49V  | 1.344V |
| fast         | 1.597V | 1.417V | 1.27V  |

可以看出，对于大部分情况，1.4V 电源电压无法保证带隙基准中运放的正常工作，所以必须改进电路结构，使其可以工作在 1.4V 电源电压下。



上图是一种实用的低压带隙基准的结构，假设  $M_1 \sim M_3$  尺寸相同，同样假设：

$$R_{2A1} + R_{2A2} = R_{2B1} + R_{2B2} = R_2$$

那么，输出电压为：

$$V_{REF} = \left( \frac{V_T \ln N}{R_1} + \frac{V_{BE2}}{R_2} \right) R_3$$

如果输出电压为零温度系数，那么：

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE2}}{\partial T} \frac{R_3}{R_2} + \frac{k}{q} \ln N \frac{R_3}{R_1} = 0$$

得到：

$$\frac{k}{q} \ln N \frac{R_3}{R_1} = - \frac{V_{BE2} - (4+m)V_T - E_g / q}{T} \frac{R_3}{R_2}$$

带入：

$$V_{REF} = \left( \frac{V_T \ln N}{R_1} + \frac{V_{BE2}}{R_2} \right) R_3$$

得到：

$$V_{REF} = \left[ \frac{E_g}{q} + (4+m)V_T \right] \frac{R_3}{R_2}$$

可以通过设置  $R_3$  与  $R_2$  的比值，将输出电压设定在任意值。

误差放大器输入端在  $N_1$  和  $N_2$  处，通过将  $R_{2A1}/R_{2A2}$  设置为 1，将这两点电压设定为 BJT 导通电压的二分之一，计算出在不同温度和 Corner 角下电源电压的最小值：

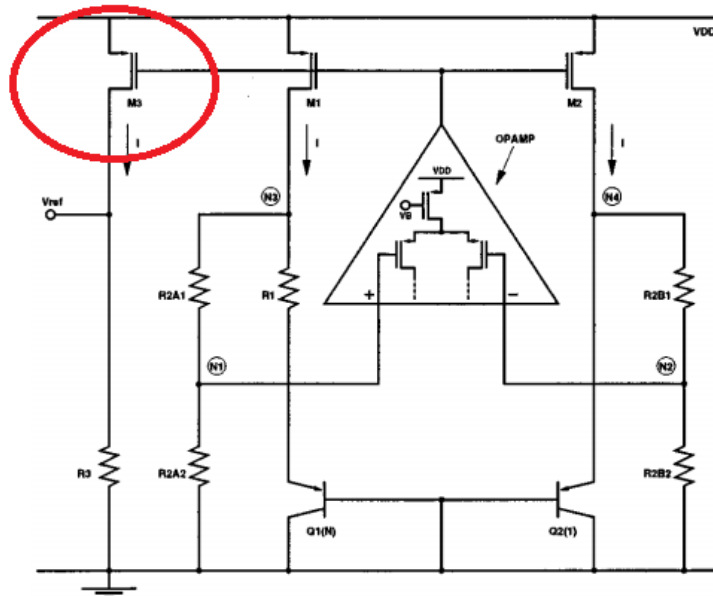
|              |             |            |            |
|--------------|-------------|------------|------------|
| $VDD_{\min}$ | $-40^\circ$ | $27^\circ$ | $80^\circ$ |
|--------------|-------------|------------|------------|

|         |        |        |        |
|---------|--------|--------|--------|
| slow    | 1.341V | 1.215V | 1.114V |
| typical | 1.25V  | 1.125V | 1.024V |
| fast    | 1.167V | 1.042V | 0.94V  |

可以看到，最坏情况出现在 Slow Corner 角低温下，电源电压最小值仍然小于 1.4V，意味着这种结构可以满足本次低压设计的要求。

$R_{2A1}/R_{2A2}$  越大，电源电压的最小值越低，不过带隙基准环路增益也变低了。

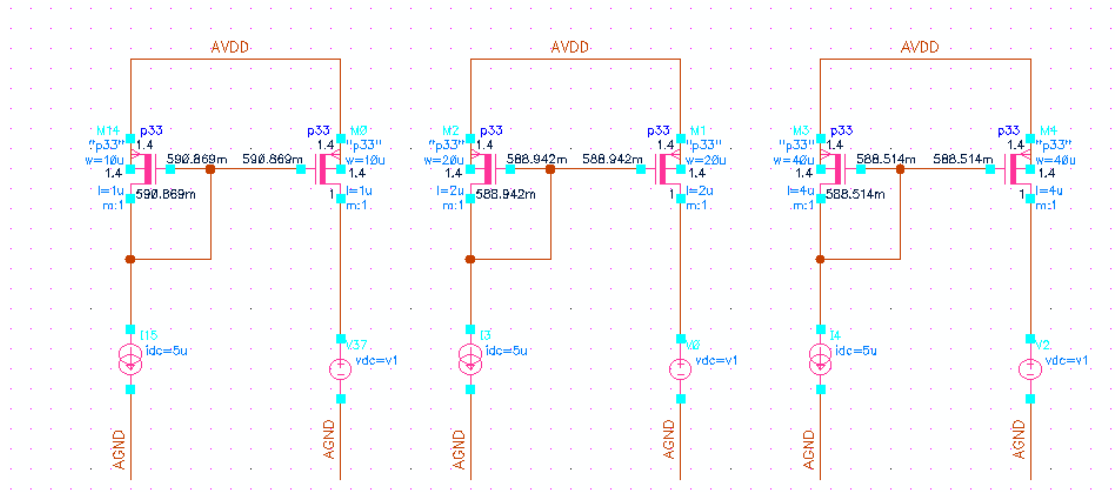
将  $R_3/R_2$  设置为 1，输出电压可以为 1.2V，但是这时候带隙基准的低频 PSR 会变差，为了提高低频 PSR，运放的增益要很高，但是在这种电路中，PSR 不仅与运放增益有关，还与输出级 PMOS 晶体管的输出电阻有关，如下图所示：



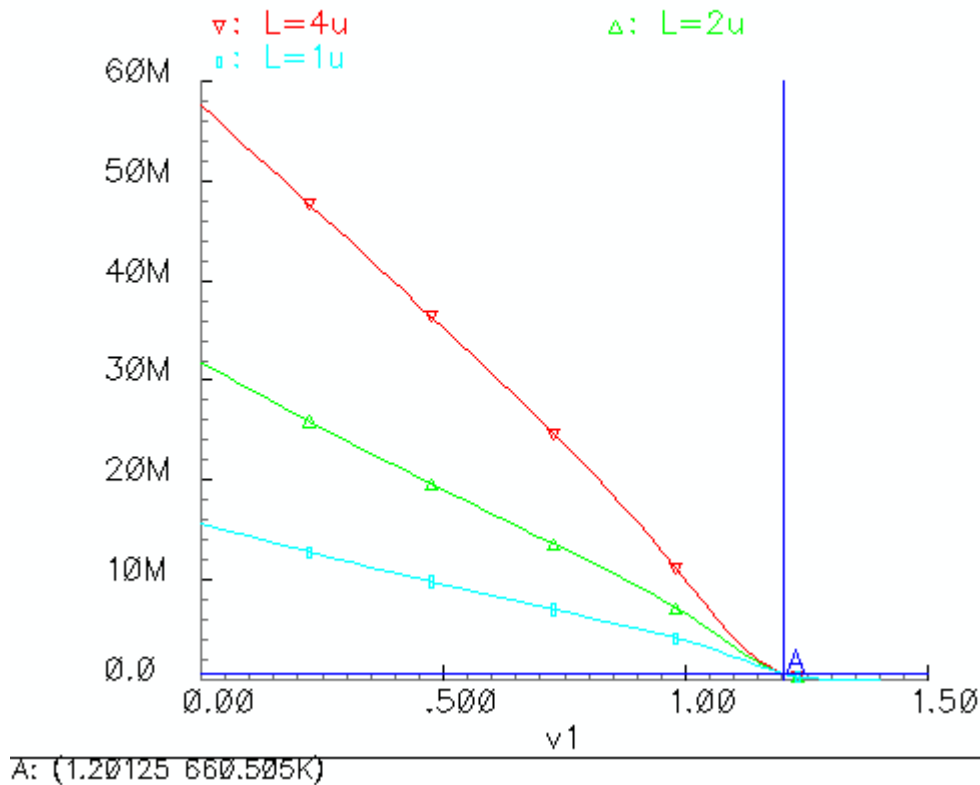
当 PMOS 晶体管  $M_3$  输出电阻足够小的时候， $M_3$  的栅源电压微小变化引起的电流变化与流过  $M_3$  小信号输出阻抗的电流相比可以忽略不计，那么此时可以近似认为  $M_3$  的栅源电压交流短路，那么，有：

$$PSR = \frac{\Delta V_{REF}}{\Delta V_{DD}} = \frac{R_3}{r_o}$$

其中  $r_o$  为 PMOS 晶体管  $M_3$  的小信号输出阻抗，这个输出阻抗与漏源电压有关系，将 PMOS 晶体管偏置电流设为 5uA，宽长比分三组，各为 10um/1um，20um/2um，40um/4um，电源电压设为 1.4V，漏端加一可变电压 V1，V1 从 0V 扫描到 1.4V，如下图所示：



测量 PMOS 晶体管  $M_0$ 、 $M_1$ 、 $M_4$  的小信号输出阻抗随  $V_1$  的变化关系，得到如下数据：



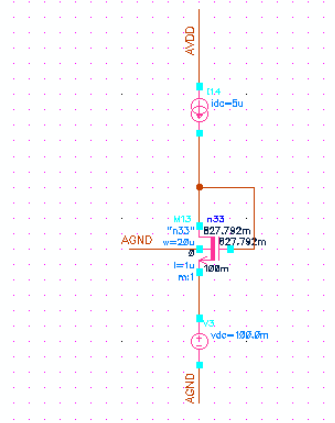
可以看到，晶体管的输出阻抗随漏源电压的增加而增加，随沟道长度的增加也变大，当  $V_1$  升高到 1.2V 时，三种沟道长度的晶体管的输出阻抗减小到大约 660k 的数值，一般来说， $R_3$  的数量级在 100k 左右，如果在电源电压为 1.4V 时，带隙基准输出 1.2V，那么，此时的 PSR 是：

$$PSR = \frac{\Delta V_{REF}}{\Delta V_{DD}} = \frac{R_3}{r_o} = \frac{100k}{660k} = -16dB$$

为了提高低频 PSR，就必须在尽可能提高运放增益的情况下，增加 PMOS 晶体管的小信号输出阻抗  $r_o$ ，这一措施首先是通过减小带隙基准输出电压来实现，带隙基准输出电压要接在 LDO 的误差放大器输入端，如果误差放大器使用 NMOS 管作为输入差分对，那么其共模输入电压至少为 NMOS 管的栅源电压加上尾电流源的过驱动电压：

$$V_{cm} = V_{GS} + V_{DSSAT}$$

用下图可以仿真出误差放大器最低共模输入电压的数值：



用 5uA 的电流偏置二极管连接的宽长比为 20um/1um 的 NMOS 管，将其源级用 100mV 的电压偏置，模拟尾电流源的过驱动电压，将体接到地上，测量晶体管栅极电压，这个电压大致等于误差放大器的最低共模输入电压，结果如下表：

| $V_{cm}$ | $-40^\circ$ | $27^\circ$ | $80^\circ$ |
|----------|-------------|------------|------------|
| slow     | 945mV       | 876mV      | 830mV      |
| typical  | 822mV       | 753mV      | 704mV      |
| fast     | 700mV       | 630mV      | 580mV      |

最坏情况发生在 Slow Corner 角低温情况，此时误差放大器共模输入电压为 0.945V，这就意味着如果用 NMOS 管作为误差放大器输入管，那么带隙基准输出电压不能低于 0.945V。但是这时候输出级 PMOS 晶体管的小信号输出阻抗已经变的很小，比如当  $L=2\mu m$  时，由上面的图可以看到，输出阻抗为大约为 7M 欧姆，此时 PSR 不是很高。所以误差放大器的输入管采用 PMOS 比较合适，为了提高匹配，降低噪声，PMOS 管的体和源级可以短接，进一步提高了最高共模输入电压。共模输入电压最多为电源电压减去 PMOS 管的栅源电压再减去尾电流源的过驱动电压：

$$V_{cm} = V_{DD} - V_{GS} - V_{DSSAT}$$

假设过驱动电压为 100mV,用同样的手段(宽长比 20um/1um,偏置电流 5uA)可以得到最高共模输入电压值:

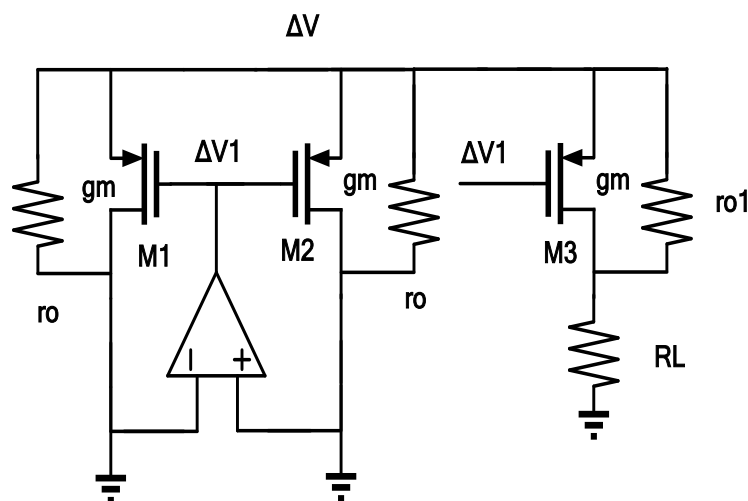
| $V_{cm}$ | -40°  | 27°   | 80°   |
|----------|-------|-------|-------|
| slow     | 383mV | 445mV | 492mV |
| typical  | 484mV | 548mV | 595mV |
| fast     | 585mV | 650mV | 699mV |

可以看到，最坏情况发生在 Slow Corner 角低温下，带隙基准输出电压必须低于 383mV 才能使所有 Corner 角都能满足误差放大器共模输入范围的要求。但是带隙基准输出电压越低，LDO 的噪声性能越差，故将带隙基准输出电压设置在 400mV，实际上，可以增加 PMOS 晶体管的宽长比，使在 Slow Corner 角低温下，最高共模输入电压大于 400mV 即可。

把带隙基准输出电压降低到 0.4V 左右,使 PMOS 晶体管漏源电压有较大的提高,提高了输出阻抗,如当  $L=2\mu\text{m}$  时,由上面的图可以看到,输出阻抗为大约为 23M 欧姆,从而提高了 PSR:

$$PSR = \frac{\Delta V_{REF}}{\Delta V_{DD}} = \frac{R_3}{r_o} = \frac{100k}{23M} = -47dB$$

这个数值还是不够高，必须寻找其它结构来提高 PSR。实际上，低频时，PMOS 晶体管栅极电压并不是与电源电压同步变化的，如果运放低频增益很高，那么，在低频时，可以认为晶体管  $M_1$ 、 $M_2$  的漏端电压不随电源电压变化，等效为接地，如下图所示：



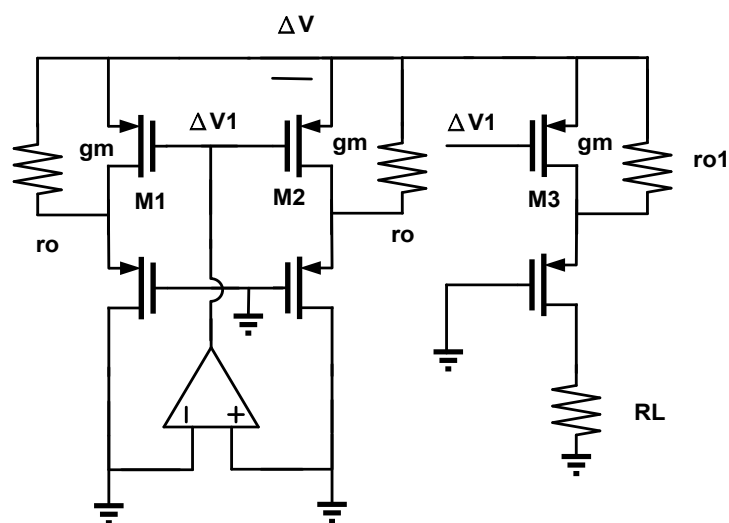
假设  $M_1$ 、 $M_2$ 、 $M_3$  尺寸一样，当电源电压变化  $\Delta V$  时，PMOS 晶体管  $M_1$ 、 $M_2$ 、 $M_3$  栅极电压变化了  $\Delta V_1$ ，对于  $M_2$ ，由基尔霍夫电流定律，可以得到：

$$gm(\Delta V - \Delta V1) + \Delta V / ro = 0$$

那么, 如果输出级 PMOS 晶体管的  $r_{ol}$  等于  $M_1$  和  $M_2$  的输出阻抗  $r_o$ , 那么流过  $R_L$  的电流将约等于零, PSR 会有很大的提高, 但是对于  $M_1$ 、 $M_2$ , 它们的漏极电压为 BJT 导通电压, 大约为 0.7V, 对于  $M_3$ , 由于输出电压为 0.4V, 它的漏极电压与  $M_1$ 、 $M_2$  显然不同, 所以:

$$rol \neq ro$$

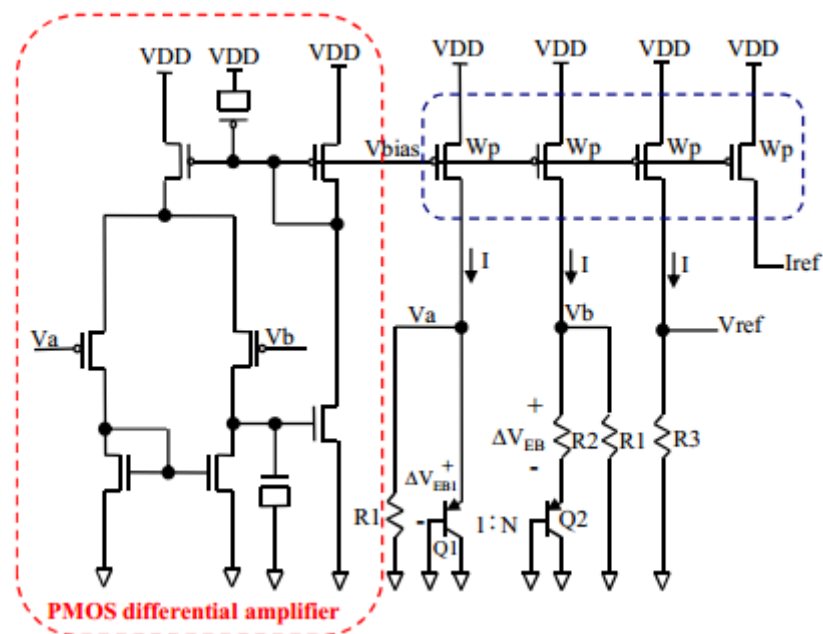
为了使它们相等，在晶体管  $M_1$ 、 $M_2$ 、 $M_3$  漏极加入一层 cascode 管，如下图所示：



这层 cascode 管强制使晶体管  $M_1$ 、 $M_2$ 、 $M_3$  的漏极电压相等，从而保证  $r_{o1}$  与  $r_o$  相等，提高了 PSR，由于输出电压为 0.4V，Cascode 管的栅极电压直接接地即可，省去了偏置电路，降低了额外的功耗。

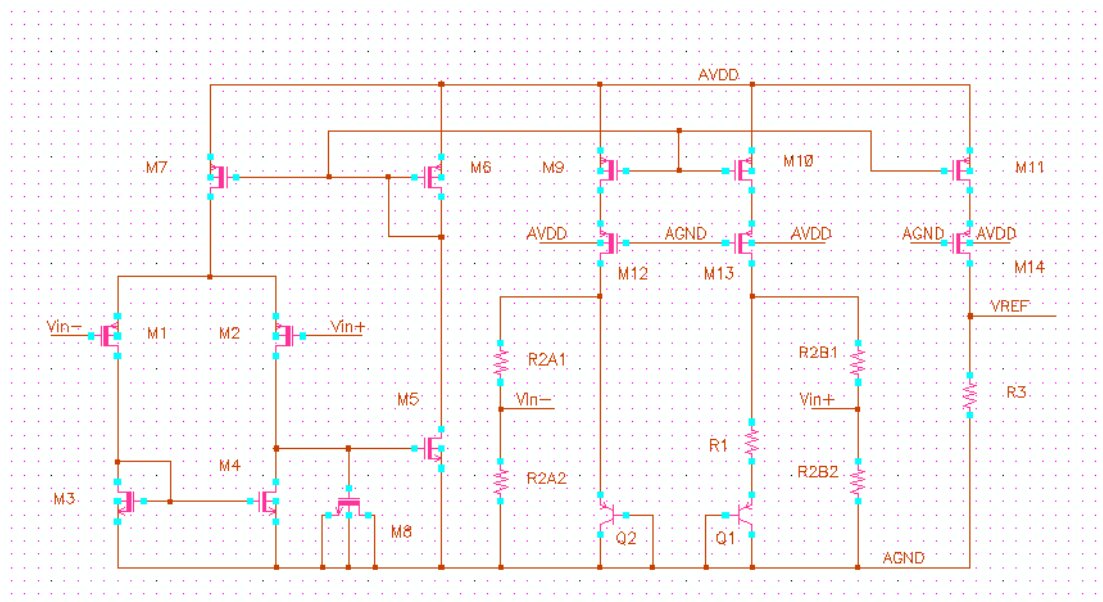
当然，这个结论是在运放增益足够大保证运放输入端电压的变化足够小，可以近似认为接地的条件下得出的，那么运放的设计要保证这个条件的成立。

为了使运放输入端对地电压基本不变，必须提高环路增益，由于电源电压变化范围在 1.4V 到 3.3V 内，当电源电压降至 1.4V 时，折叠式共源共栅放大器将不适用，可以采用两级运放，加 Miller 电容补偿，也可以采用如下形式的误差放大器结构：



这种结构中，在  $V_{bias}$  处有一个二极管连接形式的晶体管，它为带隙基准主电路和运放尾电流源提供偏置电压，当电源电压变化时，这个二极管栅极电压和电源电压同时变化，这样一来低频 PSR 会减小很多，该运放为单级运放，主级点在第一级输出端，非主级点在  $V_{bias}$  处而且在高频，只需在主级点处加电容即可保证稳定性。

帶隙基准结构（不包括启动电路）如下图所示：



### C.零温度系数设计

假 设  $M_9$ 、 $M_{10}$ 、 $M_{11}$  尺 寸 相 同 ， 且 :

$$R_{2A1} + R_{2A2} = R_{2B1} + R_{2B2} = R_2$$

那么，输出电压的表达式为：

$$V_{REF} = \left( \frac{V_T \ln N}{R_1} + \frac{V_{BE2}}{R_2} \right) R_3$$

若要得到零温度系数，那么根据前面推导过公式，有：

$$\frac{k}{q} \ln N \frac{R_3}{R_1} = - \frac{V_{BE2} - (4+m)V_T - E_g / q}{T} \frac{R_3}{R_2}$$

带入输出电压的表达式，得到：

$$V_{REF} = \left[ \frac{E_g}{q} + (4+m)V_T \right] \frac{R_3}{R_2} \approx 1.2V \times \frac{R_3}{R_2}$$

要得到 400mV 的输出电压，那么，得到：

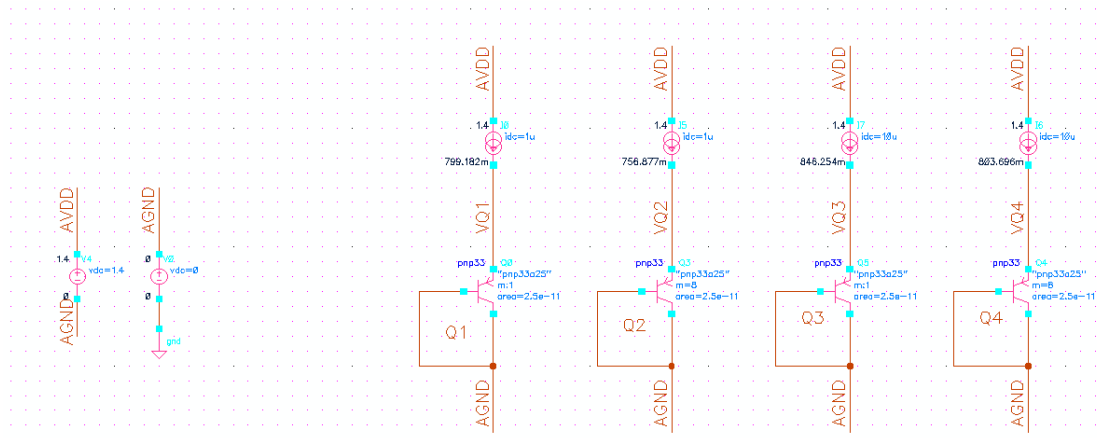
$$\frac{R_3}{R_2} \approx \frac{1}{3}$$

考虑版图布局的对称性，将 N 设为 8。

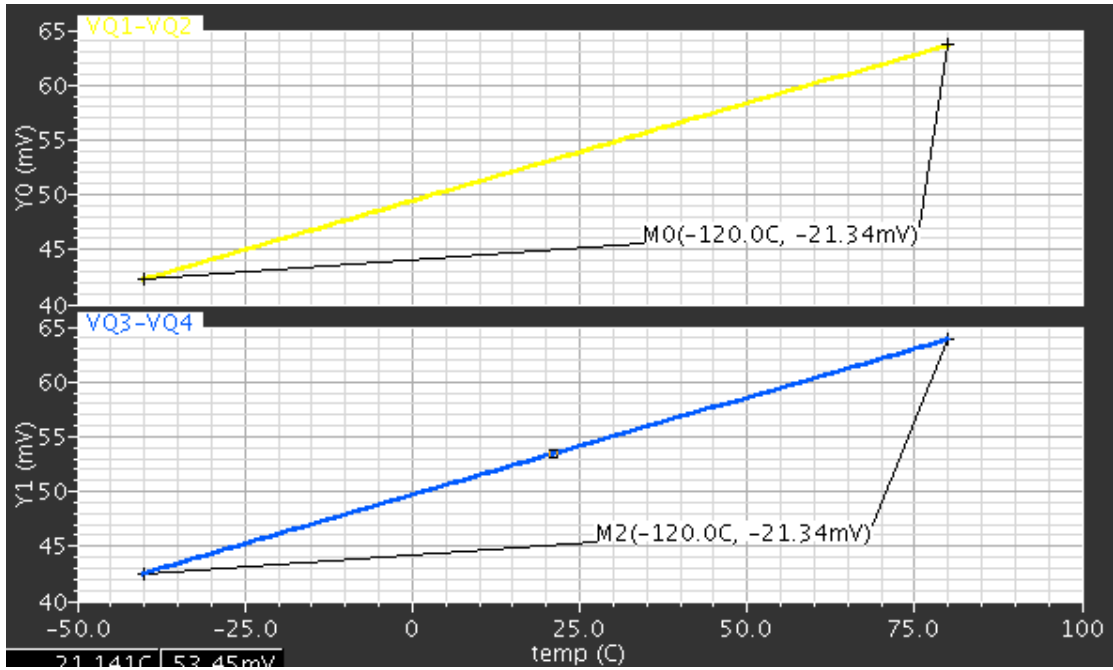
现在仿真正温度系数电压特性，理论值为：

$$\frac{k}{q} \ln N = \frac{1.38 \times 10^{-23}}{1.6 \times 10^{-19}} \ln 8 = 1.7935 \times 10^{-4}$$

用 smic.13um 的 PNP33 管，发射结面积用  $5 \times 5$  的，Q2 和 Q4 的 N=8，Q1 和 Q2 的 N=1，Q1 和 Q2 的偏置电流设在 1uA，Q3 和 Q4 的偏置电流设在 10uA，如下图所示：



温度从  $-40^\circ$  扫描到  $80^\circ$ ，测量 VQ1-VQ2 与 VQ3-VQ4 随温度变化的曲线，得到下图：



实测值为：

$$slpoe = \frac{21.34mV}{120C} = 1.7783 \times 10^{-4}$$

附上两个 Corner 角的数据：

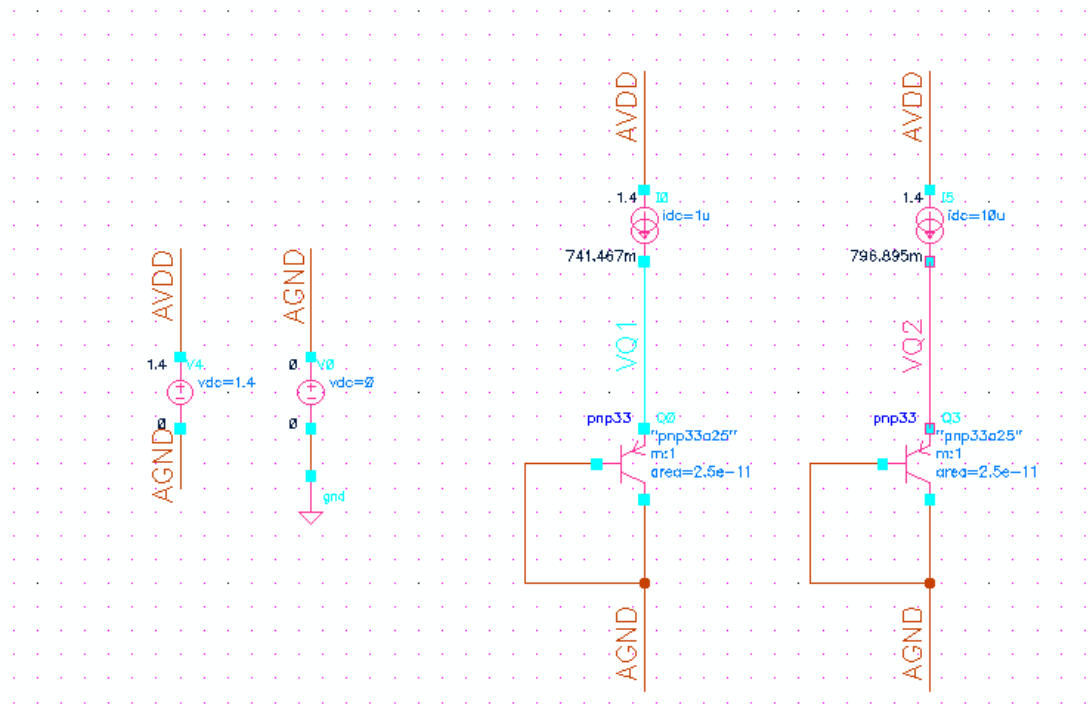
| Corner | slpoe                   |
|--------|-------------------------|
| fast   | $1.7942 \times 10^{-4}$ |
| slow   | $1.7633 \times 10^{-4}$ |

可以看出，正温度系数斜率几乎与偏置电流无关，与 Corner 角也无关，实测值与理论值基本吻合。

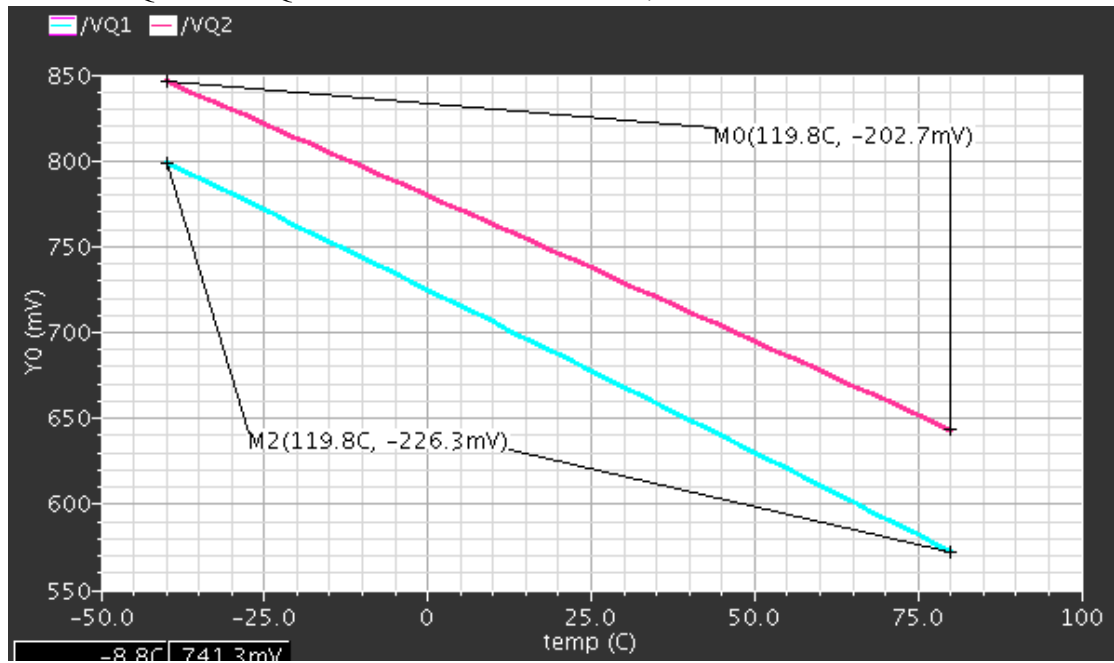
现在仿真  $V_{BE}$  的负温度系数，理论值为：

$$\frac{\partial V_{BE2}}{\partial T} = \frac{V_{BE2} - (4+m)V_T - E_g / q}{T}$$

其中， $m \approx -\frac{3}{2}$ ，假设  $V_{BE}$  为 0.7V，在 300K 时，可以计算出斜率为  $-1.6mV/K$ 。在所关心温度范围 ( $-40^\circ \sim 80^\circ$ ) 内求平均值，用 smic.13um 的 PNP33 管，发射结面积用  $5 \times 5$  的，Q1 和 Q2 的  $N=1$ ，偏置电流分别为 1uA 和 10uA，如下图所示：



测量 VQ1 和 VQ2 随温度变化的曲线，结果如下：



得到负温度系数为：

$$\frac{\partial V_{BE2}}{\partial T}_{I=1\mu A} = -1.89mV/K$$

$$\frac{\partial V_{BE2}}{\partial T}_{I=10\mu A} = -1.69mV/K$$

附上两个 Corner 角的数据：

| Corner  | 1uA       | 10uA      |
|---------|-----------|-----------|
| slow    | -1.9mV/K  | -1.7mV/K  |
| typical | -1.89mV/K | -1.69mV/K |

|      |             |             |
|------|-------------|-------------|
| fast | $-1.87mV/K$ | $-1.67mV/K$ |
|------|-------------|-------------|

可以看出，BJT 的负温度系数电压几乎不随 Corner 角变化，会随偏置电流变化，将带隙基准 BJT 的静态电流设在  $10\mu A$  以内，那么近似认为负温度系数为：

$$\frac{\partial V_{BE2}}{\partial T} = \frac{-1.89mV/K - 1.69mV/K}{2} \approx -1.8mV/K$$

由公式：

$$\frac{k}{q} \ln N \frac{R_3}{R_1} = -\frac{V_{BE2} - (4+m)V_T - E_g/q}{T} \frac{R_3}{R_2}$$

得到：

$$1.7783 \times 10^{-4} \times \frac{R_3}{R_1} = 1.8 \times 10^{-3} \frac{R_3}{R_2}$$

可以得到：

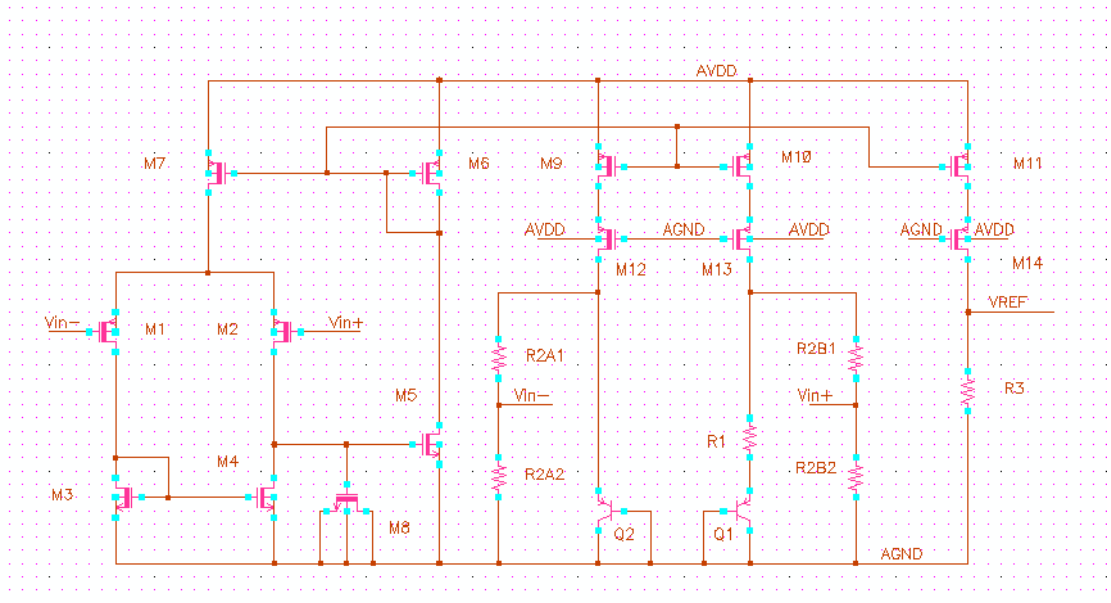
$$\frac{R_2}{R_1} = \frac{1.8 \times 10^{-3}}{1.7783 \times 10^{-4}} = 10.122 \approx 10$$

至此，我们得到了产生输出  $400mV$ 、具有零温度系数电压的带隙基准的电阻比例：

$$R_2 = 3R_3 = 10R_1$$

$$V_{REF} = \left( \frac{V_T \ln N}{R_1} + \frac{V_{BE2}}{R_2} \right) R_3 = \frac{10}{3} V_T \ln 8 + \frac{V_{BE2}}{3} \approx 400mV$$

电阻比例确定后，下一步是确定电阻的绝对数值，这涉及到功耗，噪声，面积的折衷，下面附上带隙基准电路图。

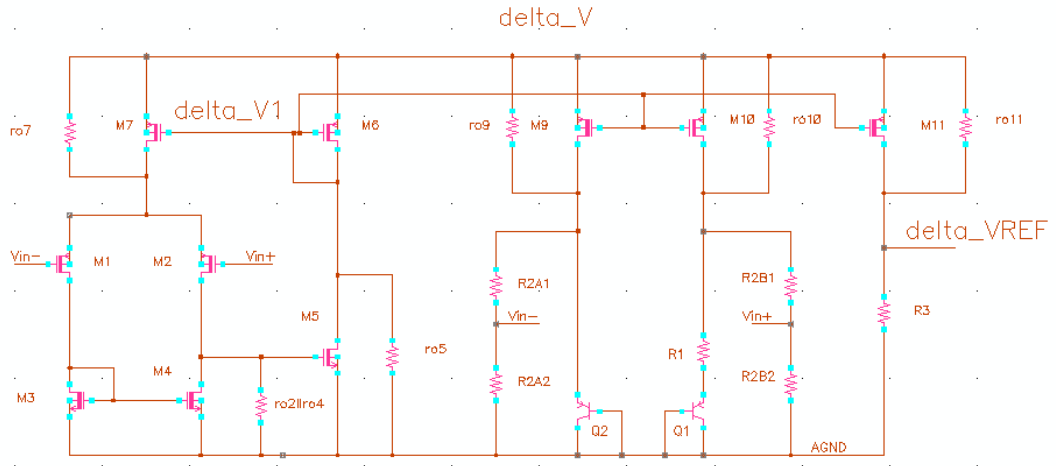


从上图中看出，带隙基准的偏置电流正比于流过晶体管  $M_9$ 、 $M_{10}$  的电流，而流过它们的电流等于：

$$I_{M_9} = \frac{V_{BE2}}{R_2} + \frac{V_T \ln N}{R_1} = \frac{1}{R_1} \left( \frac{V_{BE2}}{10} + V_T \ln 8 \right) = \frac{120mV}{R_1}$$

减小  $R_1$ ，可以减小带隙基准的面积，带来的坏处是功耗的增加，然而高的功耗可以减小带隙基准的噪声。

## D.PSRR 的设计



上图是小信号电路图，在分析 PSRR 时，假设电源电压变化了  $\Delta V$ ，可以计算出  $M_6$  栅极电压的变化量  $\Delta V_1$  和输出电压变化量  $\Delta V_{REF}$ ，那么：

$$PSRR = \frac{\Delta V_{REF}}{\Delta V}$$

由于晶体管  $M_{12}$ 、 $M_{13}$ 、 $M_{14}$  不决定各支路电流大小，故在计算 PSRR 时忽略这三个晶体管，同时另：

$$R_2 \parallel R_{Q2} = R_A$$

$$R_2 \parallel (R_1 + R_{Q1}) = R_B$$

当电源电压变化后，晶体管  $M_5$  栅极电压将发生变化，这个变化是由两条信号通路同时叠加引起，一条通路是：电源电压变化后，有小信号电流流入  $V_{in+}$  和  $V_{in-}$  节点，信号被运放放大后在  $M_5$  栅极产生一个电压  $\Delta V_{M5a}$ ，这个电压为：

$$\Delta V_{M5a} = - \frac{[(\Delta V - \Delta V_1)g_{m9} + \frac{\Delta V}{r_{o9}}] \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4})}{(1 + \frac{R_B}{r_{o9}})(1 + \frac{R_A}{r_{o9}})}$$

另一条通路是：电源电压变化后，有小信号电流通过  $M_7$  流入  $M_1$  和  $M_2$  源级，流入大小为  $1/g_{m4}$  的电阻后，在  $M_5$  栅极产生一个电压  $\Delta V_{M5b}$ ，这个电压为：

$$\Delta V_{M5b} = \left[ \frac{(\Delta V - \Delta V_1)g_{m7}}{2} + \frac{\Delta V}{2r_{o7}} \right] \frac{1}{g_{m4}}$$

在  $M_5$  漏端，根据基尔霍夫电流定律，有：

$$g_{m5}(\Delta V_{M5a} + \Delta V_{M5b}) + \frac{\Delta V_1}{r_{o5}} = g_{m6}(\Delta V - \Delta V_1)$$

联立上面三个方程组，得到下面公式：

$$\left[ \frac{(\Delta V - \Delta V_1)g_{m7}}{2} + \frac{\Delta V}{2r_{o7}} \right] \frac{g_{m5}}{g_{m4}} - \frac{\left[ (\Delta V - \Delta V_1)g_{m9} + \frac{\Delta V}{r_{o9}} \right] \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4})g_{m5}}{\left(1 + \frac{R_B}{r_{o9}}\right)\left(1 + \frac{R_A}{r_{o9}}\right)} + \frac{\Delta V_1}{r_{o5}} = g_{m6}(\Delta V - \Delta V_1)$$

得出：

$$\frac{\Delta V_1}{\Delta V} = \frac{\frac{(R_B - R_A)g_{m2}(r_{o2} \parallel r_{o4})g_{m5}}{2r_{o9}\left(1 + \frac{R_B}{r_{o9}}\right)\left(1 + \frac{R_A}{r_{o9}}\right)} - \frac{g_{m5}}{2r_{o7}g_{m4}}}{1 + \frac{g_{m9}\frac{(R_B - R_A)}{2}g_{m2}(r_{o2} \parallel r_{o4})g_{m5}}{g_{m6} + \frac{(1 + \frac{R_B}{r_{o9}})(1 + \frac{R_A}{r_{o9}})}{2g_{m4}}} - \frac{g_{m7}g_{m5}}{2g_{m4}}}$$

$$= \frac{1}{1 + \frac{r_{o5}\left(g_{m6} + \frac{g_{m9}\frac{(R_B - R_A)}{2}g_{m2}(r_{o2} \parallel r_{o4})g_{m5}}{(1 + \frac{R_B}{r_{o9}})(1 + \frac{R_A}{r_{o9}})} - \frac{g_{m7}g_{m5}}{2g_{m4}}\right)}{1}}$$

因为：

$$\frac{g_{m9}\frac{(R_B - R_A)}{2}g_{m2}(r_{o2} \parallel r_{o4})g_{m5}}{\left(1 + \frac{R_B}{r_{o9}}\right)\left(1 + \frac{R_A}{r_{o9}}\right)} \gg g_{m6} - \frac{g_{m7}g_{m5}}{2g_{m4}}$$

$$\frac{(R_B - R_A)g_{m2}(r_{o2} \parallel r_{o4})g_{m5}}{2r_{o9}\left(1 + \frac{R_B}{r_{o9}}\right)\left(1 + \frac{R_A}{r_{o9}}\right)} \gg \frac{g_{m5}}{2r_{o7}g_{m4}}$$

$$R_B \ll r_{o9}$$

$$R_A \ll r_{o9}$$

所以上面公式简化为：

$$\frac{\Delta V_1}{\Delta V} = \frac{1 + \frac{1}{g_{m9}r_{o9}}}{1 + \frac{1}{g_{m9}\frac{(R_B - R_A)}{2}g_{m2}(r_{o2} \parallel r_{o4})g_{m5}r_{o5}}}$$

从某种意义上说： $\frac{\Delta V_1}{\Delta V}$  越接近 1，PSRR 越大。由简化后的公式可以看到，除了增大运放开环增益  $g_{m2}(r_{o2} \parallel r_{o4})$

之外，还可以提高 $M_5$ 的本征增益 $g_{m5}r_{o5}$ 和 $M_9$ 的本征增益 $g_{m9}r_{o9}$ 。  
当：

$$g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5} \gg 1$$

和：

$$g_{m9}r_{o9} \gg 1$$

时，表达式化简为：

$$\frac{\Delta V_1}{\Delta V} = (1 + \frac{1}{g_{m9}r_{o9}})(1 - \frac{1}{g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5}}) \approx 1 + \frac{1}{g_{m9}r_{o9}} - \frac{1}{g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5}}$$

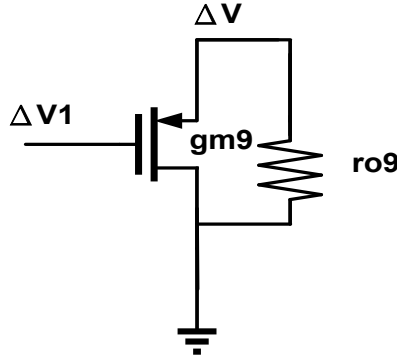
如果：

$$g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5} \gg g_{m9}r_{o9}$$

我们得到：

$$\frac{\Delta V_1}{\Delta V} = 1 + \frac{1}{g_{m9}r_{o9}}$$

也就是说即使 $g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5}$ 无穷大， $\Delta V_1$ 还是会变化，直观上可以这样理解：



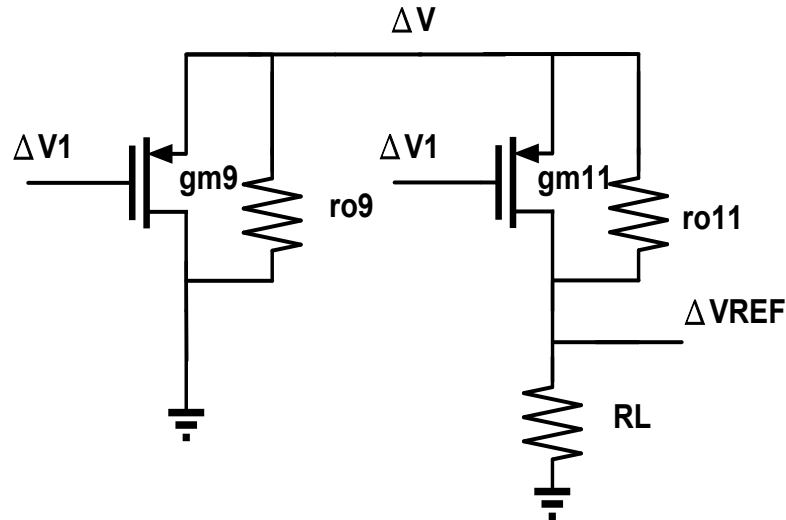
当 $g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5}$ 无穷大的时候， $M_9$ 漏端可以认为接地，那么流过 $M_9$ 的电流一定会流入 $r_{o9}$ ：

$$g_{m9}(\Delta V - \Delta V_1) + \frac{\Delta V}{r_{o9}} = 0$$

所以：

$$\frac{\Delta V_1}{\Delta V} = 1 + \frac{1}{g_{m9}r_{o9}}$$

现在分析输出端，如下图所示：



假设输出晶体管  $M_{11}$  的跨导为  $g_{m11}$ ，输出阻抗为  $r_{o11}$ ，假设  $R_L \ll r_{o11}$ ，那么我们可以得到公式：

$$\frac{\Delta V}{r_{o11}} + (\Delta V - \Delta V_1)g_{m11} = \frac{\Delta V_{REF}}{R_L}$$

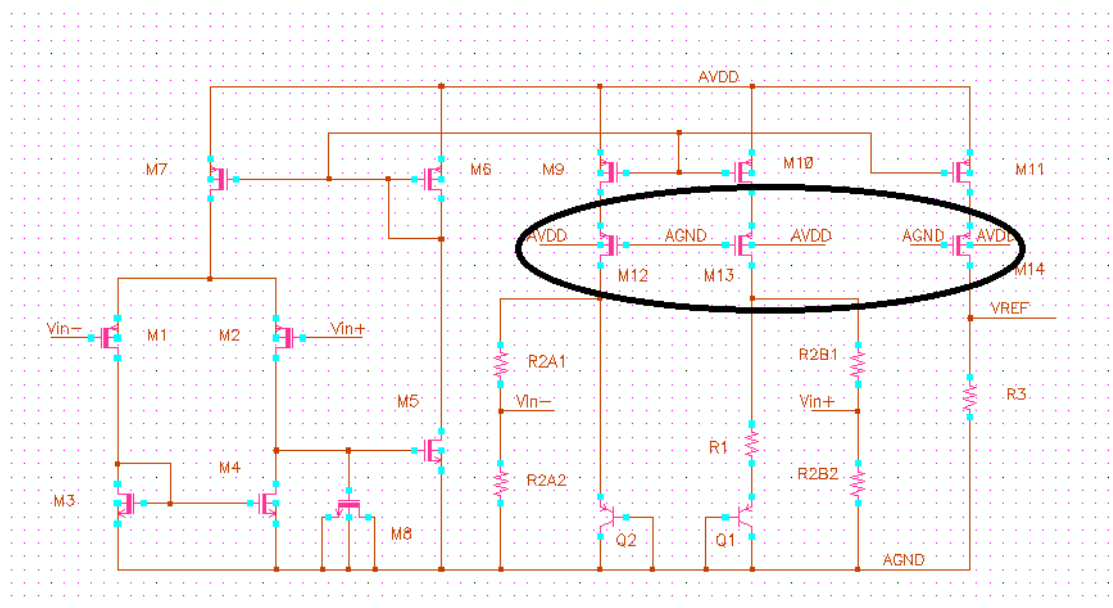
可以得到 PSRR 表达式：

$$PSRR = \frac{\Delta V_{REF}}{\Delta V} = R_L \left( \frac{1}{r_{o11}} - \frac{g_{m11}}{g_{m9}r_{o9}} \right) = g_{m11}R_L \left( \frac{1}{g_{m11}r_{o11}} - \frac{1}{g_{m9}r_{o9}} \right)$$

这个表达式告诉我们一个重要结论：当：

$$g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5}r_{o5}$$

足够大的时候，PSRR 主要由  $M_9$ （还有  $M_{10}$ ）和  $M_{11}$  的匹配程度决定，这也就是为什么要加一层 cascode 管（下图黑色圈内部分）的原因。

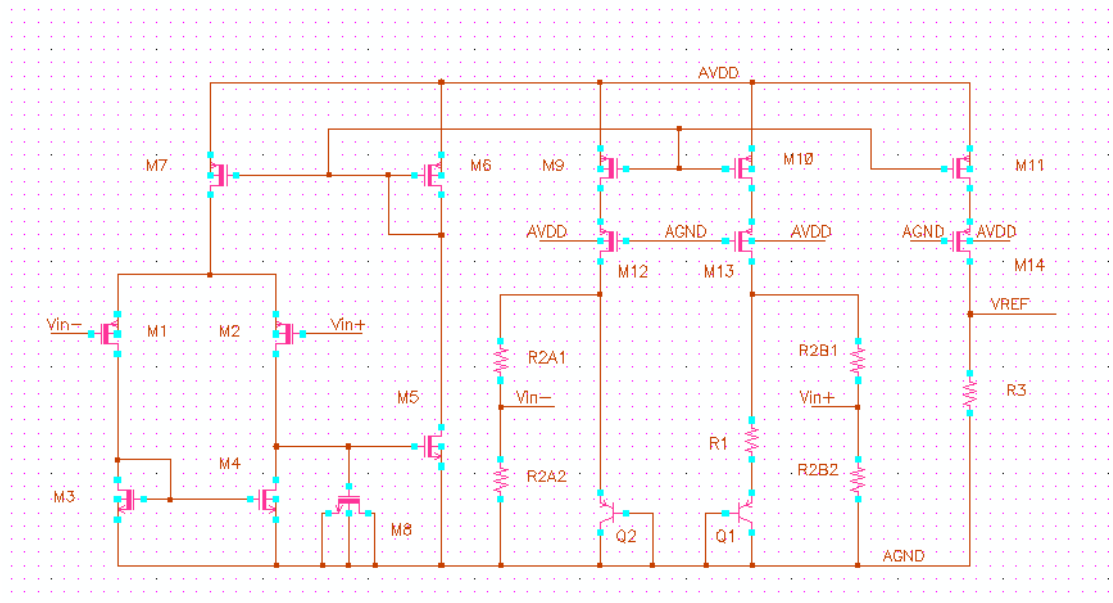


加入 cascode 管以后，晶体管  $M_9$ 、 $M_{10}$ 、 $M_{11}$

漏端电压近似相等，那么它们的小信号输出阻抗的差距就不是很大，跨导也近似相等，所以 PSRR 会升高。

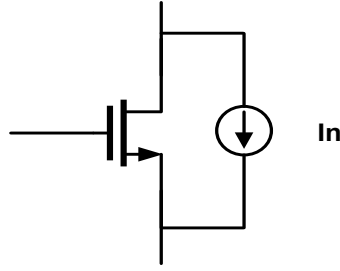
综合以上分析，可以看到，提高 PSRR 的手段主要由三个，一是带隙基准要具有足够大  $g_{m9} \frac{(R_B - R_A)}{2} g_{m2}(r_{o2} \parallel r_{o4}) g_{m5} r_{o5}$ ，这主要是通过提高运放增益和  $M_5$  的本征增益来实现，二是提高  $M_9$  和  $M_{10}$  的本征增益，三是提高晶体管  $M_9$ 、 $M_{10}$ 、 $M_{11}$  的匹配，可以通过加入 cascode 管使其漏源电压相等和增加  $M_9$ 、 $M_{10}$ 、 $M_{11}$  的面积减小随机失配两种途径来实现。

## E. 噪声的考虑



带隙基准的噪声主要是指中低频 ( $1\text{Hz} \sim 100\text{kHz}$ ) 的噪声，高于这个频段的噪声会被电容滤掉，实际上如果带隙基准外接  $\mu\text{F}$  量级的片外电容，那么只需考虑  $1\text{kHz}$  一下的低频噪声。上图中，由于晶体管  $M_5$ 、 $M_6$ 、 $M_7$  产生的噪声电流在  $M_5$  漏端产生的噪声电压要比晶体管  $M_1 \sim M_4$  的噪声电压在  $M_5$  漏端产生的噪声电压小  $g_{m5}(r_{o2} \parallel r_{o4})$  倍，所以晶体管  $M_5$ 、 $M_6$ 、 $M_7$  的噪声可以忽略不计；此外，晶体管  $M_{12}$ 、 $M_{13}$ 、 $M_{14}$  产生的噪声电压在中低频范围内被强源级负反馈抑制掉，所以也可以忽略不计下面计算带隙基准的噪声。

MOS 管的噪声可以用一个与其并联的电流源来表示，如下图：



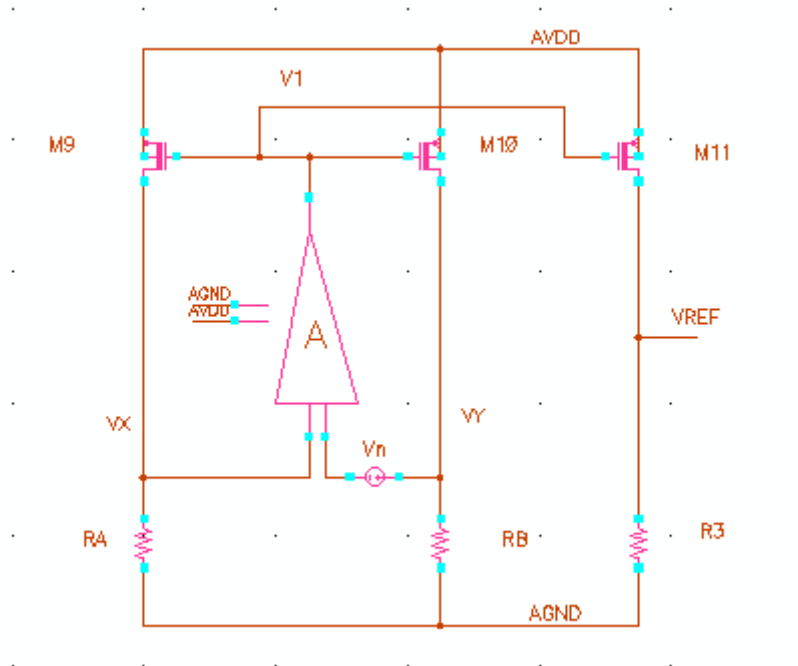
单位  $Hz$  的平均功率电流为：

$$\overline{i_n^2} = 4kT\gamma g_m + \frac{K}{C_{ox}WL} \frac{1}{f} g_m^2$$

第一项为热噪声，第二项为  $1/f$  噪声，其中  $\gamma$  和  $K$  是与工艺有关的常数。运放产生的等效输入噪声电压（实际为电压的平方，表示在 1 欧姆电阻上产生的噪声功率）为：

$$\overline{V_n^2}|_{OTA} = (4kT\gamma \frac{1}{g_{m1}} + \frac{K}{C_{ox}W_1L_1} \frac{1}{f}) + (4kT\gamma \frac{1}{g_{m2}} + \frac{K}{C_{ox}W_2L_2} \frac{1}{f}) + [(4kT\gamma \frac{1}{g_{m3}} + \frac{K}{C_{ox}W_3L_3} \frac{1}{f}) + (4kT\gamma \frac{1}{g_{m4}} + \frac{K}{C_{ox}W_4L_4} \frac{1}{f})] \frac{g_{m4}^2}{g_{m2}^2}$$

现在求这个噪声电压到输出端的增益，如下图所示：



假设  $g_{m9}$  等于  $g_{m10}$ ，另：

$$R_2 \parallel R_{Q2} = R_A$$

$$R_2 \parallel (R_1 + R_{Q1}) = R_B$$

由基尔霍夫电流定律：

$$-g_{m9}V_1R_B - V_n + g_{m9}V_1R_A = \frac{V_1}{A}$$

得到：