

晶体管的发明：当代半导体产业伴随着 1947 年 12 月 16 日在贝尔电话实验室固态晶体管的发明而诞生，发明者是威廉·肖克利、约翰·巴丁和沃尔特·布拉顿。

集成电路（IC）的发明：由仙童半导体公司的罗伯特·诺伊思和德州仪器公司的杰克·基尔比于 1959 年分别独自发明。

电路集成	半导体产业周期	每个芯片元件数
没有集成（分离元件）	1960 年之前	1
小规模集成电路（SSI）	20 世纪 60 年代前期	2 至 50
中规模集成电路（MSI）	20 世纪 60 年代到 70 年代前期	20 至 5000
大规模集成电路（LSI）	20 世纪 70 年代前期到 70 年代后期	5000 至 100000
超大规模集成电路（VLSI）	20 世纪 70 年代后期至 80 年代后期	100000 至 1000000
甚大规模集成电路（ULSI）	20 世纪 90 年代后期至今	大于 1000000

集成电路的发展时代

集成电路的制造步骤：1、硅片制备；2、硅片制造；3、硅片测试/拣选；4、装配与封装；5、终测。

关键尺寸 CD，技术节点：芯片上的物理尺寸特征被称为特征尺寸，硅片上的最小特征尺寸称为关键尺寸或 CD。半导体产业使用技术节点描述在硅片制造中使用的可应用 CD。

摩尔定律 1964 年，戈登·摩尔预言在一块芯片上的晶体管数大约每隔一年翻一番。（1975 年被修改为每 18 个月翻一番）

电子时代阶段 20 世纪 50 年代晶体管技术；20 世纪 60 年代工艺技术；20 世纪 70 年代竞争；20 世纪 80 年代自动化；20 世纪 90 年代批量生产。

第二章

材料分类：根据流经材料电流的不同可分为三类材料：导体，绝缘体，半导体。

硅的优点，被选为主要半导体材料的原因：主要有四个理由：硅的丰裕度；更高的融化温度允许更宽的工艺容限；更宽的工作温度范围；氧化硅的自然生成。硅的掺杂剂：通常用于掺杂 III A 族和 V A 族元素。P 型—价带空穴数大于导带电子数，n 型—导带电子多余价带空穴，多子—多数载流子，少子—少数载流子，pn 结—是在两部分本质相同的材料之间形成的。

三类常用半导体材料：硅，锗，砷化镓

第三章

模拟电路，数字电路

结工作原理：1、反偏 pn 结二极管：即加反向偏压的 pn 结二极管其反偏的偏转形式致使通过二极管的电流很小，甚至没有电导；2、正偏 pn 结二极管：电路中 n 区电子从偏压电源负极被排斥。多余的电子从负极注入到充满空穴的左端，是 n 区中留下电子的空缺。同时，p 区的空穴从偏压电源正极被排斥。由偏压电源正极提供的空穴中和了由偏压电源负极提供的电子。空穴和电子在结区复合以及克服势垒电压很大大地减小了阻止电流的行为。只要偏压对二极管能维持一个固定的空穴和电子注入，电流就将持续地通过电路。为了克服势垒，电子和空穴向结方向吸引。

双极晶体管工作原理:BJT 有三电极和两个 pn 结，整个晶体管从一个单一的半导体衬底开始构成。当晶体管处在发射结正偏、集电结反偏的放大状态，发射区向基区注入电子，电子在基区中边扩散边复合，电子被集电区收集，集电结少子漂移，实现对电流的放大。

MOSFET 工作原理：每种 MOSFET 都有一个输入电极称为栅极。nMOSFET 用电子作为多数载流子，因而沟道为 n 型；沟道为 p 型的 pMOSFET 用空穴作为多数载流子。在没有导电的状态下，沟道是由称为阱的相反掺杂类型区域构成的开路。n 沟道 MOSFET 在 p 阱内形成，而 p 沟道 MOSFET 在 n 阱中形成的。在导电状态下，阱上部分的相反电荷从栅氧化物界面离开，一条多数载流子从源极的流动形成电流。

第四章

SGS 过程，方程式：1、用碳加热硅石来制备冶金级硅： $\text{SiC (s)} + \text{SiO}_2 \text{ (s)} \rightarrow \text{Si (l)} + \text{SiO (g)} + \text{CO (g)}$ 2、通过化学反应将冶金级硅提纯以生成三氯硅烷： $\text{Si (s)} + 3\text{HCl (g)} \rightarrow \text{SiHCl}_3 \text{ (g)} + \text{H}_2 \text{ (g)}$ + 加热 3、利用西门子方法，通过三氯硅烷和氢气反应来生产 SGS： $2\text{SiHCl}_3 \text{ (g)} + 2\text{H}_2 \text{ (g)} \rightarrow 2\text{Si (s)} + 6\text{HCl (g)}$ 。

单晶硅生长方法：CZ 法和区熔法。

硅片制备过程：晶体生长→整型处理→切片→磨片倒角→刻蚀→抛光→清洗→硅片评估→包装

第五章

物质的四种形态：固态，液态，气态，等离子态。

华氏温标 (F)，摄氏温标 (C) 与绝对温度 (K) 转换： $F=9/5C+32$ ； $K=C+273$

压强单位体系：标准压强 0psig，绝对压强 14.7psia，大气压 14.7psi，水银柱 29.92 英寸/760 毫米，760 托，760000 毫托，1.013 巴，1013 毫巴，101325 帕斯卡

第六章

颗粒、金属杂质、有机物沾污、自然氧化层、静电释放（ ）

：金属离子在半导体材料中是高度活动性的，被称为可动离子沾污（MIC），当 MIC 引入到硅片中时，在整个硅片中移动，严重损害器件电学性能和长期可靠性，未经处理过的化学品中得钠是典型的、最为普遍的 MIC 之一。

ESD：静电释放（ESD）是静电荷从一个物体向另一物体未经控制的转移，可能损坏微芯片。

ESD 带来的问题：几个纳秒内静电释放能产生超过 1A 的峰值电流，简直可以蒸发金属导体连线并穿透氧化层，也可能成为栅氧化层击穿的诱因。一旦硅片表面有了电荷积累，它产生的电场就能吸引带电颗粒或极化并吸引中性颗粒到硅片表面。

微环境：是指在硅片和净化间环境不位于同一工艺室时，通过一个屏蔽来隔离它们所创造出来的局部环境。

硅片湿法清洗，配方，原理，步骤：H₂SO₄/H₂O₂(piranha)有机物和金属；UPW 清洗（超纯水）清洗；HF/H₂O(稀 HF)自然氧化层：UPW 清洗；SC-1 颗粒；UPW 清洗；HF/H₂O 自然氧化层；UPW 清洗；SC-2 金属；UPW 清洗；HF/H₂O 自然氧化层；UPW 清洗；干燥。—SC-1：NH₄OH/H₂O₂/H₂O 按 1:1:5 到 1:2:7 的配比混合。是碱性溶液，能去除颗粒和有机物质。对于颗粒，主要通过氧化颗粒或电学排斥起作用。

—SC-2：HCl/H₂O₂/H₂O 按 1:1:6 到 1:2:8 的配比混合。用于去除硅表面的金属，必须用高氧化能力和低 pH 值的溶液。金属成为离子溶于具有强烈氧化效应的酸液中。

—piranha：它联合使用硫酸和过氧化氢去除硅片表面的有机物和金属杂质。最长见的组分是 7 份浓缩 H₂SO₄ 和 3 份 H₂O₂。

第九章

硅片制造分区：硅片制造厂可以分为 6 个独立的分区：扩散（包括氧化、膜淀积和掺杂工艺）、光刻、刻蚀、薄膜、离子注入和抛光。

CMOS 制作步骤如下：1、双阱工艺；2、浅槽隔离工艺；3、多晶硅栅结构工艺；4、轻掺杂漏（LDD 注入工艺；5、侧墙的形成；6、源/漏（S/D）注入工艺；7、接触孔的形成；8、局部互连工艺；9、通孔 1 和金属塞 1 的形成；10、金属 1 互连的形成；11、通孔 2 和金属塞 2 的形成；12、金属 2 互连的形成；13、制作金属 3 直到制作压点及合金；14、参数测试。

浅槽隔离工艺：浅槽隔离（STI）是在衬底上制作的晶体管有源区之间隔离区的一种可选工艺。可分为三个主要步骤：槽刻蚀、氧化物填充、氧化物平坦化。槽刻蚀：1、隔离氧化层；2、氮化物淀积；3、第三层掩膜，浅槽隔离；4、STI 槽刻蚀。STI 氧化物填充：1、沟槽衬垫氧化硅；2、沟槽 CVD 氧化物填充。氧化物平坦化：抛光是最有效的一种平坦化技术，STI

、沟槽氧化物抛光（化学机械抛光）；2、氮化物去除。

多晶硅栅结构工艺：晶体管中栅结构的制作是流程当中最关键的一步，因为它包括了最薄的栅氧化层的热生长以及多晶硅栅的刻印和刻蚀，而后者是整个集成电路工艺中物理尺度最小的结构。多晶硅栅的宽度通常是整个硅片上最关键的 CD 线宽。

多晶硅栅结构制作的基本步骤：1、栅氧化层的生长；2、多晶硅淀积；3、第四层掩膜，多晶硅栅；4、多晶硅栅刻蚀。

局部互连工艺：晶体管以及其他钛硅化物之间布金属连接线，所用到的方法称为局部互连（LI）。形成局部互连氧化硅介质的步骤：1. 氮化硅化学气相淀积 2. 掺杂氧化物的化学气相淀积 3. 氧化层抛光 4 第九层掩膜，局部互连刻蚀。制作局部互连金属的步骤：1 金属钛淀积（PVD 工艺）；2 氮化钛淀积；3 钨淀积（化学气相淀积工艺平坦化）；4 磨抛钨。

大马士革：先淀积一层介质薄膜，接下来是化学机械抛光，刻印，刻蚀和钨金属淀积，最后以金属层抛光结束。最终在硅片表面得到一种类似精致的镶嵌首饰或艺术品的图案。

第十章

热预算：工艺中硅曝露需要的热能（如将温度乘以时间）称为热预算。

氧化膜的用途：1、保护器件免划伤和隔离沾污；2、限制带电载流子场区隔离（表面钝化）；3、栅氧或储存器单元结构中的介质材料；4、掺杂中的注入掩蔽；5、金属导电层间的介质层。

干法氧化、湿法氧化方程式：1、如果生长发生有干氧，也就是没有水汽的氛围里，则化学反应方程式为： $\text{Si}(\text{固}) + \text{O}_2(\text{气}) \rightarrow \text{SiO}_2(\text{固})$ 2、当反应中有水汽参与，即湿氧化时，氧化反应速率会大大加快。湿氧的化学反应方程式为： $\text{Si}(\text{固}) + 2\text{H}_2\text{O}(\text{水汽}) \rightarrow \text{SiO}_2(\text{固}) + 2\text{H}_2(\text{气})$

膜的特点：在氧化生长中，湿氧反应会产生一层二氧化硅膜和氢气。然而反应生成的氢分子会束缚在固态的二氧化硅层内，这使得氧化层的密度比干氧要小。这种情况可以通过在惰性气体中加热氧化来改善，以得到与干氧化生长相类似的氧化膜结构和性能。

氧化物生长速率：氧化物生长速率用于描述氧化物在硅片上生长的快慢。影响它的参数有温度、压力、氧化方式（干氧或湿氧）、硅的晶向和掺杂水平。

生长阶段：氧化物由两个生成阶段描述：线性阶段和抛物线阶段。1、二氧化硅生长的最初阶段是线性阶段，硅片表面上硅的消耗与时间呈线性关系。氧化物生长线性阶段的有效性是氧化物的厚度大约生长到 150 \AA 左右。用线性等式描述为： $X = (B/A) t^2$ 、氧化生长的抛物线阶段是氧化生长的第二阶段，而且是在氧化物厚度大约 150 \AA 以后才开始的。用于描述抛

LOCOS 硅片上的选择性氧化区域是利用二氧化硅来实现对硅表面相邻器件之间的电隔离。

传统的 0.25 μm 工艺以上的器件隔离方法是硅的局部氧化 (locos) 用淀积氮化物膜作为氧化阻挡层, 热氧化后, 氮化物和任何掩膜下的氧化物都被去除, 露出裸露的硅表面。工艺:

1、氮化硅淀积; 2、氮化硅掩蔽与刻蚀; 3、硅的局部氧化; 4、氮化硅去除。

鸟嘴效应: 当氧扩散穿越已生长的氧化物时, 他是在各个方向上扩散的。一些氧原子纵向扩散进入硅, 另一些氧原子横向扩散。这意味着在氮化物掩膜下有着轻微的侧面氧化生长。由于氧化层比消耗的硅更厚, 所以在氮化物掩膜下的氧化生长将抬高氮化物的边缘, 我们成为鸟嘴效应。

浅槽隔离: (STI) 用于亚 0.25 μm 工艺的选择性氧化的主要技术, sti 氧化硅衬底步骤: 1 氮化硅淀积; 2 沟槽掩蔽与刻蚀; 3 侧墙氧化与沟槽填充; 4 氮化硅平坦化; 5 氮化硅去除。

卧式炉: 用于一定的不太苛刻的条件, 相对立式炉的低成本使他们对大于 0.5 μm 图形化的硅片具有吸引力。常规装载硅片数目为 200 片/炉; 净化室占地面积较大, 而且拥有 4 根工艺管道; 气流动力学较差, 这源于舟、铲子等硬件, 浮力和重力导致气流分布不均; 硅片温度梯度大, 叶片阴影的辐射; 装/卸硅片过程中的颗粒控制相对差; 石英更换涉及更多并且慢; 装载硅片技术自动化困难; 工艺前后炉管气氛的控制较难。

立式炉: 主要的控制系统分为五部分 (卧式炉也一样) 工艺腔; 硅片传输系统; 气体分配系统; 尾气系统; 温控系统。立式炉的出现的主要原因是利用立式炉减少净化室的占地面积并提高自动化处理程度。常规装载硅片数目为 100 片/炉; 净化室占地面积较小; 并行处理工艺中的装卸舟, 可提高产量; 气流动力学, 较高的 GDE 和气流分布均匀、一致; 舟旋转, 提高膜均匀性很容易包括在内; 硅片温度梯度小; 装/卸硅片过程中的颗粒控制是通过上下装片方式, 改善颗粒控制; 石英更换更容易和更快, 导致停机时间缩短; 装载硅片技术是使用机械人技术使自动化更容易; 工艺前后炉管气氛的控制极好, 真空或中性气氛。

快速热处理 (RTP): 在非常短的时间内 (经常几分之一秒), 将单个硅片加热至 400-1300C 温度范围内的一种方法。带有辐射热和冷却源, 通常一次处理一篇硅片。优点: 减少热运算; 硅中杂质运动最小; 减小玷污, 这归功于冷壁加热; 由于较小的腔体体积, 可以达到清洁的气氛; 更短的加工时间 (指循环时间)

第十一章

成膜技术被用来加工电路, 主要用隔离绝缘介质层之间所夹的金属导电层连接不同的 IC 器件。

指用来连接硅片上高密度堆积器件的那层金属层和绝缘介质层。如果没有绝缘介质层，就会发生电短路，金属层通过在绝缘介质层上开的孔来连接。

铝金属化；铝金属化使用铝合金作为互联线。金属铝淀积到整个硅片的表面，形成固态薄膜，然后进行刻蚀来定义互联线的宽度和间距。每层金属层被定义为 **Metal-1** , **Metal-2** .。

关键层指那些线条宽度被刻蚀为器件特征尺寸的金属层（例如特征尺寸是 **0.15nm**）对于甚大规模集成电路，特征尺寸的范围一般是：形成栅的多晶硅，氧结构以及距离硅片表面最近的金属层。关键层对于颗粒杂质很敏感，在小尺寸下，可靠性问题（如电迁徙）更加显著。非关键层指处于上部的金属层，有更大的线宽（通常 **0.5um** 甚至更大）对于颗粒玷污不够敏感。然后其长导线长度会影响芯片的速度。

层间介质（**ILD**）：应用于器件中不同的金属层之间。**ILD** 充当两层导电金属或者相邻金属线条之间的隔离膜。

介质硅上有源器件和第一层金属之间的电绝缘层成为第一层层间介质（**ILD-1**）也称为金属前绝缘层（**PMD**）

PMD的重要作用：电学上 **ILD-1** 隔离晶体管器件和互连金属层；物理上，**ILD-1** 隔离晶体管器件和可移动粒子等杂质源。

薄膜：指一种在衬底上生长的薄固体物质。如果一种固体物质具有三维尺寸（厚度、宽度和长度），那么薄膜是指某一维尺寸（通常是厚度）远远小于另外两维上的尺寸。

半导体制造的薄膜淀积是指任何硅片衬底上物理淀积一层膜的工艺。这层膜可以是导体绝缘物质或半导体材料。淀积膜可以是二氧化硅，氮化硅，多晶硅以及金属，比如铜或者难熔金属（如钨）

薄膜特性：1、好的台阶覆盖能力；2、填充高的深宽比间隙的能力；3、好的厚度均匀性；4、高纯度和高密度；5、受控制的化学剂量；6、高度的结构完整性和低的膜应力；7、好的电学特性 8、对衬底材料或下层膜好的粘附性。

薄膜生长阶段：淀积膜的过程有三个不同的阶段。第一步是晶核形成，成束的稳定小晶核形成，这一步发生在起初少量原子或分子反应物结合起来，形成附着在硅片表面的分离的小膜层的时候。晶核直接形成于硅片表面，是薄膜进一步生长的基础。第二步聚集成束，也称为岛生长。这些随机方向的岛束依照表面的迁移率和束密度来生长。岛束不断生长，直到第三步即形成连续的膜，这些岛束汇集合并形成固态的薄层并延伸铺满衬底表面。

膜淀积技术：其中主要的淀积方法可分为化学工艺和物理工艺。物理工艺包括物理气相沉积（**PVD**、蒸发、旋涂方法。化学工艺包括化学气相沉积（**CVD**、电镀。重点介绍 **CVD**

) 指通过气体混合的化学反应在硅片表面淀积一层固体膜的工艺。硅片表面以及附近的区域被加热来向反应系统提供附加的能量。

CVD的基本方面: 1、产生化学变化, 这可以通过化学反应或是热分解(称为高温分解); 2、膜中所有的材料物质都源于外部的源; 3、化学气相淀积工艺中的反应物必须以气相形式参加反应。

5 种基本化学反应: 1、高温分解: 通常在无氧的条件下, 通过加热化合物分解(化学键断裂); 2、光分解: 利用辐射使化合物的化学键断裂分解; 3、还原反应: 反应物分子和氢发生的反应; 4、氧化反应: 反应物原子或分子和氧发生的反应; 5: 氧化还原反应: 反应 3 与 4 的组合, 反应后形成两种新的化合物。

反应步骤: 1、气体传输至淀积区域: 反应气体从反应腔入口区域流动到硅片表面的淀积区域; 2、膜先驱物的形成: 气相反应导致膜先驱物(将组成膜最初的原子和分子)和副产物的形成; 3、膜先驱物附着在硅片表面: 大量的膜先驱物输运到硅片表面; 4、膜先驱物粘附: 膜先驱物粘附在硅片表面; 5、膜先驱物扩散: 膜先驱物向膜生长区域的表面扩散; 6、表面反应: 表面化学反应导致膜淀积和副产物的生成; 7、副产物从表面移除: 吸附(移除)表面反应的副产物; 8、副产物从反应腔移除: 反应的副产物从淀积区域随气流流动到反应腔出口并排出。

CVD过程中的掺杂: **PSG** 在淀积二氧化硅的过程中, 反应气体加入 **PH₃**的过程中, 形成磷硅玻璃。在磷硅玻璃中, 磷以五氧化二磷的形式存在, 磷硅玻璃有五氧化二磷和二氧化硅的混合物共同组成。 $\text{SiH}_4(\text{g}) + 2\text{PH}_3(\text{g}) + \text{O}_2(\text{g}) \rightarrow \text{SiO}_2(\text{s}) + 2\text{P}(\text{s}) + 5\text{H}_2(\text{g})$ 。

BSG 用乙硼烷替代磷化氢, 就可得到硼硅玻璃(**BSG**)。

BPSG 另一种在二氧化硅中掺杂的方法是引入重量百分比为 2%到 6%的三氧化二硼, 与五氧化二磷形成硼磷硅玻璃。

CVD反应器加热: 热壁反应采用加热的方法, 不仅加热硅片, 还加热硅片的支持物以及反应腔的侧壁。冷壁反应器只加热硅片和硅片支持物。

: 反应在常压下进行, 反应器设计能够相对简单并允许高的淀积速度。

APCVD (常压 **CVD**) 的特点: 优点是反应简单, 淀积速度快, 低温。缺点是淀积的膜台阶覆盖能力差, 有颗粒污染, 低出产率。主要应用于低温 **SiO₂**。

用 **SiH₄** 淀积 **SiO₂** 用 **O₂** 氧化 **SiH₄** 淀积 **SiO₂**, 通常在氩气或氮气中将 **SiH₄** 稀释到很低含量, 这一反应在 400-500° C 的低温下进行, 优势在于在铝连线上作为 **ILD** 的 **SiO₂** 的淀积. 缺点是台阶覆盖能力和间隙填充能力都很差。对于关键的 **ULSI** 来说, **APCVD** 的方法不适合。

臭氧方法淀积 SiO_2 : TEOS是正硅酸乙酯, $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$, 是一种有机液体, 通常用一种气体如 N_2 , 传送 TEOS混合气体到达反应腔。 O_3 比 O_2 有更强的反应活性。因此, 不用等离子体, 在低温常压下进行, 淀积的 SiO_2 膜改善了台阶覆盖轮廓, 均匀性好, 具有作为绝缘介质优异的电学特性。反应方程式: $\text{Si}(\text{C}_2\text{H}_5\text{O})_4 + 8\text{O}_3 \rightarrow \text{SiO}_2 + 10\text{H}_2\text{O} + 8\text{CO}_2$ 。

EOS-臭氧淀积的优点: 对于高的深宽比的槽有优良的覆盖填充能力。另一个优点是反应过程中仅利用热 CVD工艺来淀积二氧化硅。

掺杂 SiO_2 SiO_2 通常采用 P,B 等化学物质来掺杂。 SiO_2 中掺杂 P 称为磷硅玻璃(PSG)。

LPCVD(低压 CVD)的特点: 优点是高纯度和均匀性, 一致的台阶覆盖能力, 大的硅片容量, 比 LPCVD系统有更低的成本, 更高的产量及更好的膜性能, 因此应用更为广泛。缺点是高温, 低的淀积速率, 需要更多的维护, 要求更高的真空系统支持。主要应用在高温 SiO_2 , Si_3N_4 , 多晶硅, W WSi_2 。

二氧化硅: LPCVD二氧化硅有很多应用, 例如可以做 ILD, 浅槽隔离的填充物和侧墙等。

用 TEOS制备的 SiO_2 普通做法是在低压 $650-750^\circ\text{C}$ 下, 热分解 TEOS(称为 APTEOS(低压 TEOS法)), 由于气体在表面的快速扩张, 可以制作出均匀性优异的 SiO_2 。

硅烷制备 SiO_2 较低温度(450°C)氧化硅烷的方法 LPCVD淀积 SiO_2 , 台阶覆盖能力差。更高的温度下 (900°C) 可以用 SiH_2Cl_2 和 NO 来制备更高质量的 SiO_2 。

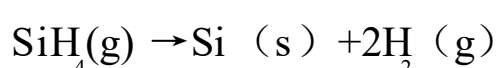
氮化硅介绍: 氮化硅通常被用来做硅片的最终的钝化保护层, 因为他能很好的抑制杂质和潮气的扩散。也用来作为掩膜材料, 用于浅槽隔离工艺。氮化硅具有高的介电常数, 因而不能作为 ILD 绝缘层, 因为会导致导体之间大的电容。

沉积方法: LPCVD法(可以获得良好阶梯覆盖能力和高度均匀性的 Si_3N_4 膜), 在减压和温度在 $700-800^\circ\text{C}$ 下反应如下: $3\text{SiCl}_4(\text{g}) + 4\text{NH}_3(\text{g}) \rightarrow \text{Si}_3\text{N}_4(\text{s}) + 6\text{HCl}(\text{g}) + 6\text{H}_2(\text{g})$ 。在 APCVD 中, 可以用硅烷和氮气制作氮化硅, 但膜的均匀性和产量不如 LPCVD工艺。

多晶硅: 通常用 LPCVD方法淀积。

作为栅电极原因: 1 通过掺杂可以得到特定的电阻 2 和 SiO_2 优良的界面特性 3 和后续高温工艺的兼容性 4 比金属电极更高的可靠性 5 在陡峭的结构上淀积的均匀性 6 实现栅的自对准工艺。

多晶硅的制备方法: 在 $575-650^\circ\text{C}$ 通过热分解硅烷可以用 LPCVD淀积多晶硅。低压反应用纯硅烷或者含量为 20%-30%的硅烷和氮气的混合气体通入反应系统, 在压强为 $0.2-1.0$ 托的条件下淀积多晶硅, 加入乙硼烷会形成激发的 BH_3 , 催发气相反应的进行, 反应式为:



、更低的工艺温度（250~450℃）；2、对高的深宽比间隙有好的填充能力（用高密度等离子体）；3、淀积的膜对硅片有优良的粘附能力；4、高的淀积速率；5、少的针孔和空洞，因而有高的膜密度；6、工艺温度低，因而应用范围广。

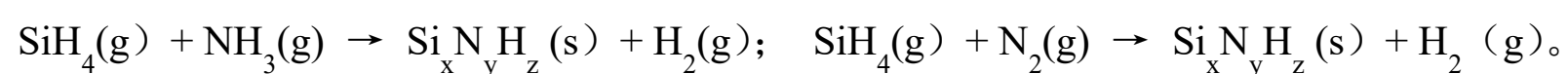
两类等离子体工艺：等离子体增强 CVD(PECVD) 高密度等离子体 CVD(HDPCVD)

等离子体 CVD中膜的形成过程：1、反应物进入反应室；2、电场使反应物分解；3、薄膜初始物形成；4、初始物吸附；5、初始物扩散到衬底中；6、表面反应；7、副产物的解吸附作用；8、副产物去除。

特点：1、PECVD 的反应温度远远低于 LPCVD 的反应温度 2、PECVD 是典型的冷壁等离子体反应，硅片被加热到较高温度而其他部分未被加热。需要控制淀积的相关参数以确保温度梯度不会影响膜厚度的均匀性。3 产生的颗粒更少，需要少的停工清洗时间。

SiO₂ 制作：SiH₄ 和 N₂O 的混合气体能生成更均匀的膜，反应： $\text{SiH}_4(\text{g}) + 2\text{N}_2\text{O}(\text{g}) \rightarrow \text{SiO}_2(\text{s}) + 2\text{N}_2(\text{g}) + 2\text{H}_2(\text{g})$ 生成的 SiO₂ 接近于化学计量分析值，尽管在膜中含有一些 H 和少量的 N。H 能够以 Si-H、Si-O-H、H-O-H 的形式存在。对于 MOS 晶体管而言，O-H 基团对其电学特性不利，因而要尽可能减少。

Si₃N₄ 制作：PECVD 氮化硅通常使用硅烷和氨气或氮气来反应，反应方程式如下：



PECVD 氮化硅会增加膜的压应力，原因是淀积过程中的离子轰击会破坏 Si-N 或 Si-H 键。

氮化硅膜中高的压应力会导致下面金属铝的空洞和开裂。膜中 H 的含量一般很高，H 能减小膜的压应力，但同时也会使膜的特性蜕化。用 N₂ 来替代 NH₃，可以降低 H 的含量。然而，N₂ 离化难以形成等离子体。

PECVD 在小尺寸器件应用的限制：间隙填充。在间隔宽度小于 0.5um 的情况下，用 PECVD 填充高的深宽比间隙会损伤顶部并产生空洞，这会影响其电学特性和长期可靠性。对 0.25um 及以后技术节点的器件，HDPCVD 因其良好的间隙填充能力而去代理 PECVD。

HDPCVD 特点：等离子体在低压下以高密度混合气体的形式直接接触到反应腔中硅片的表面的一种淀积方法。它的主要优点是可以在 300~400℃ 较低的淀积温度下，制备出能够填充高深宽比间隙的膜。硅片偏置的作用是给高能粒子定方向。该工艺使用同步淀积和刻蚀作用，它是用介质材料填充高深宽比的间隙并且无空洞形成的基础，称为淀积刻蚀比 (D:E) 对于 hdpcvd 来说典型的可是比为 3:1，意思是淀积的速率是刻蚀速率的三倍。增加该比值可以增加淀积速率提高硅片产量，但如果比值过高可能由于间隙没有完全填充，形成空洞。

介电常数：非导电材料的介电常数指在电场影响下存储电势能的有效性，也就是代表隔离材

。高 k 材料能存储更多的电能。

减小 的介电常数的好处：减小绝缘介质的 k 值，可以减少相邻导线间的电耦合损失，这是因为绝缘介质存储更少的电场并因此花更短的时间来充电，从而提高金属导线的传导速率。对于金属线间隔很近的小尺寸器件，低 k 值的材料作为 ILD 至关重要。随着线宽减小，导体和介质的电耦合效应会增加，用低 k 值材料可以补偿这一点。

高 k 材料研究：主要是为了 DRAM 存储器的应用以及最终取代超薄栅氧。

延迟：芯片的不断缩小导致互连线宽度减小，使得传输信号导线电阻 (R) 增大。而且，导线间距的缩小产生了更多的寄生电容 (C)。最终增加了 RC 信号延迟 (RC 信号延迟降低芯片速度，减弱芯片性能)。这是在亚 $0.25\ \mu\text{m}$ 中凸现出的问题，通常称为互连延迟。

Mos 中的两个基本隔离技术：局部氧化 (LOCOS) 对于特征尺寸为 $0.35\ \mu\text{m}$ 以及更大的器件，传统上采用硅的局部氧化 (LOCOS) 技术来隔离。该技术采用图形化的 Si_3N_4 岛来定义氧生长的区域。对于深亚微米器件，LOCOS 隔离结构过于大了。限制 LOCOS 隔离在特征尺寸小于或等于 $0.25\ \mu\text{m}$ 工艺中应用的主要因素是硅氧化过程中氧的侧向生长，侧向生长为最小面积和可获得的表面形貌增加了天然的限制。在高密度 ulsi 技术中，locos 隔离技术不适用。

浅槽隔离 (STI)：在 $0.25\ \mu\text{m}$ 和以下的技术节点中，浅槽隔离 (STI) 技术被广泛应用。STI 取代 LOCOS 的原因有以下几点：1、更有效的器件隔离的需求，尤其是对 DRAM 器件而言；2、对晶体管隔离而言，表面积显著的减小；3、超强的门锁保护能力；4、对沟道没有侵蚀；5、与 CMP 的兼容。

外延 (IC 中最普通的外延反应是高温 CVD 系统)：外延就是在单晶衬底上淀积一层薄的单晶层。优点：1 避免门锁效应 2 避免硅表面层中硅氧化物的淀积 3 硅表面更光滑，损伤更小 4 为器件优化性能方面提供更大灵活性，可以通过外延生长中的掺杂来实现。

三种生长方法：气相外延 (VPE) (硅片制造中最常用的硅外延方法。在温度 $800\text{--}1150\text{C}$ 的硅片表面通过含有所需化学物质的气体化合物实现) 金属有机 CVD (MOCVD) (指淀积金属以及氧化物的多晶或无定形膜) 分子束外延 (MBE) 分子束外延是采用淀积 GaAs 异质外延层并可达到原子分辨率的一种主要方法。也被用来在硅片衬底上淀积硅并能严格控制外延层厚度和掺杂的均匀性。MBE 需要高真空条件，通常的背景真空为 $10^{-10}\text{--}10^{-11}$ 托甚至更高，典型情况下会用到高真空低温泵。反应温度为 $500\text{--}900\text{C}$ 。

第十二章

金属化：芯片制造过程中在绝缘介质薄膜上淀积金属薄膜以及随后刻印图形以便形成互连金属线和集成电路的孔填充塞的过程。互连：意指由导电材料，如铝、多晶硅或铜制成的连线

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/286043231235010222>