



关于基本硬件结构

合肥工业大学

MCS51/96

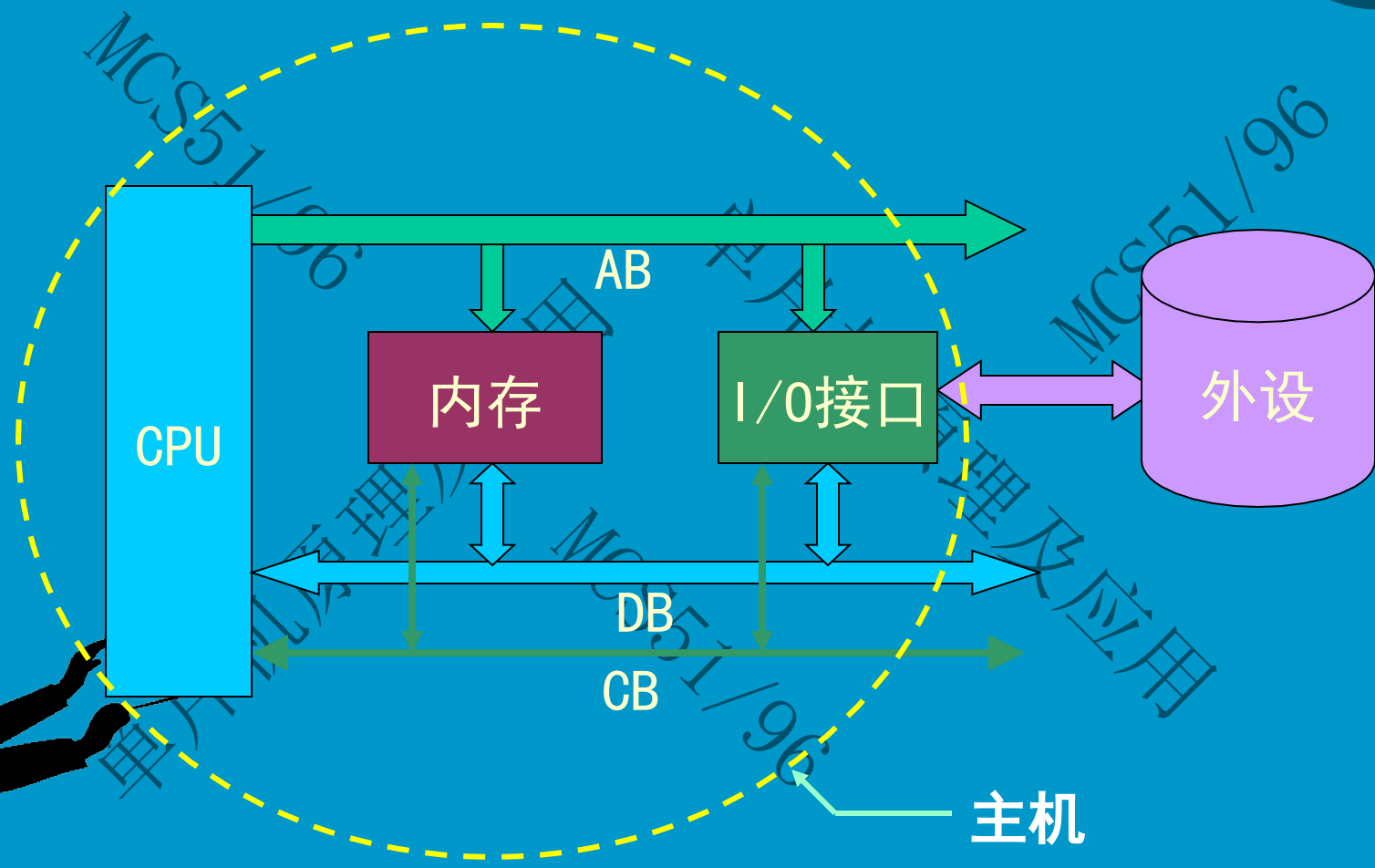
MCS51/96

MCS51/96



1.1 单片微型计算机概念

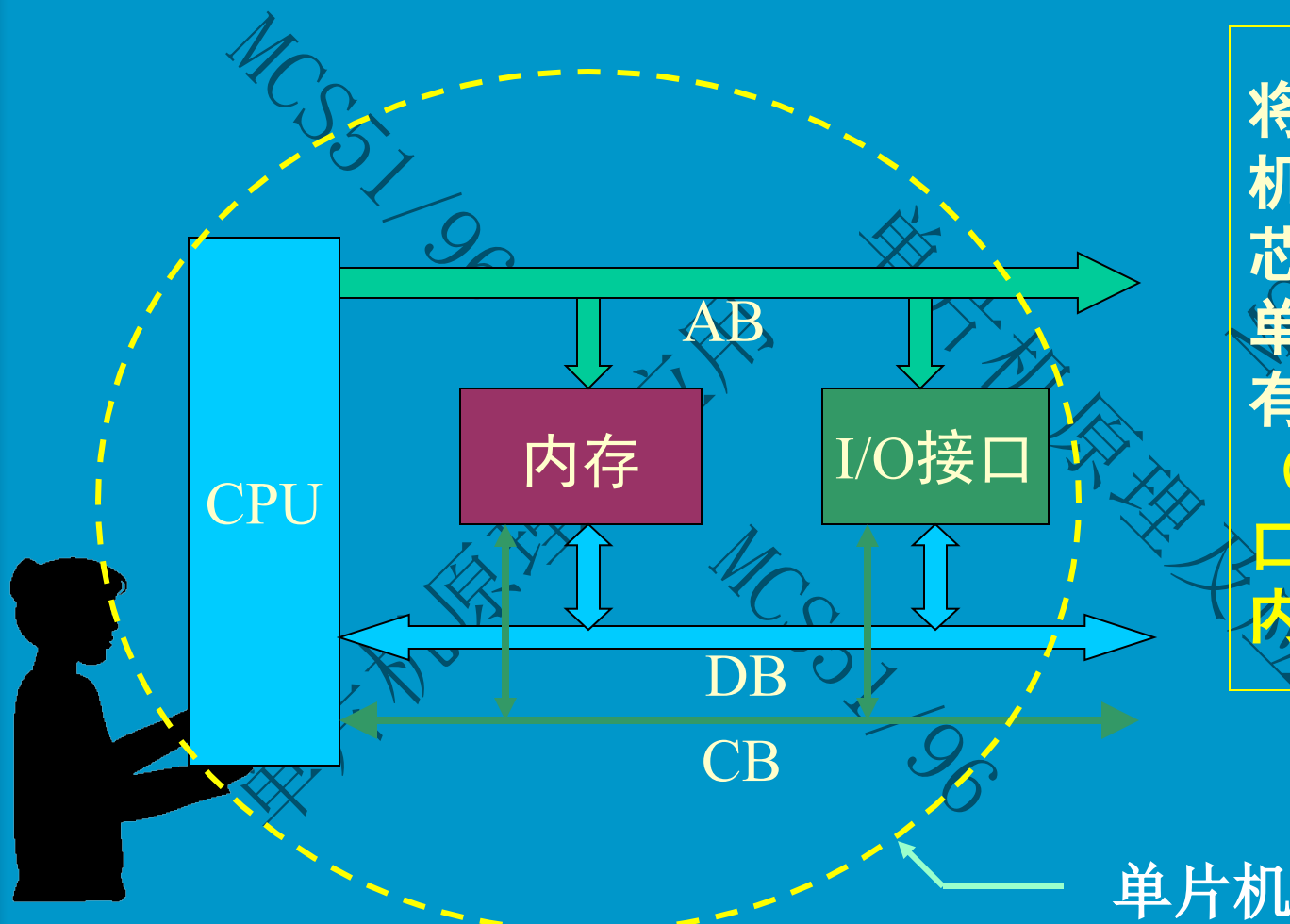
1.1.1 单总线微型计算机系统基本构成



1.1.2 单片微型计算机----单片机----单片微控制器

* 并不是所有单片机都对外提供总线结构 → 软硬件设计方法差别

将微型计算机主机集成在单一IC芯片上, 因此一个单片机至少包含有: CPU+存储器 (不限大小) +接口 (不限多少) +内部总线



1.1.3 单片微型计算机应用特点

- 单片机体积小、功能强、功耗低、可靠性高和性价比高的特点，在过程控制、机电一体化产品、智能仪器、家用电器、计算机网络及通讯等方面得到广泛应用。
- 单片机经历了一位、4位、8位、16位及32位的发展阶段，世界上一些著名的半导体器件厂家都开发了单片机如Intel、TI、Motorola、Zilog、Philips等。
- 单片机的品种日益增加，在众多的通用型单片机里，以Intel公司的MCS系列单片机最为著名。



1.2 MCS51单片机构成

1.2.1 MCS51的总体构成

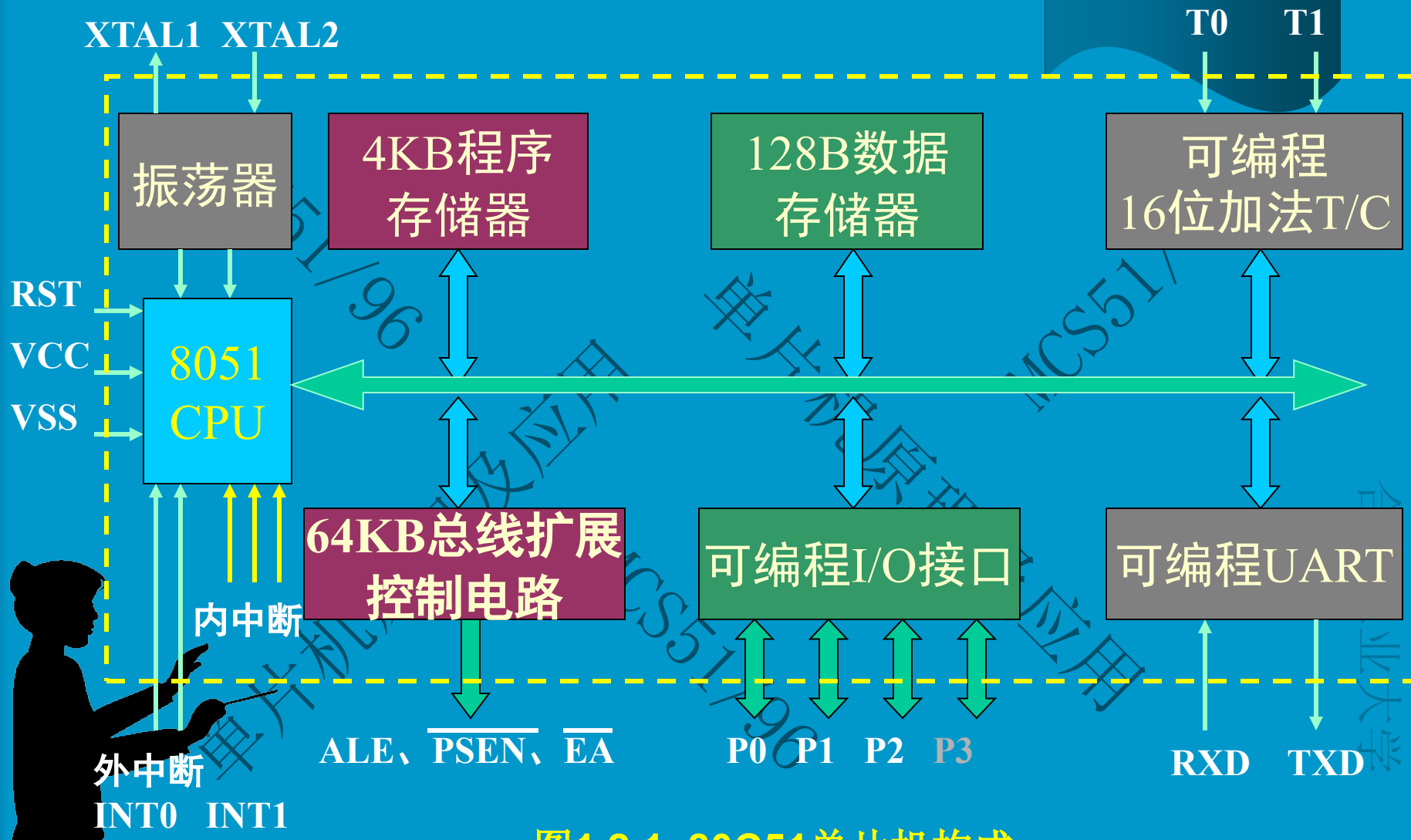


图1.2.1 80C51单片机构成

1.2.2 MCS51单片机内部结构

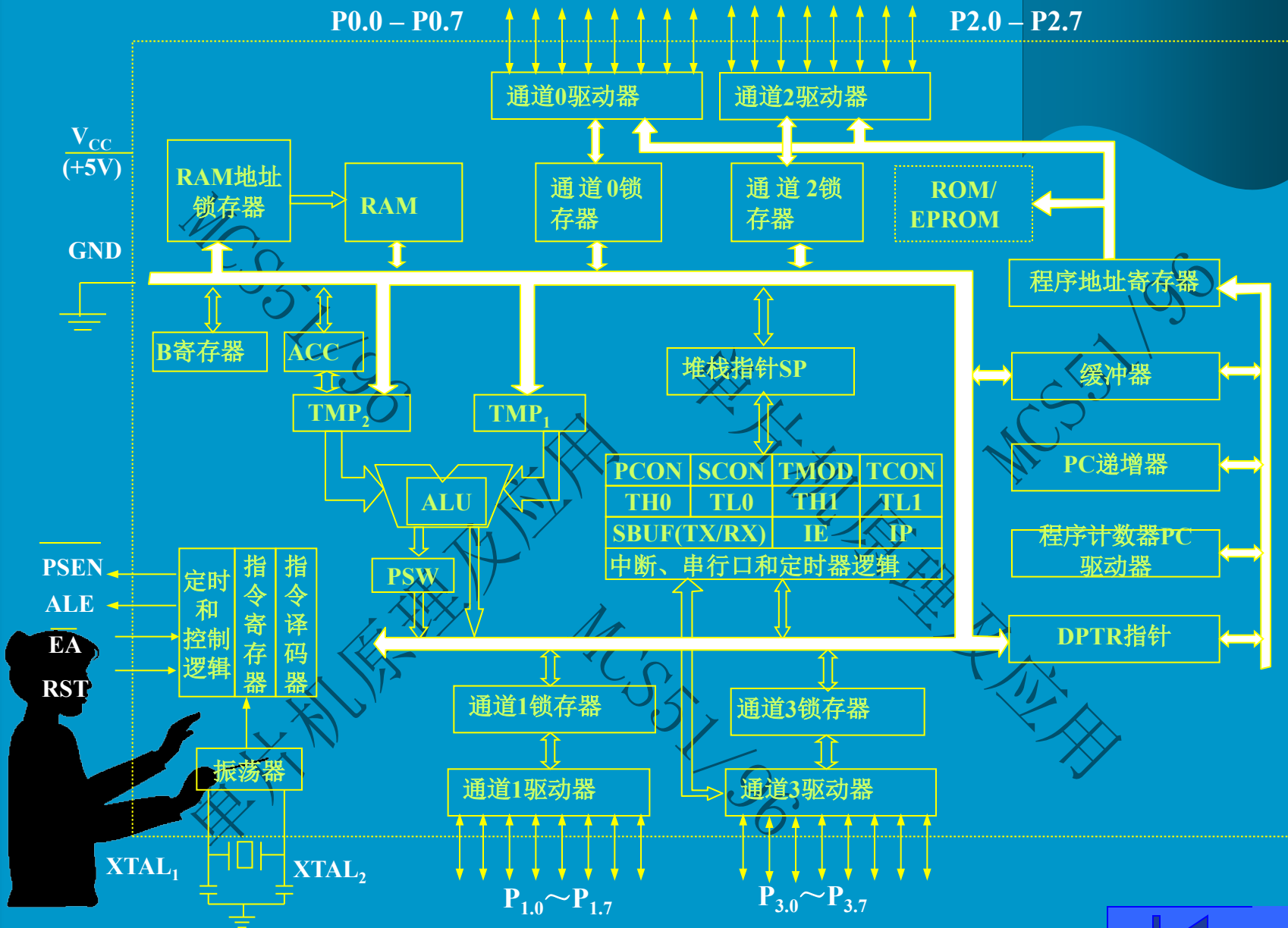


图1.2.2 MCS-51片内总体结构框图

1.2.3 MCS51单片机主要性能特点

1. 高档8位CPU，包含支持二个外部、三个内部中断源，两个优先级的可编程中断控制器
2. 内部程序存储器、数据存储器（51、52子系列）
3. 支持多达32根的双向I/O口线
4. 硬件程序、数据存储器寻址空间分离，各达到64KB
5. 2个16位加法T/C，支持4种工作模式
6. 全双工通用异步串行接收发送器（UART），支持四种工作模式
7. 四个通用工作寄存器（R）区，共32个通用寄存器；支持专用寄存器区
8. 布尔处理机，支持灵活方便的位运算
9. MCS51兼容指令系统，支持5种寻址方式
10. 支持深度可达RAM容量的程序堆栈区

1.2.4 MCS51单片机存储器容量

• 存储器类型 • 单片机系列		• 掩膜 ROM	• EPROM	• RAM
• MCS-51	• 51 子系列	• 8031	• /	• /
		• 8051	• 4KB	• /
		• 8751	• /	• 4KB
	• 52 子系列	• 8032	• /	• /
		• 8052	• 8KB	• /
		• 8752	• /	• 8KB

表1.2.1 MCS-51单片机存储器容量

1.3 MCS51的封装及引脚定义

1.3.1 MCS51的逻辑符号

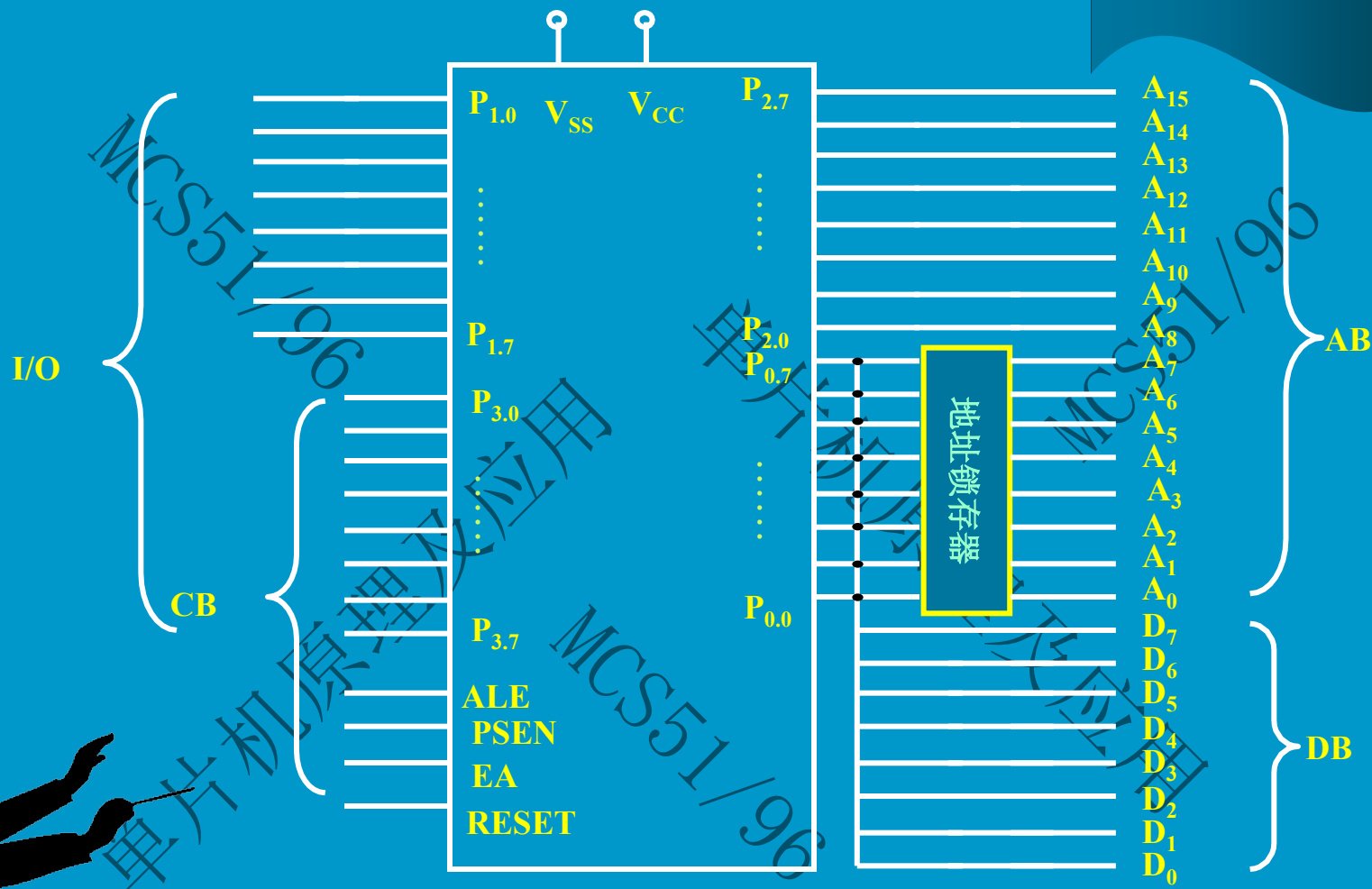


表1.3.1 MCS-51单片机逻辑图

1.3.2 MCS51的实际封装图之一、二

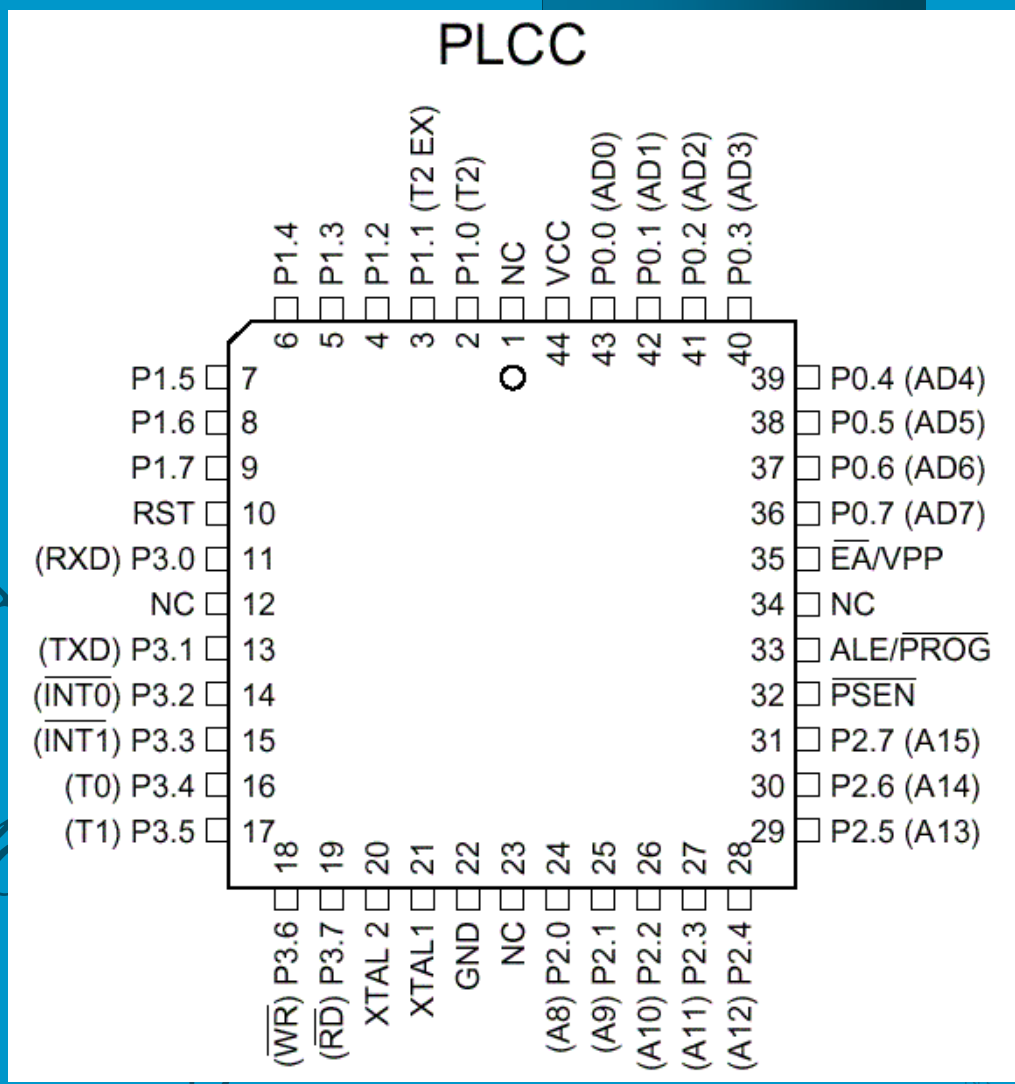
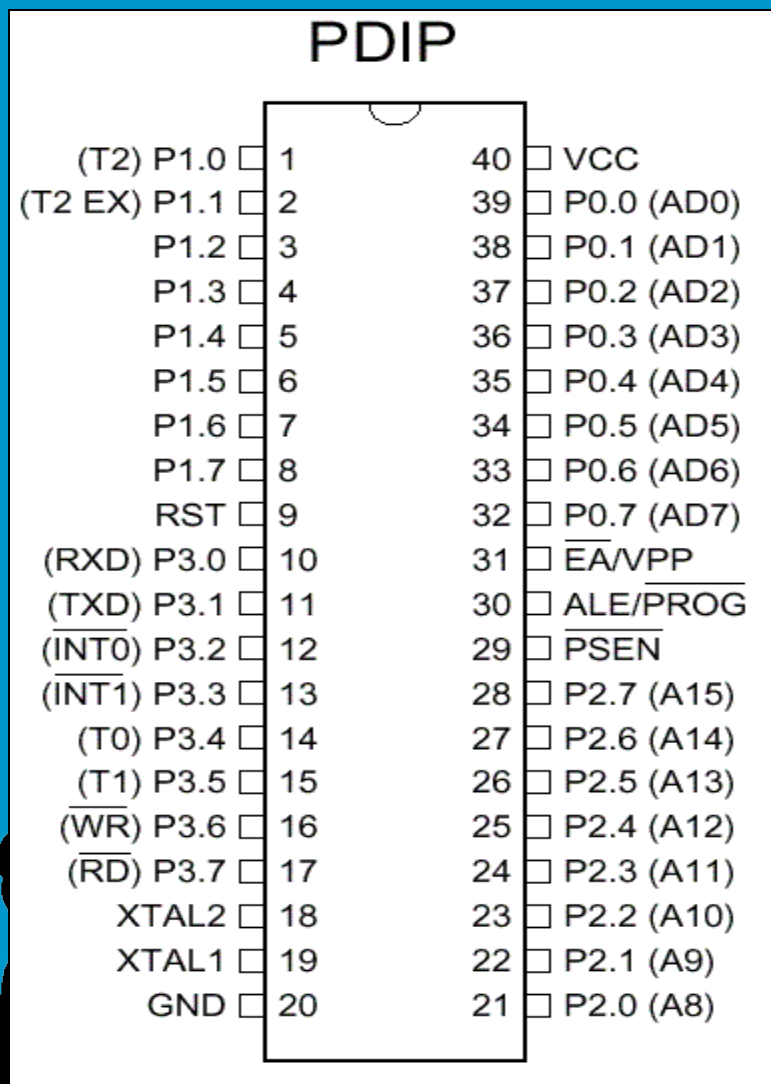


图1.3.2 MCS-51单片机典型封装形式

1.3.3 MCS51的实际封装图之三

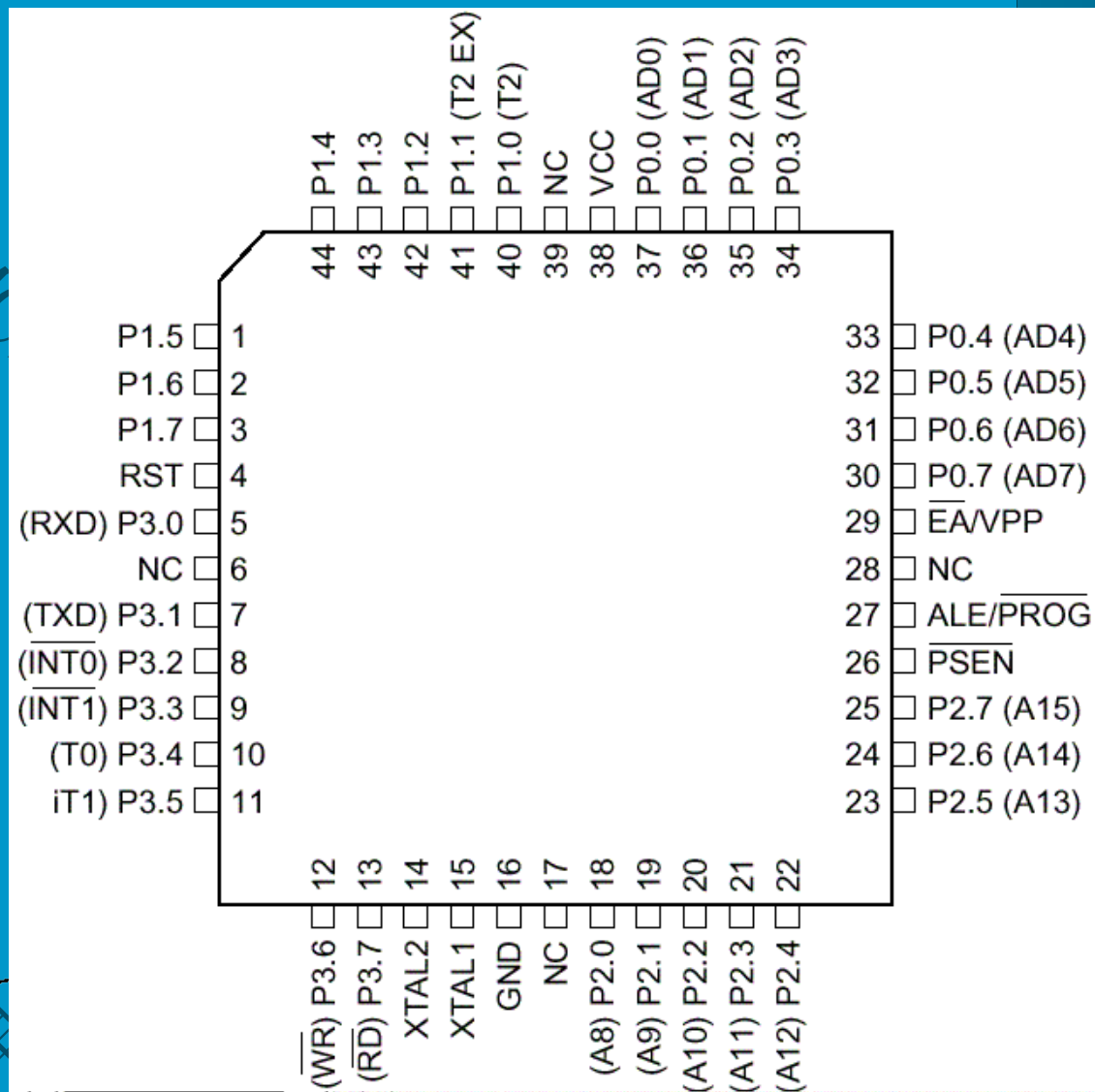
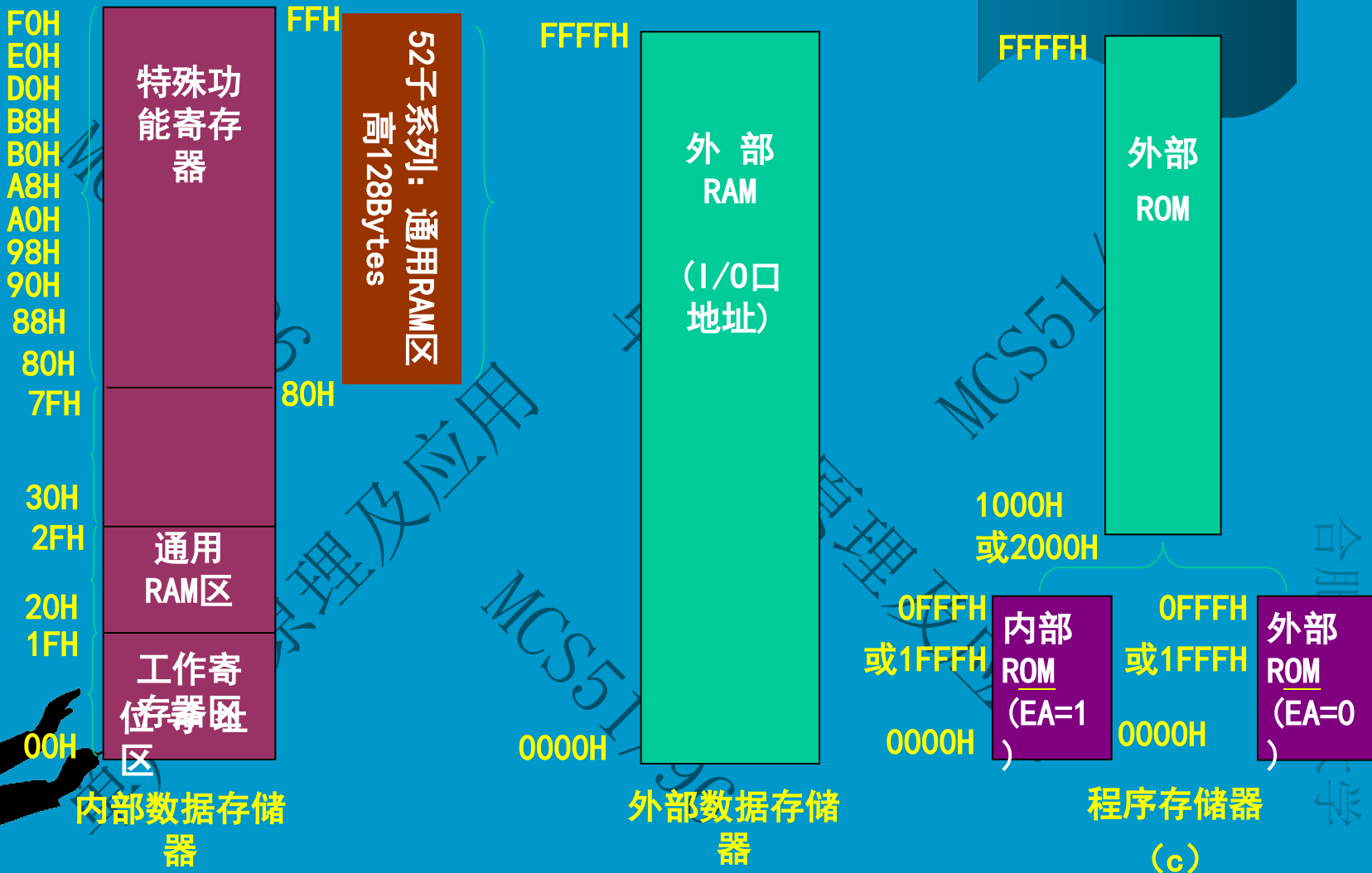


图1.3.3 MCS-51单片机的QFP封装形式

1.4 MCS51/52的存储器配置

特殊功能寄存器中位寻址



(a) 图1.4.1 MCS-51单片机存储器配置示意

1.4.1 存储器总体配置说明

- MCS51 存储器配置采用“哈佛”结构，64K程序存储器和64K数据存储器空间独立编址。
- 物理上：片内ROM（8031无）、RAM，片外扩展ROM、RAM；
- 逻辑上：64K内外ROM空间统一，采用立即寻址、基址+变址寻址访问；内外RAM空间重叠，外部RAM的访问只能采用MOVX指令在累加器A和@R_i（i=0, 1）或@DPTR之间进行；对52子系列，内部RAM的高128B和SFR区空间重叠，因此，对高128B的通用RAM，采用直接寻址方式访问，而对SFR的访问只能采用寄存器间址寻址方式（@R₀~R₇）。
- 外部扩展I/O口或外部功能部件接口寄存器，同外部RAM统一编址，即：必须采用MOVX指令进行访问。

1.4.2 程序存储器（ROM、EPROM、EEPROM）

- 64K程序存储器内外统一编址（ $\overline{EA}=0$ 时忽略内部ROM）。
- 支持寻址方式：立即寻址，基址+变址寻址；
- 特殊单元：
 - 0000H：PC复位值，通常设置跳转指令；
 - 0003H：INT0触发中断服务程序入口
 - 000BH：T0溢出中断服务程序入口
 - 0013H：INT1触发中断服务程序入口
 - 001BH：T1溢出中断服务程序入口
 - 0023H：UART中断服务程序入口
 - 002BH：T2中断服务程序入口（52子系列支持）



1.4.3 数据存储器件（RAM、EEPROM、扩展I/O口）

- **数据传送：内部RAM用MOV指令，外部RAM（或I/O口寄存器）用MOVX。**
- **内部RAM：**
 - 00H-7FH：低128Byte RAM区；**
 - 80H-FFH：**
 - （1）分布26个SFR（其中地址能整除8的SFR可以位寻址；使用寄存器间址方式访问—51、52子系列均有）；**
 - （2）高128Byte RAM区（52子系列，使用直接寻址方式访问）；**
- **外部RAM（或I/O口）：采用MOVX指令，硬件自动访问最大64KBytes，采用R0或R1间址（最低256字节），或DPTR间址（整个64K范围）。**

1.4.3 数据存储器（低128Byte RAM）

- 低128Byte RAM区：使用寄存器间址或直接寻址
- 00—1FH：4个通用工作寄存器区，每区8个（R0—R7），当前区的选择由PSW（程序状态字）的RS1、RS0组合决定；可使用寄存器寻址方式访问；
- 00H—7FH：可全部用作程序堆栈区（硬件复位后堆栈指针为07H，即在工作R区，通常设在30H以上，避开R区和位寻址区）
- 20H—2FH：位寻址区（共 $16 \times 8 = 128$ 位），+ 12个可位寻址（地址可整除以8）的SFR（共 $12 \times 8 - 3$ [52子系列：IP中2位、IE中1位除外] = 93位）= 221位地址；对51子系列有213个位地址；位地址的访问只能采用直接寻址，且用在位操作指令中（从而区别高128B的RAM直接寻址）。

1.4.3 数据存储器（低128Byte RAM中的位地址）

字节地址	位地址							
	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
2FH	7FH	7EH	7DH	7CH	7BH	7AH	79H	78H
2EH	77H	76H	75H	74H	73H	72H	71H	70H
2DH	6FH	6EH	6DH	6CH	6BH	6AH	69H	68H
2CH	67H	66H	65H	64H	63H	62H	61H	60H
2BH	5FH	5EH	5DH	5CH	5BH	5AH	59H	58H
2AH	57H	56H	55H	54H	53H	52H	51H	50H
29H	4FH	4EH	4DH	4CH	4BH	4AH	49H	48H
28H	47H	46H	45H	44H	43H	42H	41H	40H
27H	3FH	3EH	3DH	3CH	3BH	3AH	39H	38H
26H	37H	36H	35H	34H	33H	32H	31H	30H
25H	2FH	2EH	2DH	2CH	2BH	2AH	29H	28H
24H	27H	26H	25H	24H	23H	22H	21H	20H
23H	1FH	1EH	1DH	1CH	1BH	1AH	19H	18H
22H	17H	16H	15H	14H	13H	12H	11H	10H
21H	0FH	0EH	0DH	0CH	0BH	0AH	09H	08H
20H	07H	06H	05H	04H	03H	02H	01H	00H

表1.4.1 内部数据存储器中的位地址

1.4.4 SFR (专用功能寄存器)

名称	符号	字节地址	位功能标记/位地址							
B 寄存器	B	F0H	B.7/F7	B.6/F6	B.5/F5	B.4/F4	B.3/F3	B.2/F2	B.1/F1	B.0/F0
累加器	A	E0H	ACC.7 /E7	ACC.6 /E6	ACC.5 /E5	ACC.4 /E4	ACC.3 /E3	ACC.2 /E2	ACC.1 /E1	ACC.0 /E0
程序状态字寄存器	PSW	D0H	CY /D7	AC /D6	F ₀ /D5	RS ₁ /D4	RS ₂ /D3	OV /D2	X /D1	P /D0
中断优先级寄存器	IP	B8H	-	-	-	PS /BC	PT ₁ /BB	PX ₁ /BA	PT ₀ /B9	PX ₀ /B8
P3 端口寄存器	P3	B0H	P _{3,7} /B7	P _{3,6} /B6	P _{3,5} /B5	P _{3,4} /B4	P _{3,3} /B3	P _{3,2} /B2	P _{3,1} /B1	P _{3,0} /B0
中断允许寄存器	IE	A8H	EA /AF	-	-	ES /AC	ET ₁ /AB	EX ₁ /AA	ET ₀ /A9	EX ₀ /A8
P2 端口寄存器	P2	A0H	P _{2,7} /A7	P _{2,6} /A6	P _{2,5} /A5	P _{2,4} /A4	P _{2,3} /A3	P _{2,2} /A2	P _{2,1} /A1	P _{2,0} /A0
串行口控制寄存器	SCON	98H	SM ₀ /9F	SM ₁ /9E	SM ₂ /9D	REN /9C	TB _s /9B	RB _s /9A	TI /99	RI /98
P1 端口寄存器	P1	90H	P _{1,7} /97	P _{1,6} /96	P _{1,5} /95	P _{1,4} /94	P _{1,3} /93	P _{1,2} /92	P _{1,1} /91	P _{1,0} /90
定时控制寄存器	TCON	88H	TF ₁ /8F	TR ₁ /8E	TF ₀ /8D	TR ₀ /8C	IE ₁ /8B	IT ₁ /8A	IE ₀ /89	IT ₀ /88
P0 端口寄存器	P0	80H	P _{0,7} /87	P _{0,6} /86	P _{0,5} /85	P _{0,4} /84	P _{0,3} /83	P _{0,2} /82	P _{0,1} /81	P _{0,0} /80
串行数据寄存器	SBUF	99H	-	-	-	-	-	-	-	-
定时器 1 高 8 位	TH1	8DH	-	-	-	-	-	-	-	-
定时器 0 高 8 位	TH0	8CH	-	-	-	-	-	-	-	-
定时器 1 低 8 位	TL1	8BH	-	-	-	-	-	-	-	-
定时器 0 低 8 位	TL0	8AH	-	-	-	-	-	-	-	-
定时器方式选择	TMOD	89H	-	-	-	-	-	-	-	-
电源及波特率选择	PCON	87H	-	-	-	-	-	-	-	-
数据高 8 位指针	DPH	83H	-	-	-	-	-	-	-	-
数据低 8 位指针	DPL	82H	-	-	-	-	-	-	-	-
堆栈指针	SP	81H	-	-	-	-	-	-	-	-

表 1.4.2 SFR 及位地址定义

1.4.4 SFR（名称及定义）

❖ MCS51共18个，占21Bytes。PC（程序计数器）在物理上是独立的，不属于内部RAM的SFR块；

❖ SFR含义简介：

(1) ACC*：累加器，通常用助记符：A；

(2) B*：在乘、除法指令中为有专门用途，一般场合用作普通RAM单元；

(3) PSW*：程序状态字，程序状态字寄存器。定义格式如（如表1-4所示）。其中，CY：进借位标志；AC：辅助进借位标志；F₀：用户标志；RS₁、RS₀：工作寄存器组选择（如表1-5所示）。OV为溢出标志—用于带符号数计算；P为奇偶校验标志，指示ACC中1的个数的奇偶性。

(4) SP：堆栈指针，指示栈顶位置（复位初始化为07H，PUSH：SP+1→入栈；POP：弹栈→SP-1）。中断或CALL指令：PC自动入栈，但PSW并不自动入栈（需用软件操作入、弹栈操作）。

1.4.4 SFR（名称及定义）

D7	D6	D5	D4	D3	D2	D1	D0
CY	ACC	F0	RS1	RS0	OV	-	P

表1.4.3 PSW定义

RS1	RS0	选择工作寄存器组
0	0	0组（00H—07H）
0	1	1组（08H—0FH）
1	0	2组（10H—17H）
1	1	3组（18H—1FH）

表1.4.4 工作寄存器组的选择

(5) **DPTR**: 数据指针, 16位, 双字节, 可8位访问; 主要用于外部RAM或I/O口访问: **MOVX A, @DPTR**或**MOVX @DPTR, A**; 也可用于访问程序存储器, 实现“远程查表”操作: **MOVC A, @A+DPTR** (基址+变址寻址)。

1.4.4 SFR（名称及定义）

(6) **P0~P3***: P0~P3 I/O端口锁存器，详细介绍见后；

(7) **SBUF**: UART数据缓冲器，存放待发送字节或读取已接收到的字节；实际物理上存在二个缓冲器：发送缓冲器和接收缓冲器，单二者共用同一个逻辑地址：“写”发送缓冲器，“读”接收缓冲器。

(8) **TH0、TL0、TH1、TL1**（52子系列还有**TH2、TL2**）：
2个16位定时/计数器（T/C）的计数寄存器；

(9) **IE***: 中断允许寄存器；

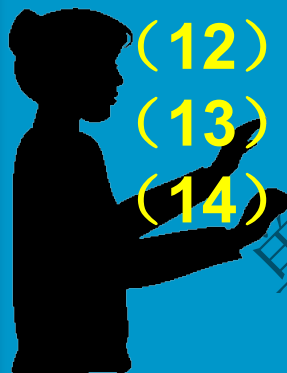
(10) **IP***: 中断优先级控制寄存器；

(11) **TMOD***: T/C方式选择寄存器；

(12) **TCON***: T/C运行控制寄存器；

(13) **SCON***: UART方式选择及运行控制寄存器；

(14) **PCON**: 电源控制寄存器；



1.5 振荡器、时钟电路、时序简介

1.5.1 单片机的时钟电路

单片机时钟电路通常有两种形式：

1. **内部振荡方式：**MCS-51单片机片内有一个用于构成振荡器的高增益反相放大器，引脚 $XTAL_1$ 和 $XTAL_2$ 分别是此放大器的输入端和输出端。把放大器与作为反馈元件的晶体振荡器或陶瓷谐振器连接，就构成了内部自激振荡器并产生振荡时钟脉冲（如图1-6所示）。
2. **外部振荡方式：**外部振荡方式就是把外部已有的时钟信号引入单片机内（如图1-7所示）。

1.5.1 单片机的时钟电路

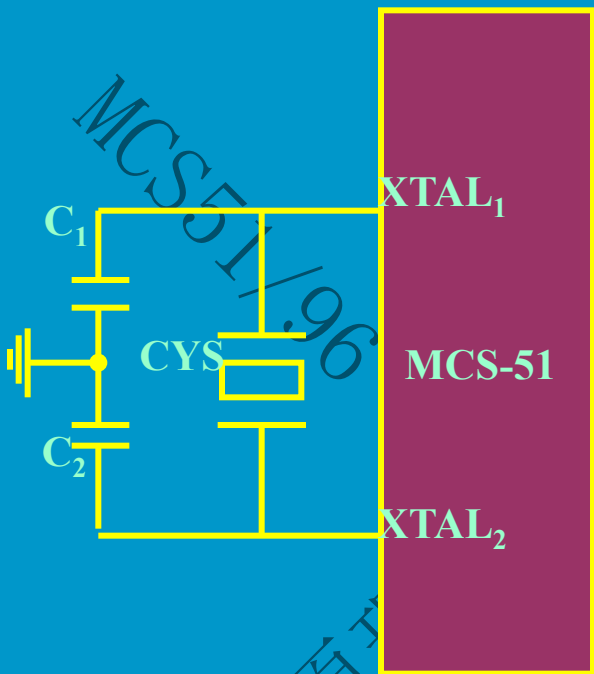


图1.5.1 内部振荡方式

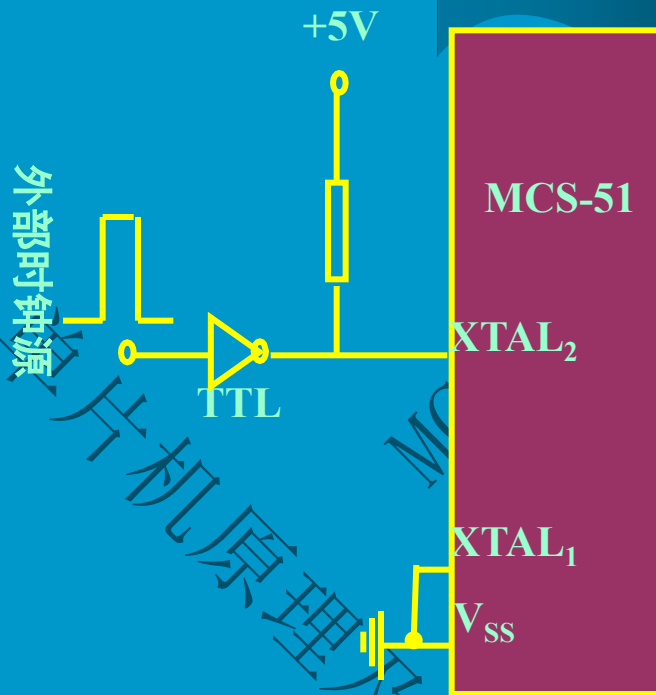


图1.5.2 外部振荡方式



1.5.2 振荡周期、时钟周期、机器周期和指令周期

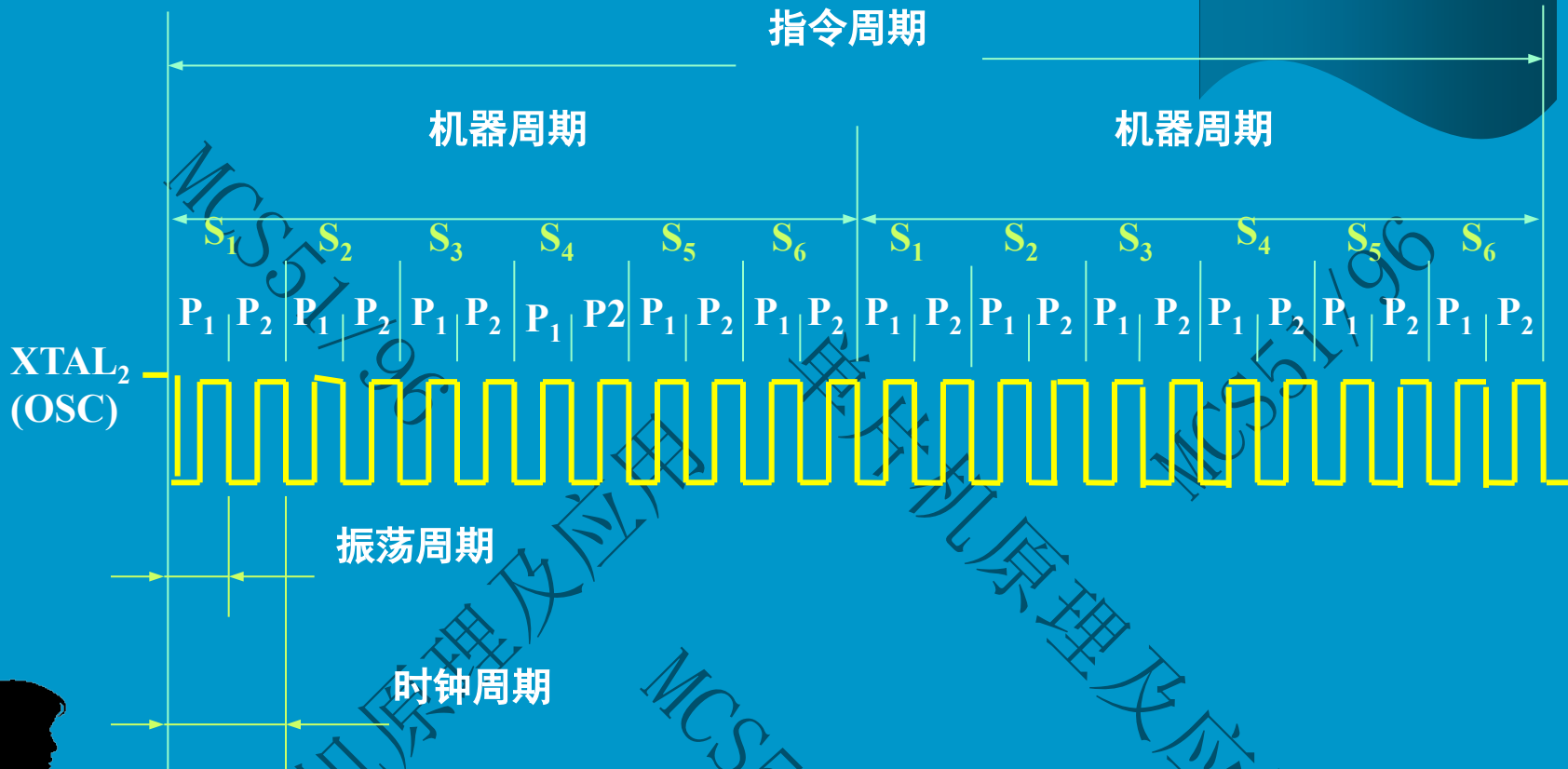
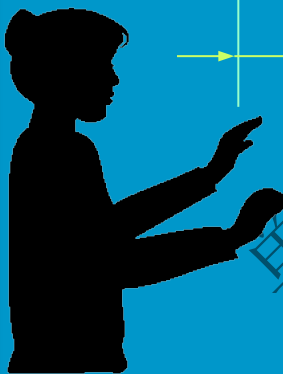


图1.5.3 MCS-51单片机各种周期的相互关系



1.5.3 各周期时间概念及其相互关系

1. 振荡周期：为单片机提供时钟信号的振荡源的周期；
2. 时钟周期：是振荡源信号经二分频后形成的时钟脉冲信号；
3. 机器周期：通常将完成一个基本操作所需的时间称为机器周期；
4. 指令周期：是指CPU执行一条指令所需要的时间。一个指令周期通常含有1~4个机器周期。

例如：若MCS-51单片机外接晶振为12MHz时，则单片机的四个周期的具体值为：

- 振荡周期 = $1/12\text{MHz} = 1/12\mu\text{s} = 0.0833\mu\text{s}$
- 时钟周期 = $1/6\mu\text{s} = 0.167\mu\text{s}$
- 机器周期 = $1\mu\text{s}$
- 指令周期 = $1\sim 4\mu\text{s}$

1.5.4 MCS51单片机指令的取指和执行时序

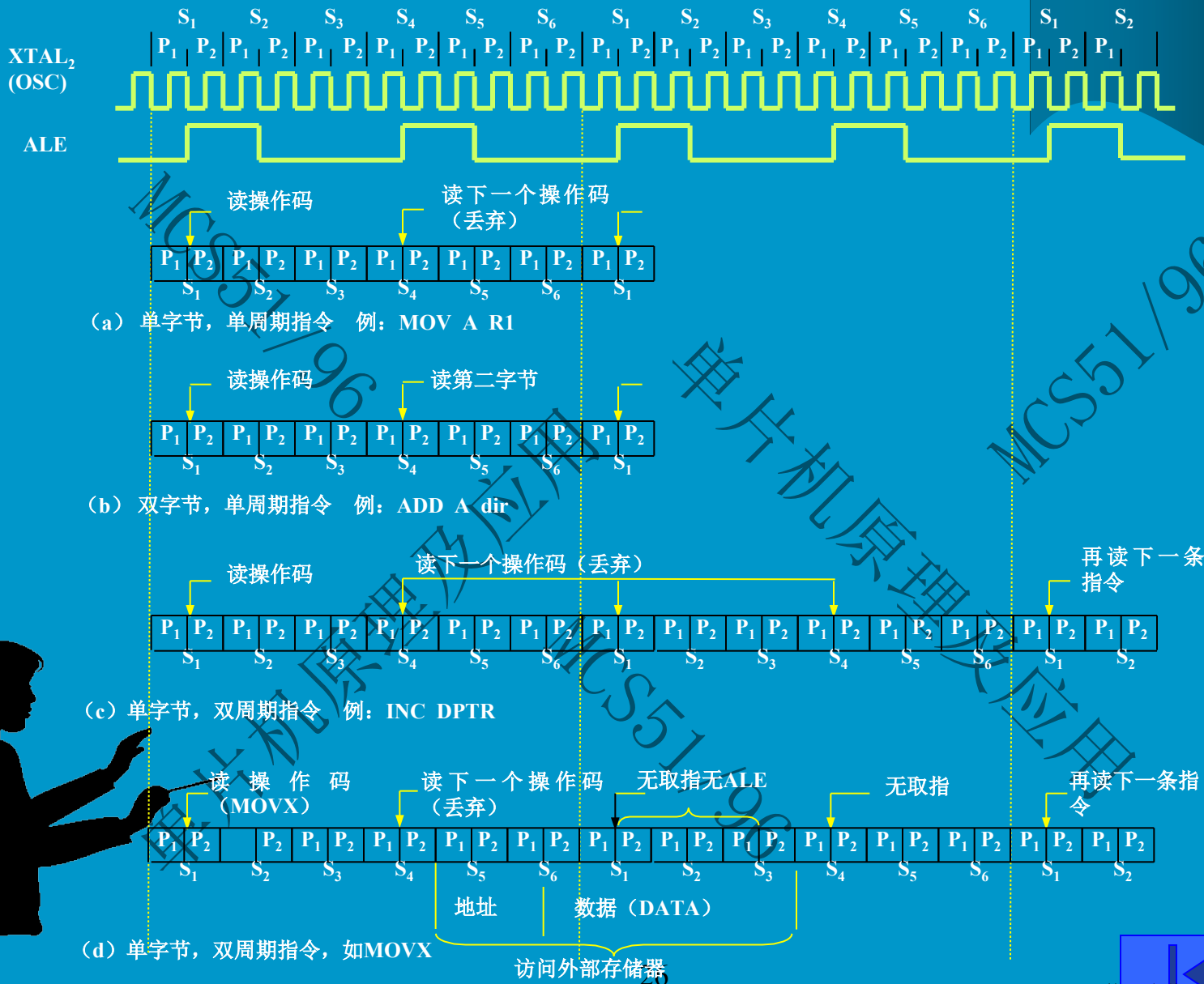
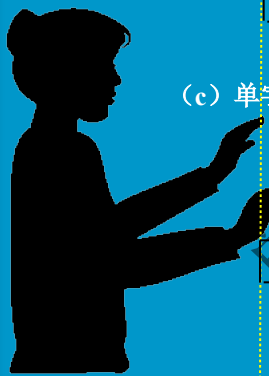


图1.5.4 MCS51单片机典型指令的取指和执行时序



1.5.5 MCS51典型复位电路及复位状态

1. 复位电路

单片机复位电路包括片内、片外两部分。外部复位电路就是为内部复位电路提供两个机器周期以上的高电平而设计的。MCS-51单片机通常采用上电自动复位和按键手动复位两种方式。如图1-10所示。

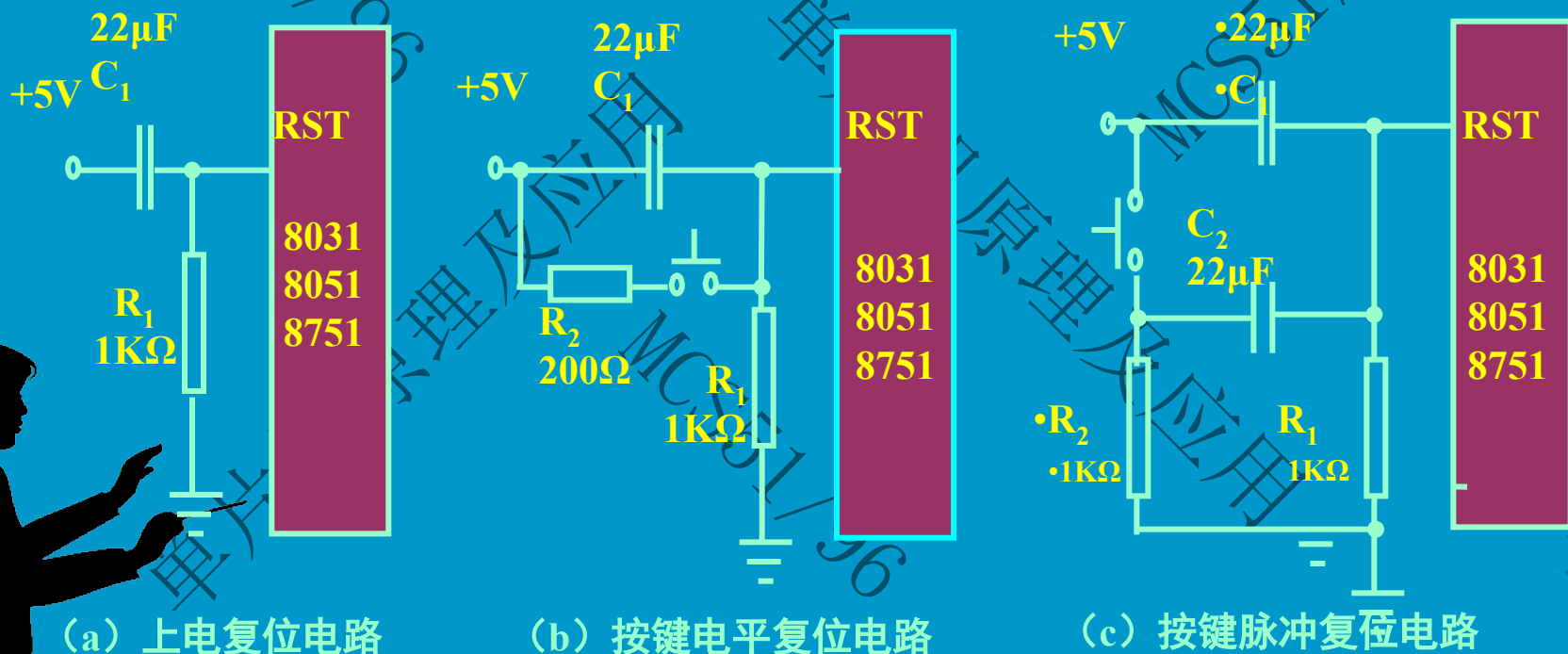


图1.5.5 几种复位电路

1.5.5 复位后的SFR初始化值

2. 单片机复位后的状态：单片机运行出错或进入死循环时，可按复位键重新运行。21个特殊功能寄存器复位后的状态为确定值，如表1-6所示。

SFR	初始状态	SFR	初始状态
A	00H	TMOD	00H
B	00H	TCON	00H
PSW	00H	TH0	00H
SP	07H	TL0	00H
DPL	00H	TH1	00H
DPH	00H	TL1	00H
P0~P3	FFH	SBUF	XXH
IP	XXX00000B	SCON	00H
IE	0XX00000B	PCON	0XXXXXXXB

表1.6 单片机复位后特殊功能寄存器的状态

1.6 输入/输出 (I/O) 端口

1.6.1 I/O端口概述

- 正如图1-2所示，MCS-51单片机有4个准双向（作为I/O输入时，需要先把口位锁存器置1，使输出下拉FET截止，故称为准双向口）并行的8位I/O口P0~P3，P0口为三态双向口，可驱动8个TTL电路输入，P1、P2、P3内部带有上拉网络，其负载能力为4个TTL电路输入。
- 每个口对应：1个口锁存器、一个输出控制电路、一个输出驱动器、二个输入三态缓冲器（同向）。
- 系统需要访问外部ROM或RAM（I/O口）时，由P0、P2输出地址，P0分时传送数据（这时候P0为真正双向口）；
- P0~P3均可用作普通I/O口（为准双向口，且P0口线须外接上拉电阻）。

1.6.1 P0口

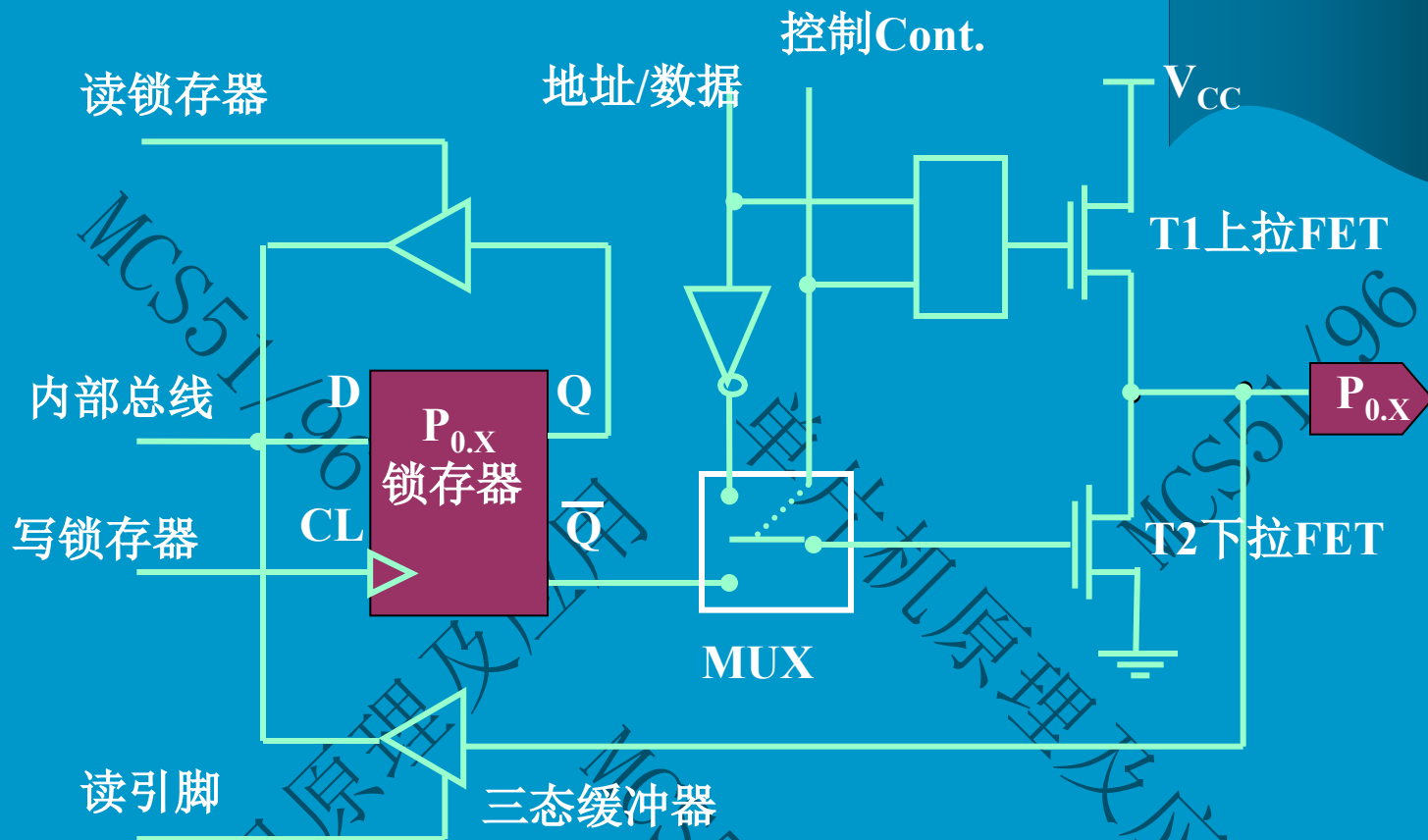


图1.6.1 P0口的一位结构图



1.6.1 P0口结构和应用特点

1. MUX由来自CPU的控制信号Cont.决定:

(A) Cont.=1时, Add/Data接T2, 输出(访问外部RAM、I/O口的)地址/数据, 如果Add输出后要求读操作, 则输入数据由“输入缓冲器”读入CPU;

(B) Cont.=0时, MUX接Q, P0作一般I/O口使用; 输出时, 通过控制T2将锁存器Q端信号输出到引脚, 但由于Cont.=0导致与门输出0, 使上拉T1管始终截止 → 输出高电平时产生浮空高阻输出(三态) → P0口作一般I/O口使用时须外接上拉电阻; 输入时, 对“读-修改-写”指令(如ANL P0, A)则“读锁存器”, 否则“读引脚”电平。

2. P0用作普通I/O口时, 也是准双向口: 由输出转为输入时, 需要先将口锁存器置1, 使T2截止(防止原来输出的低电平将引脚箝为到0); 系统复位时, 锁存器初始化为1, 保证复位后直接将口线用作输入功能; 而访问外部存储器时, CPU会在必要时自动向P0口写FFH。

1.6.2 P2口的一位结构

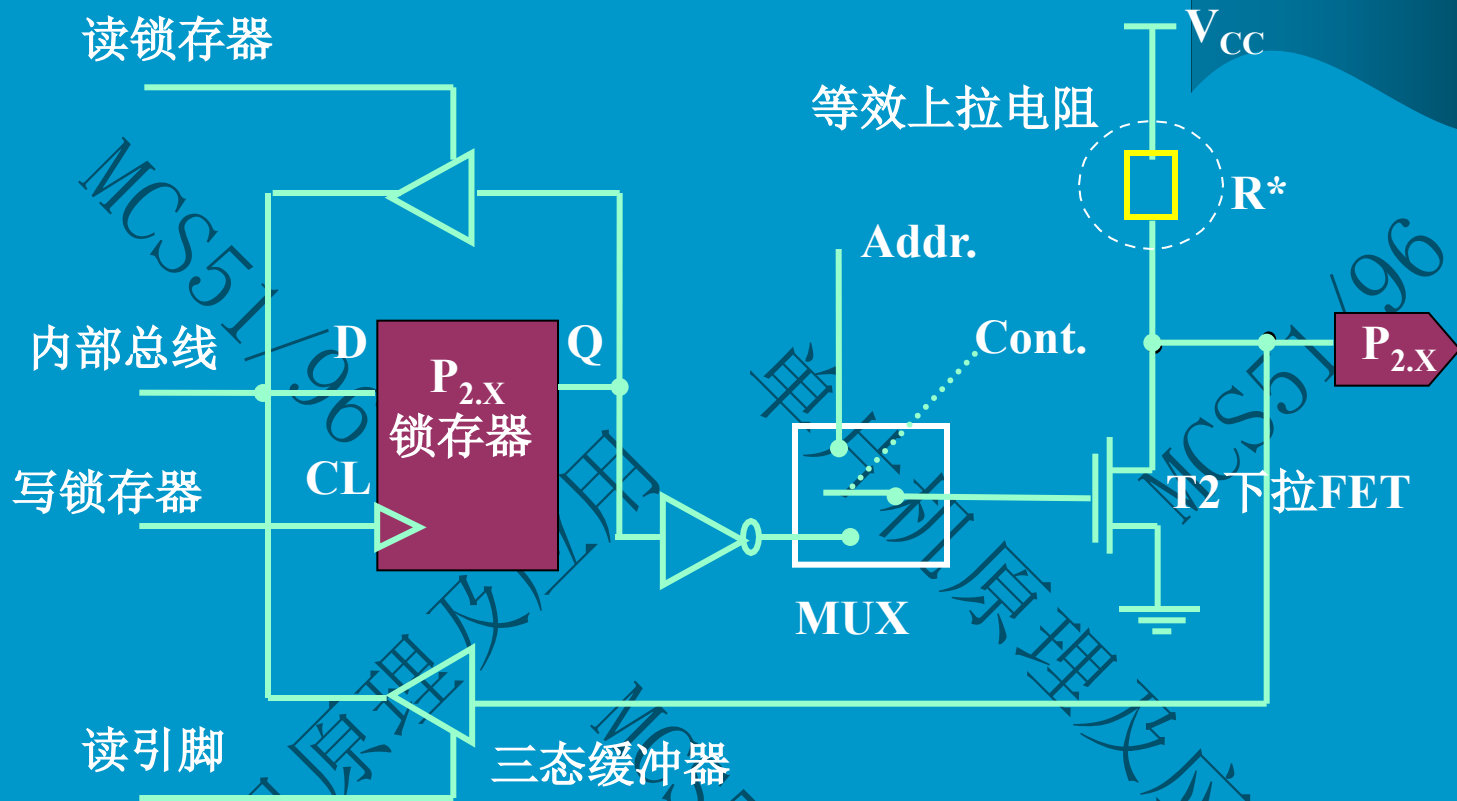


图1.6.2 P2口的一位结构图



1.6.2 P2口结构和应用特点

- 1. P2口主要用作外部ROM、RAM（I/O口）访问时的高8位地址（Addr---来自PC_H或DP_H）输出，这时MUX由Cont.控制倒向图中的右方，P2口不可在用作一般I/O；**当系统外部扩展有程序存储器（ROM）时（8031必须外扩程序存储器），P2口将占用。注意：访问外部RAM周期结束后，P2锁存器的内容又会重现在P2引脚上；**
- 2. P2用作普通I/O口时，也是准双向口：由输出转为输入时，需要先将口锁存器置1，使T2截止（防止原来输出的低电平将引脚箝为到0）；系统复位时，锁存器初始化为1，保证复位后直接将口线用作输入功能；**
- 3. 系统无外扩ROM而有外扩RAM时，可作具体应用分析：**
- 4. （A）外部RAM ≤ 256Bytes时，可考虑使用@Ri间址的MOVX 指令，以节省P2口作一般I/O口使用；**
- 5. （B）当外部RAM > 256Bytes但又不太大时，可考虑用软件的方法传送高位地址，仍使用MOVX @Ri指令，以节省部分或全部P2口线作一般I/O口使用。**

1.6.3 P1口的一位结构

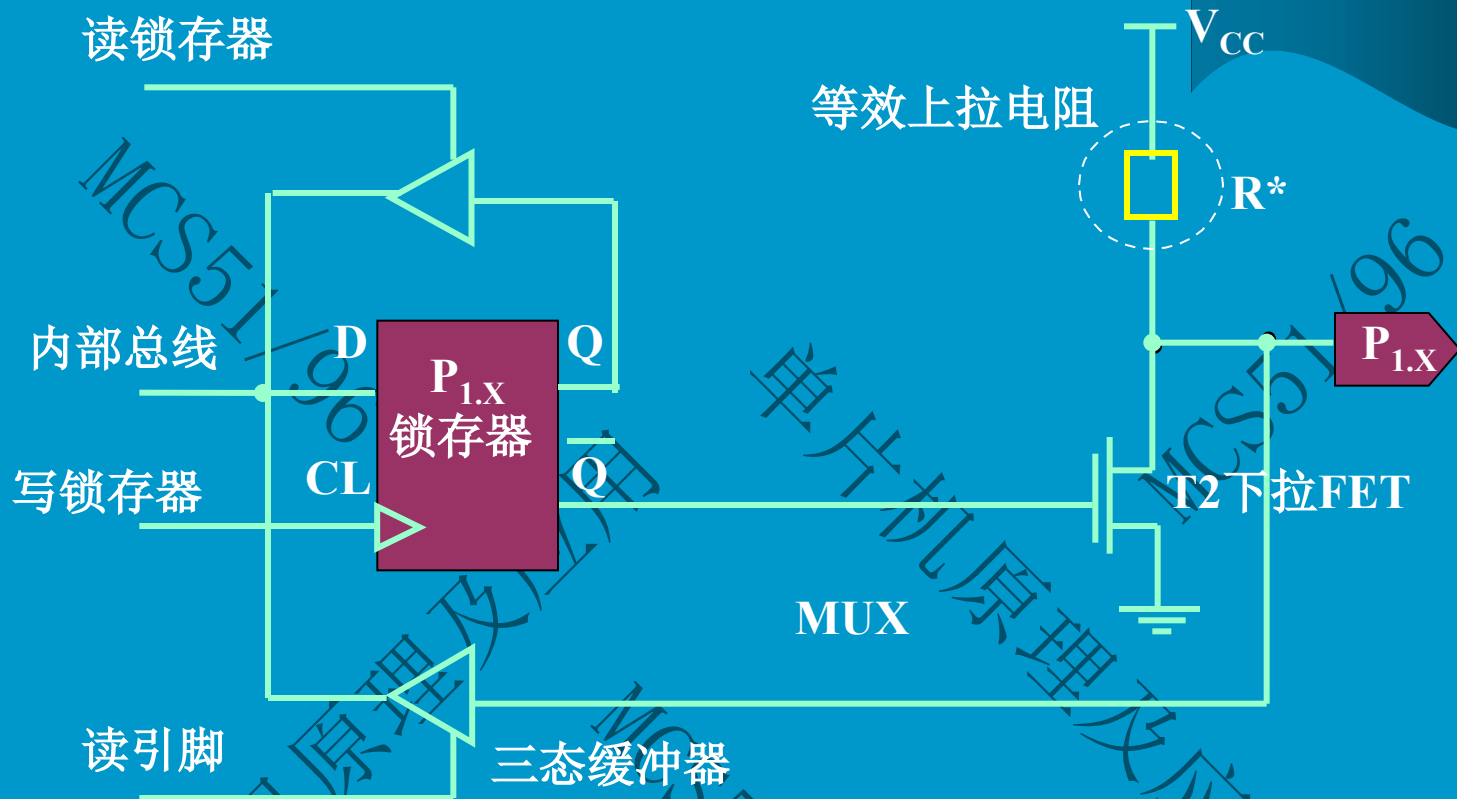


图1.6.3 P1口的一位结构图



1.6.3 P1口结构 and 应用特点

1. 标准的准双向口，在组成MCS51应用系统时，用作通用一般I/O口；
2. 对52子系列，P1.0、P1.1属双功能口结构。



MCS51/96
单片机原理及应用
单片机原理及应用
MCS51/96
MCS51/96
MCS51/96

1.6.4 P3口的一位结构

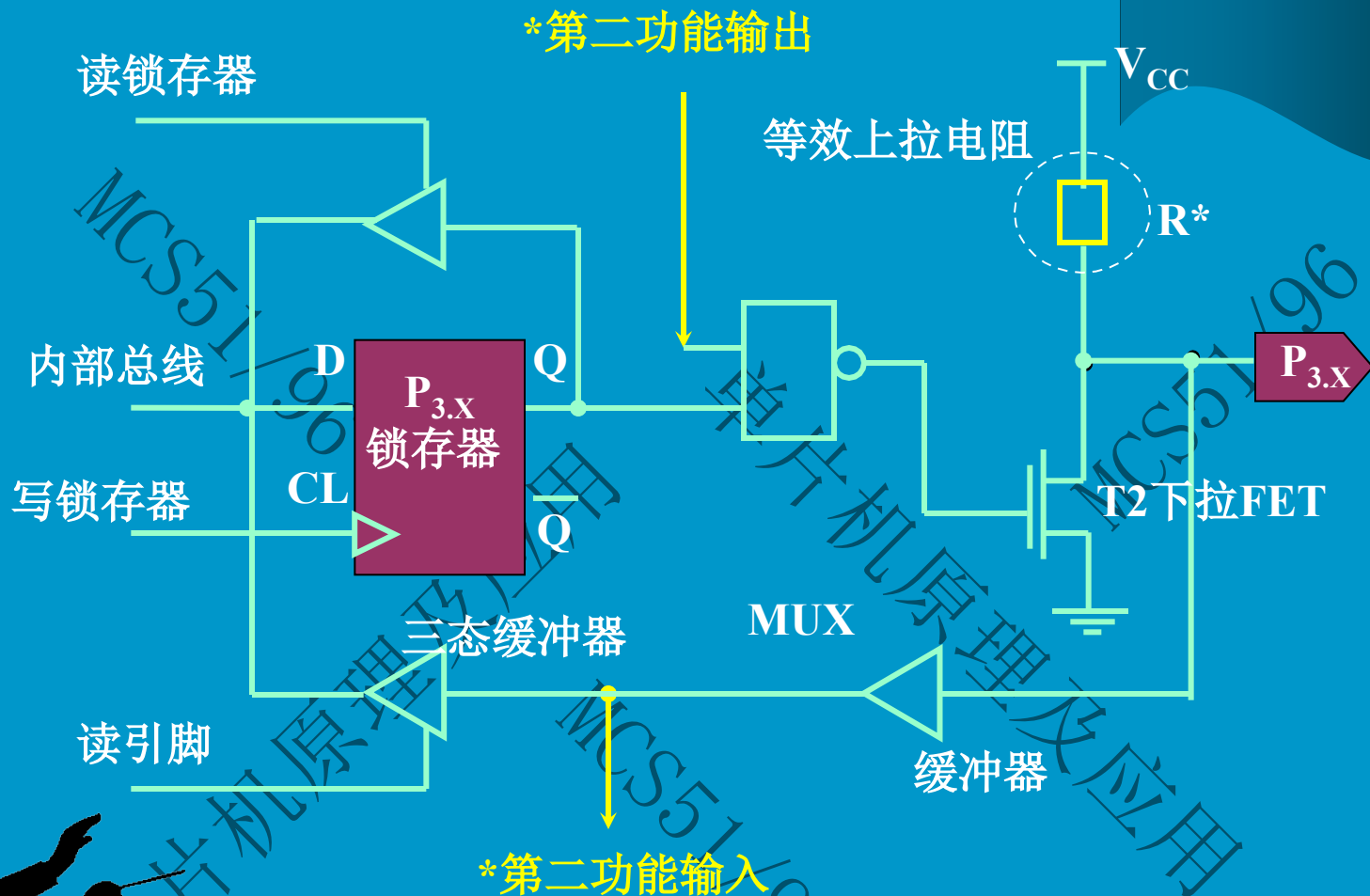


图1.6.4 P3口的一位结构图



1.6.4 P3口结构和应用特点

1. 双功能口，P3作一般I/O口使用时，原理类似P1和P2口，替代输出功能保持1；作第二输出或输入功能时，该位锁存器由内部逻辑置1；作第二输入功能时，替代输出功能线和该位锁存器均由内部逻辑置1，以保持T2截止；

2. 第二替代功能与引脚对应关系如下：

3. P3.0 → RXD P3.1 → TXD P3.2 → INT0 P3.3 → INT1

4. P3.4 → T0 P3.5 → T1 P3.6 → WR P3.7 → RD

3. 复位初始化：

4. (A) 锁存器自动置1 → TXD、WR、RD可直接工作；

5. (B) 且复位后替代输出功能线=1，所以替代输入功能可直接工作。

1.7 定时/计数器 (T/C)

T/C概述

- 在应用系统中，通常要求实现比较精确的定时处理或实现对外部事件的计数处理 → T/C作为常用外围功能部件，在一般单片机中均有不同数量的集成。
- **MCS51系列单片机有2个16位的定时/计数器：定时/计数器0 (T0) 和定时/计数器1 (T1)。**它们都有定时器或事件计数的功能（外部事件输入端定义在P3.4和P3.5，不用于计数功能时，P3.4和P3.5仍可用于一般I/O口），可用于定时控制、延时、对外部事件计数和检测等场合。52子系列增加了一个**定时/计数器2 (T2, 事件输入PIN与P1.1复用)**。

1.7.1 T/C的结构及工作原理

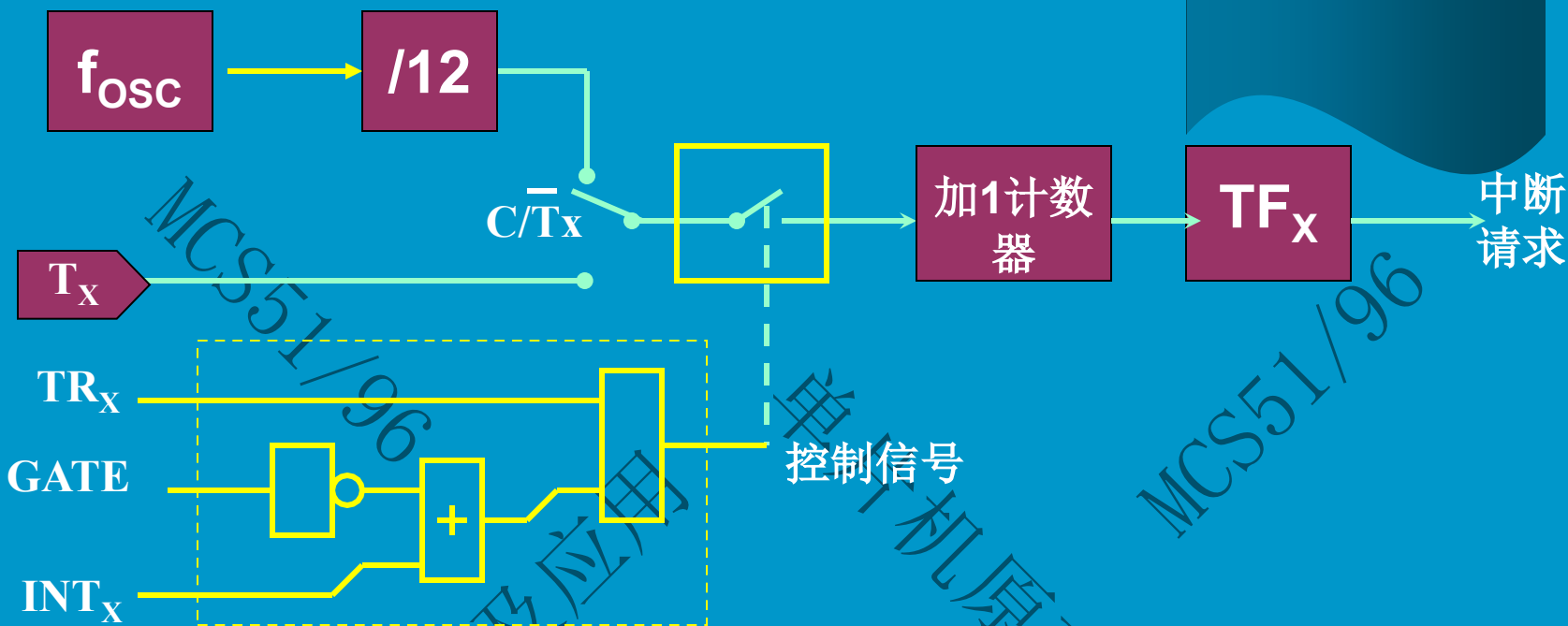


图1.7.1 定时/计数器的结构框图



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/336114021031010124>