

DDR DDR2 DDR3 设计总结指导手册

一、DDR 的布线分析与设计

二、DDR 电路的信号完整性

三、DDR Layout Guide

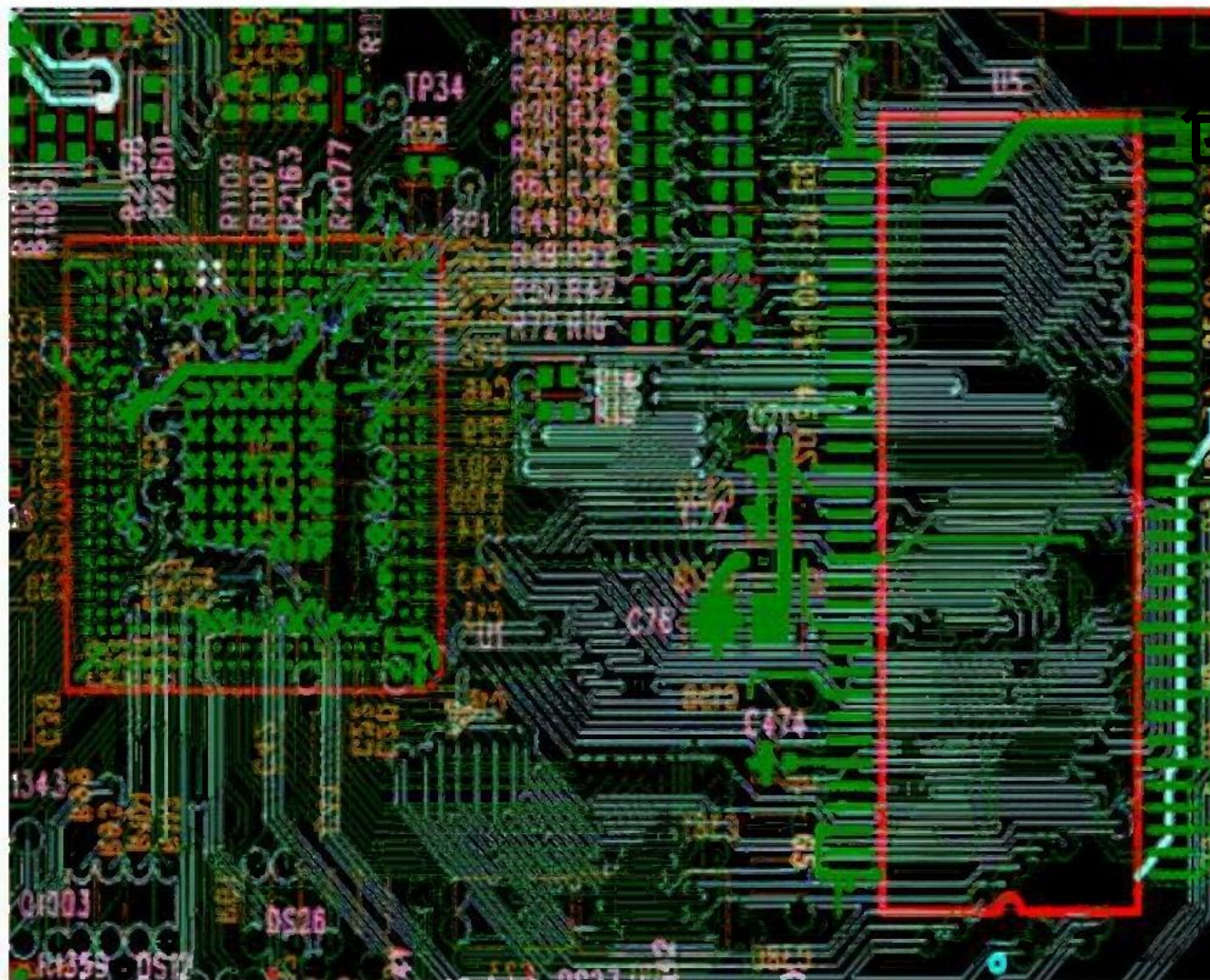
四、DDR 设计建议

五、DDR 实例设计指导

六 、DDR design checklist

七、DDR 信号完整性

SDRAM DDR DDR2 DDR3 电路及 PCB 设计



创力文档
book118.com
档一致下载高清无水印

原理上

- 1, 给足DDR 2.5V电源足够的滤波10UF 大电容每颗RAM 需要一个。
- 2, 0.1UF 与 1nF 电容半对半数放置。
- 3, REF 上拉电源保证足够的滤波, 容值的选择同上。并在源端串磁珠。
- 4, CLK 在源端串电阻, 并接电容到地。若是两颗 ram, CLK 之间需在 IC 接收端并电阻(100-200), 也可在此处上下拉。
- 5, DDR 的所有的线在源端匹配(串电阻), DATA, ADDRESS, CLK, DQS, DM, CLKE, WE, CS, RAS, CAS.
- 6, DQS DM CLK 源端电阻必须是单颗的, 不得用排阻。
- 7, DDR 附近的走线, 为了避免被串扰, 中速线串电阻, 低速线串磁珠滤波处理!

PCB layout 上

- 1, 首先看 CPU 他的 DDR pin 是否良好, 大公司或者成熟的产品他的 pin 定义是非常合理的。我们需要他的线都能完整扇出, 以保证我们的 layout。
- 2, 所有的 DDR 线如果能走到全部走到内层, 只留器件在表层, 最好, 这种情况下需要考虑打孔个数, 换层不要太多。这里强调 data 线, CLK 线, DQSDM 线。
- 3, 每一组 data 线, DQS, DM 线都必须走在一个区域, 且参考相同的 GND 层, 这些线最大可能走同一层, 第三层建议走。出于空间或打孔过多的原因, 可以适当放置表层。每颗 RAM 有两组这样的线。
- 4, DDR 的区域必须是完整的 GND 平面来参考, cost down 压力下, 可适当考虑 power, 不建议这么做。
- 5, DQS DM CLK 走线时控制4W 原则。
- 6, DDR 高速线跨层时, 在附近留GND 贯穿孔。保证信号足够完好的回流。

7,DDR 周边的线应尽量远离此高速区域!

一、嵌入式 DDR 的布线分析与设计

嵌入式DDR(Double Data Rate, 双数据速率)设计是含DDR 的嵌入式硬件设计中最重要和最核心的部分。随着嵌入式系统的处理能力越来越强大,实现的功能越来越多,系统的工作频率越来越高,DDR的工作频率也逐渐从最低的133 MHz提高到200 MHz,从而实现了更大的系统带宽和更好的性能。然而,更高的工作频率同时也对系统的稳定性提出了更高的要求,这需要硬件设计者对电路的布局走线有更多的约束和考虑。而影响整个系统能否工作正常且稳定的最重要的部分就是DDR部分的电路设计。嵌入式系统使用DDR内存,可以在传统的单数据速率内存芯片上实现更好..

1 DDR 总线结构

对于 DDR内存, JEDEC 建立和采用了一个低压高速信号标准。这个标准称为“短截线串联终结逻辑(StubSeries Terminated Logic,SSTL)”。SSTL 能够改进数据通过总线传输的信号完整性,这种终端设计的目的是防止在高速传输下由于信号反射导致的数据错误。

在一个典型的内存拓扑结构中,如果使用了串联匹配电阻(R_s),那么它应该放在远离DDR 控制器的位置。这种方法能够节约控制器附近宝贵的电路板空间,避免布线拥塞和繁琐的引脚扇出;而且也优化了从控制器到内存芯片的信号完整性,在这些位置往往有很多地址和命令信号需要可靠地被多个内存接收。

最普通的 SSTL终端模型是一种较好的单终端和并联终端方案,如图1所示。这种方案包含使用一个串联终端电阻(R_g)从控制器到内存,以及一个并联终端电阻(R_T)上拉到终端电压(V_{TT})。这种方法常见于商用电脑的主板上,但目前的嵌入式主板上为了获得更好的信号完整性和系统稳定性,也常常使用。 R_s 和 R_T 的值是依赖于具体的系统的,应该由板级仿真确定具体的值。

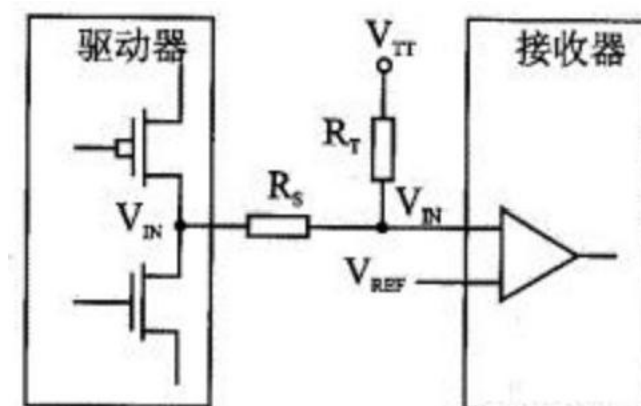


图 1 典型 DDR 内存接口图

2 嵌入式DDR布线分析

2.1 DDR 的信号完整性问题

高速总线信号的传输往往需要考虑信号完整性问题。DDR 的信号线不是普通的信号线而是传输线，因而传输线上的过孔，或者连接器等不连续阻抗因素都会影响接收端的信号完整性。主要有过冲和下冲、振铃及串扰等影响，交流噪声以及直流电压的一些不准确因素也同样影响信号传输的性能。

DDR为了实现更高的信号频率，SSTL 高增益差分接收器的接收电平往往是偏置在参考电平(V_{REF})附近，使用这样的接收器允许更小的电压摆幅、更少的信号反射、更低的电磁干扰和更短的建立时间，比LVTTTL能适应更高的时钟频率。图2所示的是SSTL接口电平。交流逻辑电平是在接收器端的接收电平，在接收器处交流逻辑参数(包括建立和保持时间)都必须最佳，而直流逻辑电平则提供一个滞后的接收电平点。当输入电平穿过DC直流参考点时，接收器转变到新的逻辑电平并且保持这个新的状态，只要信号不低于门限电平。因此，SSTL总线不易于受过冲、下冲和振铃的影响。

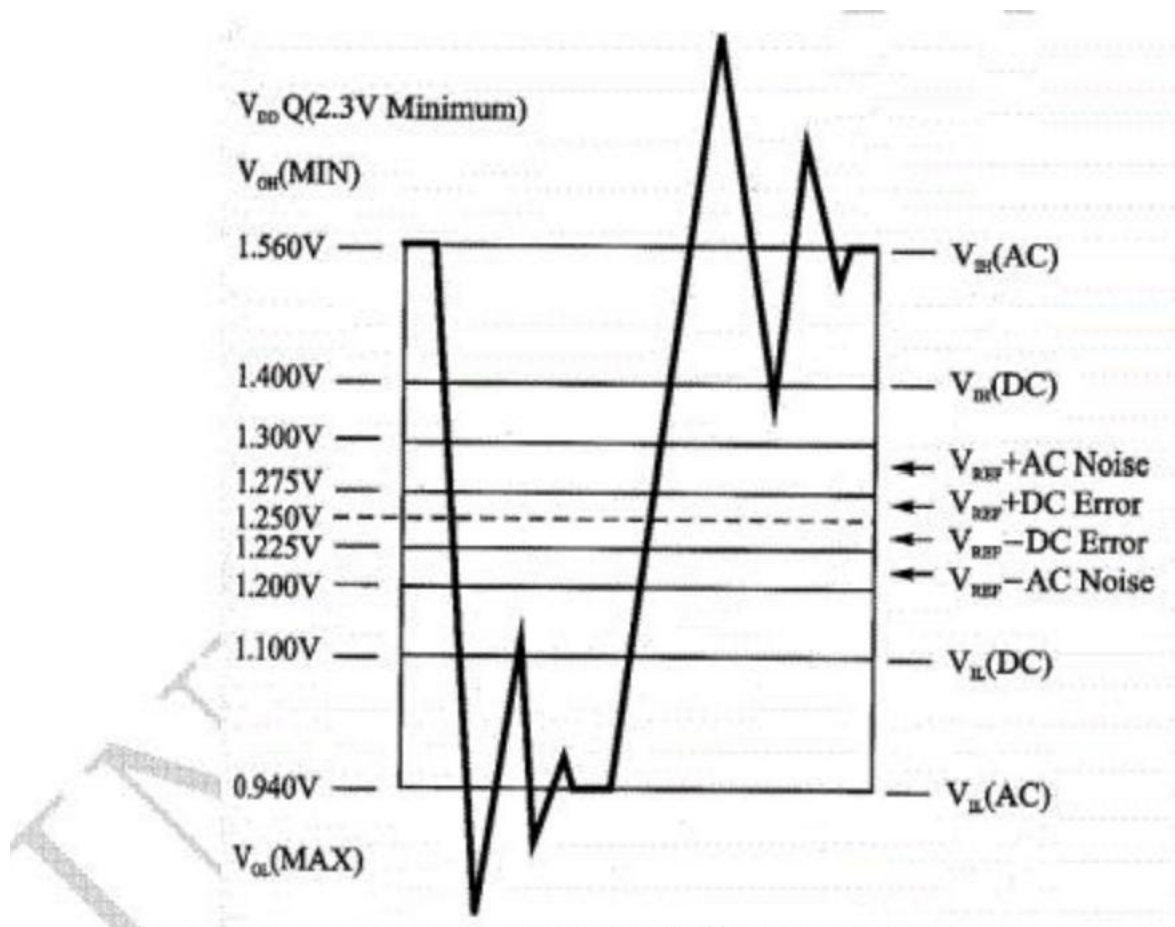


图 2 SSTL 接口电平

2.2 基于布线考虑的 DDR信号分组

DDR 控制器包括超过130个信号，并且提供直接的信号接口连接内存子系统。这些信号根据信号的种类可以分为不同的信号组，如表1所列。其中，数据组的分组应该以每个字节通道来划分，DM0、DQS0以及DQ0~DQ7为第1字节通道，DM1、DQS1以及DQ8~DQ15为第2字节通道，以此类推。每个字节通道内有严格的长度匹配关系。其他信号走线长度应按照组为单位来进行匹配，每组内信号长度差应该严格控制在一定范围内。不同组的信号间虽然不像组内信号那样要求严格，但不同组长度差同样也有一定要求。具体布线要求见2.4小节。

表 1 信号组的分类

信号组	信 号	描 述
时钟组	CLK, CLK#	差分时钟信号
数据组	DQ	数据总线
	DM	数据屏蔽
	DQS	数据选通
地址/ 命令组	ADD	地址总线
	BA	Bank选择
	RAS	行地址选通
	CAS	列地址选通
	WE	写使能
控制组	CKE	时钟选择
	CS	片选
电源	VgF	参考电压
	Vm	终端电压

2.3 信号组布线顺序

为了确保 DDR接口最优化，DDR的布线应该按照如下的顺序进行：功率、电阻网络中的pin 脚交换、数据信号线布线、地址/命令信号布线、控制信号布线、时钟信号布线、反馈信号布线。

数据信号组的布线优先级是所有信号组中最高的，因为它工作在2倍时钟频率下，它的信号完整性要求是最高的。另外，数据信号组是所有这些信号组中占最大部分内存总线位宽的部分也是最主要的走线长度匹配有要求的信号组。

地址、命令、控制和数据信号组都与时钟的走线有关。因此，系统中有效的时钟走线长度应该满足多种关系。设计者应该建立系统时序的综合考虑，以确保所有这些关系都能够被满足

2.4各组信号布线长度匹配

时钟信号：以地平面为参考，给整个时钟回路的走线提供一个完整的地平面，给回路电流提供一个低阻抗的路径。由于是差分时钟信号，在走线前应预先设计好线宽线距，计算好差分阻抗，再按照这种约束来进行布线。所有的DDR 差分时钟信号都必须在关键平面上走线，尽量避免层到层的转换。线宽和差分间距需要参考DDR 控制器的实施细则，信号线的单线阻抗应控制在50~60Q，差分阻抗控制在100~120 Ω。时钟信号到其他信号应保持在20mil* 以上的距离来防止对其他信号的干扰。蛇形走线的间距不应小于20 mil。串联终端电阻 Rs 值在15~33Q，可选的并联终端电阻RT值在25~68 Ω，具体设定的阻值还是应该依据信号完整性仿真的结果。

数据信号组：以地平面为参考，给信号回路提供完整的地平面。特征阻抗控制在 $50\sim 60\ \Omega$ 。线宽要求参考实施细则。与其他非 DDR 信号间距至少隔离 $20\ \text{mil}$ 。长度匹配按字节通道为单位进行设置，每字节通道内数据信号DQ、数据选通DQS和数据屏蔽信号DM长度差应控制在 $\pm 25\ \text{mil}$ 内(非常重要),不同字节通道的信号长度差应控制在 $1000\ \text{mil}$ 内。与相匹配的 DM 和 DQS 串联匹配电阻 R_s 值为 $0\sim 33\ \Omega$, 并联匹配终端电阻 R_T 值为 $25\sim 68\ \Omega$ 其他 DDR 信号。

地址和命令信号组：保持完整的地和电源平面。特征阻抗控制在 $50\sim 60\ \Omega$ 。信号线宽参考具体设计实施细则。信号组与其他非DDR 信号间距至少保持 $20\ \text{mil}$ 以上。组内信号应该与DDR时钟线长度匹配，差距至少控制在 $25\ \text{mil}$ 内。串联匹配电阻 R_s 值为 $0\sim 33\ \Omega$, 并联匹配电阻 R_T 值应该在 $25\sim 68\ \Omega$ 。本组内的信号不要和数据信号组在同一个电阻排内。

控制信号组：控制信号组的信号最少，只有时钟使能和片选两种信号。仍需要有一个完整的地平面和电源平面作参考。串联匹配电阻 R_S 值为 $0\sim 33\ \Omega$, 并联匹配终端电阻 R_T 值为 $25\sim 68\ \Omega$ 。为了防止串扰，本组内信号同样也不能和数据信号在同一个电阻排内。

2.5 电源部分的设计分析

通常情况下，DDR 供电电压是 $2.3\sim 2.7\ \text{V}$ ，典型值是 $2.5\ \text{V}$ ，工作频率的不同可能引起正常工作电压的不同。参考电压 V_{REF} 是 $1.13\sim 1.38\ \text{V}$ ，典型值是 $1.25\ \text{V}$ 。 V_{TT} 以 V_{REF} 为参考，电压范围是 $(V_{REF}-0.4\ \text{V})\sim (V_{REF}+0.4\ \text{V})$ 。由于 V_{REF} 只是给差分接收器端提供一个直流参考电平所以电流比较小，最大的只有 3mA 。 V_{TT} 的电流由于上拉的缘故，在输出端输出高电平时， V_{TT} 应能流入电流，在输出端输出低电时 V_{TT} 电流输出. 故 V_{TT} 必须能同时有流入和流出电流，电流的大小依赖于总线上同时出现的电位状态，从常用的设计来看最大可以从 2.3A 到 3.2A 。

由于 V_{REF} 电压作为其他信号接收端的重要参考，故它的布线设计也是十分重要的。叠加在 V_{REF} 电压的串扰或噪声能直接导致内存总线发生潜在的时序错误、抖动和漂移。很多电源芯片会把 V_{REF} 和 V_{TT} 从同一源输出，但是由于使用的目的不同，走线也完全不同。 V_{REF} 最好和 V_{TT} 在不同平面，以免 V_{TT} 产生的噪声干扰 V_{REF} 。而且无论是在DDR 控制器端还是DDR 存储器端， V_{REF} 脚附近都应放置去耦电容，消除高频噪声。 V_{REF} 的走线宽度应该越宽越好，最好为 $20\sim 25\ \text{mil}$ 。

V_{TT} 电源应该单独划分一块平面来供应电流，且最好放在 DDR 存储器端。如果并联终端匹配使用排阻的方式上拉，那么最好每个排阻都添加一个 $0.1\ \mu\text{F}$ 或 $0.01\ \mu\text{F}$ 的去耦电容，这对于改善信号的完整性、提高DDR 总线的稳定性都有很好的效果。

结 语

在带有DDR的嵌入式系统主板中，设计PCB最难的部分莫过于DDR的走线设计。好的走线就等于有了好的信号完整性和好的时序匹配，总线在高速输入/输出数据过程中就不会出错，甚至能够有更好的抗串扰和EMC能力。DDR总线并行传输且速率较高，在设计过程中如果没有按照严格的约束进行布线，在设备后期调试过程中，将会出现各种各样异常问题，甚至是系统根本无法启动。而这些问题在查找和调试中很难发现，以至于无法完成硬件的开发。最好的方法就是在设计时就充分考虑信号完整性和时序匹配的问题，在走线时就把这些规则运用进去：如果有条件，可以做一下仿真，预先验证一下设计。这样做出来的设计，系统的稳定性和可靠性才会更高。

二、注重DDR电路的信号完整性

目前很多高清数字机顶盒都采用了DDR存储器，DDR是Double Data Rate的缩写，意为双倍数据速率。普通的SDRAM只是在时钟的上升沿进行一次数据传输，而DDR SDRAM可以在时钟的上升及下降沿各进行一次数据传输，从而达到双倍数据传输速率的效果。

数字机顶盒工作时有大量的数据在DDR和CPU之间高速传输，要想确保产品能长期稳定地工作，首先要可靠地传输各种信号，当DDR数据速率高达几百Mb/s时，数据窗口非常短，使得PCB布局和布线成为新的挑战，若设计不合理将会破坏信号完整性，使数据、地址和控制信号产生畸变或定时错误，严重时将导致系统误工作甚至崩溃。笔者曾多次遇到高清数字机顶盒莫名其妙的死机现象，调试非常困难，其根本原因是信号完整性问题。

DDR信号的特点

以海力士公司的HY5DU561622CT为例，介绍DDR信号的基本特点。该芯片时钟脉冲频率200MHz，时钟周期为5ns，如图1所示。由于数据是在CK的上升和下降沿触发，使数据传输周期缩短了一半，每引脚的最大数据传输率达400Mb/s。为了确保数据的正确传输，要求CK的上下沿间距要有精确的控制。但因为温度、器件性能变化等原因，CK上下沿间距可能发生变化，这时与其反相的/CK就能起到纠正偏差的作用，当CK出现上升快下降慢的情况时，相应的/CK则是上升慢下降快，起到触发时钟校准的作用，这是DDR采用差分时钟的优点。

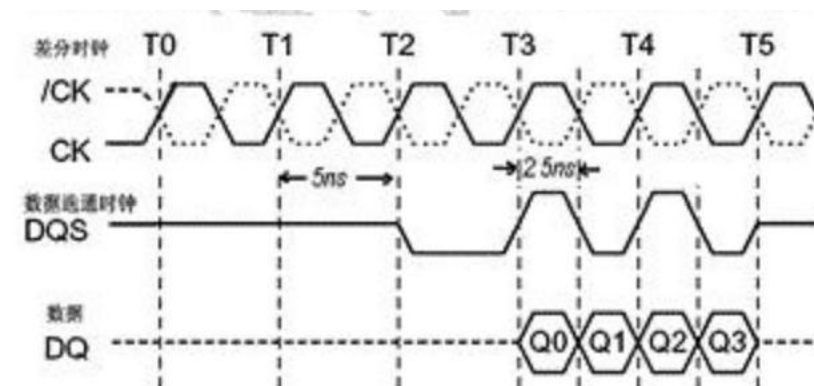


图 1 DDR 读操作时序图

DDR与普通SDRAM的另外一个差别是增加了数据选通脉冲DQS信号，在接收端使用DQS来读出相应的数据DQ，上升沿和下降沿都有效。DQS和DQ都是三态信号，在PCB走线上双向传输，读操作时，DQS信号的边沿在时序上与DQ的信号边沿处对齐，而写操作时，DQS信号的边沿在时序上与DQ信号的中心处对齐。

信号完整性的概念

信号完整性 (Signal Integrity, 简称 SI) 指信号在电路中以正确的时序和幅

度做出响应的能力，可理解为信号在线路上的传输质量。信号完整性问题与信号时序、信号在传输线上的传输延迟、信号波形的失真程度等密切相关。高速 DDR 设计应全面考虑信号完整性问题，破坏信号完整性的主要原因有反射、串扰和地弹等。在高频PCB设计中要认真考虑时钟线、信号线、电源分配和地线回路，还要考虑噪声容限、负载匹配和传输线效应等因素，随着信号工作频率的不断提高，信号完整性问题已经成为设计高速DDR 电路关注的焦点。下面具体分析信号完整性问题的产生及解决方法。

避免对信号完整性的影响

1 反射

反射(Reflection) 会使合成信号形成过冲，导致信号波形在逻辑门限附近波动，如图2所示。信号在跳变的过程中可能跨越逻辑电平门限，多次跨越逻辑电平门限则会导致逻辑功能紊乱。产生反射的原因是信号传输线两端的阻抗不匹配。

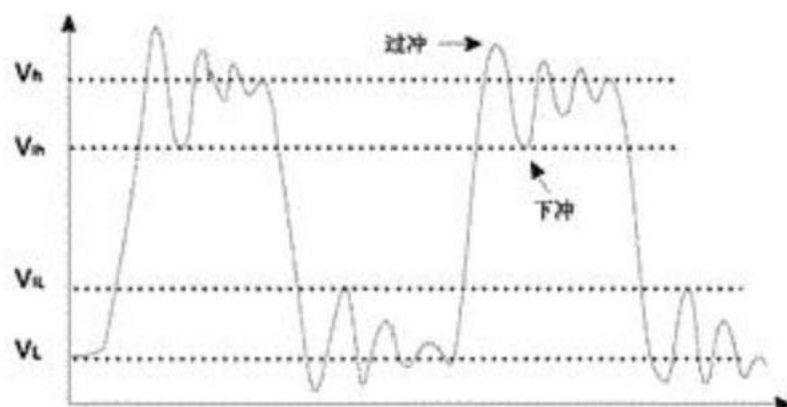


图 2 反射导致过冲示意图

消除反射的根本办法是使阻抗具有良好的匹配，负载阻抗与传输线的特性阻抗相差越大反射也越大，所以应尽可能使信号传输线的特性阻抗与负载阻抗相等。同时还要注意 PCB上的传输线不能出现突变或拐角，尽量保持传输线各点的阻抗连续，否则在传输线的各段之间也将会出现反射。

2 串扰

信号之间由于电磁场的相互耦合而产生的不期望的噪声信号称为串扰 (Crosstalk)。串扰是指没有直接连接的信号线之间的耦合现象。由于高频信号沿着传输线是以电磁波的形式传输的，信号线会起到天线的作用，电磁场的能量会在传输线的周围发射，当高速变化的信号沿传输线A传播时，信号线周围的空间就存在时变的电磁场，如图3 所示。这种时变的电磁场会使周围的传输线B产生感生电压，这就是串扰，PCB板层的参数、信号线的间距、驱动端和接收端的电气特性以及信号线端接方式对串扰都有一定的影响。串扰会随着时钟频率的升高和设计尺寸的减小而加大，信号沿的变化率越快，产生的串扰也越大。串扰超出一定的值会使数字信号出现误码，可能引发电路误动作，严重时会导致系统无法正常工作甚至崩溃。

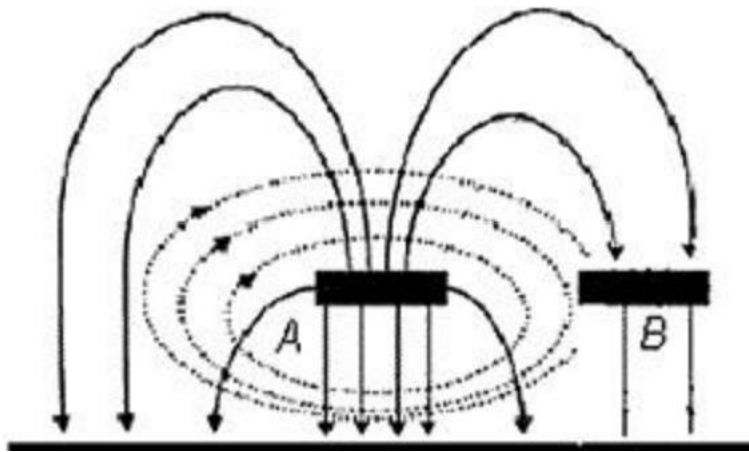


图 3 串扰的形成示意图

在高速信号系统设计中，反射属于单信号线现象，当然包括地平面问题。但串扰不同，它是两条信号线之间以及地平面之间的耦合，所以又称为三线系统。形成串扰的根本原因是信号变化引起周边的电磁场发生变化，所以解决串扰的方法主要从减少干扰源强度和切断干扰路径两个方面进行，在设计时要注意以下几点。

- 在数字电路中，通常的时钟信号都是边沿变化快的信号，对外串扰大。所以在设计中，时钟线宜用地线包围起来，并要尽量使用低电压差分时钟信号。
- 在布线空间允许的条件下，在串扰较严重的两条线之间插入一条地线或地平面，可以起到隔离的作用而减小串扰。
- 信号不要形成环路，若无法避免则应使环路面积尽量小。
- 在布线空间许可的前提下，加大相邻信号线之间的间距，减小信号线的平行长度，时钟线尽量与关键信号线垂直而不要平行。
- 闲置不用的输入端不要悬空，而是将其接地或接电源(电源在高频信号回路中也是地)，因为悬空的线有可能等效于发射天线，接地就能抑制发射。实践证明，用这种办法消除串扰有时能立即见效。

3 地弹

地弹 (Ground Bounce)通常包括电压跌落和接地反弹，当系统同时转换多个引脚的逻辑状态时，会产生较大的瞬态电流，导致电源线上和地线上电压的波动，电源电压跌落和接地反弹使信号沿出现平台，如图4所示。反弹是噪声来源之一，还可能使时序发生偏移。反弹的噪声影响着阈值的判断，严重时会使系统产生误动作。

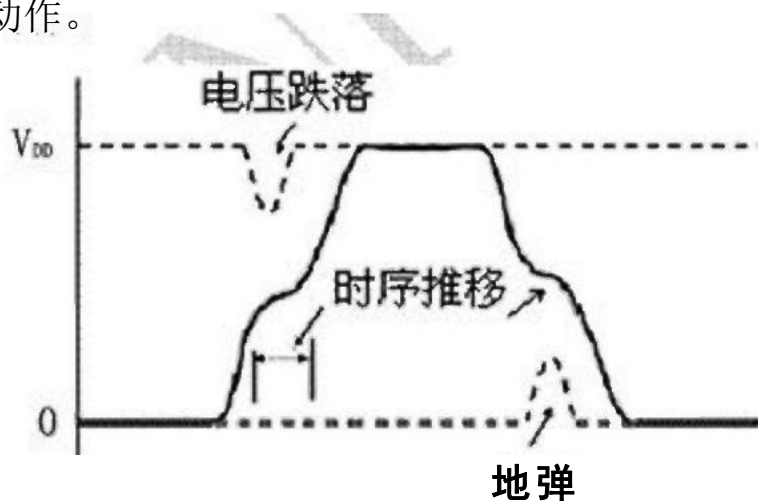


图 4 地弹的形成示意图

要抑制反弹的影响，首先是想办法减小电源的摆幅，尽量选用性能好的电源，布局时可对系统进行分割，尽量减小系统中的各种电源之间的互相影响，如数字电源和模拟电源恰当地分区，高速部分与低速部分恰当地分区，分割的目的是要重点保护高速部分。DDR部分是高速接口，对它谨慎处理是保证信号完整性的关键，

低速部分的信号完整性相对容易达到要求。抑制反弹的另一办法是降低 PCB 端的分布电感量。由于电感会随导体的增长而增大，随导体宽度增长而减少，所以高速 DDR 电路接地回路应尽量宽广，减少其接地端回路的电感量。尽量在 PCB 的顶层和底层大面积铺铜，这些措施对解决反弹都能起到积极有效的作用。

要抑制反弹还有一个比较简单的方法是选择合适的位置放置去耦电容，必要时可选用高频低阻抗电容，加上适当的去耦电容能有效地抑制电源和地线上的反弹噪声。

如何测试 DDR 电路

DDR 总线走线数量多、速度快。以海力士 HY5DU561622CT 为例，该芯片共有 66 个引脚，操作时序复杂，DDR 总线容易出现信号完整性问题，诸如时钟信号丢失、信号严重变形、上电时序出错、操作时序违规、协议违规、数据电平错判等。测量信号的实际质量对判定信号完整性十分重要，就时域测量范围来看，可用示波器观察信号的形态：包括差分时钟波形，信号的上升时间、下降时间、幅值、振铃和过冲等参数。就频域测量范围来看，我们可用频谱仪测定基波和谐波等信息。DDR 电路信号众多，必须同时分析多个信号才能确定总线的状态和其他信号时序的正确性，只凭示波器或频谱仪是监测不了的，使用逻辑分析仪是追踪信号完整性的有效途径。逻辑分析仪具有定时分析和状态分析两种分析模式。定时分析是用逻辑分析仪的内部时钟来采集数据，这种分析模式适合于分析各信号线在时间上的相关性。状态分析是采用系统的状态时钟来采集数据，这种分析模式捕获的是总线上的实际数据，有利于对实际数据的判断和协议的分析。

如何使用逻辑分析仪测试 DDR 的上电时序呢？DDR 上电和初始化的过程是：首先 VDD 上电，接着 VDDQ 上电，然后 VREF 和 VTT 上电，这阶段保持 CKE 为低电平，满足规定的延迟后，CKE 才转为高电平。当各种供电和差分时钟都已进入稳定后，才可以执行操作指令，接着设置模式寄存器，再写入操作参数。这些都必须按照规定的时序进行，如图 5 所示。

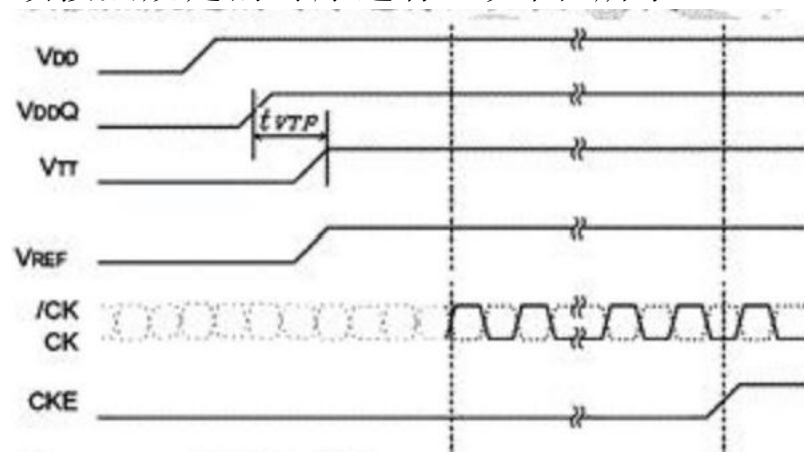


图 5 DDR 上电时序

测试时可同时把以上信号分别接到逻辑分析仪的不同通道，正确设置有关参数，就可捕获和查看各信号的建立时间、保持时间和延迟，判断上电时序是否正确。逻辑分析仪能同时查看几十路信号，从全局观察和分析信号完整性问题。逻辑分析仪可在复杂的逻辑行为下触发和观察 DDR 的数据流，还可在发生逻辑故障时触发来观察产生该故障时的信号情况。

结语

设计高清数字机顶盒有许多不同的存储器可选方案。与其他存储器选择相比，DDR 的优势是很明显的。但要注意 DDR 是一个高速而复杂的接口，对系统稳定性具有关键的影响，以前可忽视的信号完整性问题此时此时显得非常重要，在 PCB 设计中要认真细致考虑反射、串扰和地弹等问题。要确保机顶盒能长期稳定而可靠地

工作，研究和测判信号完整性非常关键。

三、DDR Layout Guide

SDRAM,DDR,DDR2,DDR3 是 **RAM** 技术发展的不同阶段，对于嵌入式系统来说，**SDRAM** 常用在低端，对速率要求不高的场合，而在**DDR/DDR2/DDR3** 中，目前基本上已经以 **DDR2** 为主导，相信不久**DDR3** 将全面取代 **DDR2**，关于 **DDR,DDR2,DDR3**，其原理这里不多介绍，其典型差别就是在内部逻辑的“预存取”技术有所差别，但是从外部接口之间的速率来看，他们基本类似，就是**clock,stroke,data,address,control,command** 等，无论是**DDR/DDR2/DDR3**，他们的**clock** 与 **data** 的理论频率是一致的，及 **clock=266MHz**，则对应的**data=266MHzMHz** (这里可能有人反对，觉得**data** 应该等于**533 MHz**，其实它我们常说的**533 MHz**的 **Bit Rate**，这里要注意一个周期是由‘0’与‘1’组成的，我们在 S1 仿真时要注意了。)

DDR/DDR2/DDR3 的 **Layout Guidelines** 通常具有下面的格式(只
显示一部分，并且里面的参数参数参考)

原创力文档

max.book118.com
预览与源文档一致，下载高清无水印

Table 1:General constraints for Signal Group

Index	Signal Gaeup	Net Mame	Trace Width	Space wthin intenal Group	Space with other gioup	Max Trace Leagth	Trace tength Matching	Single Impedance	Daferential Impedance	Reference Plane	Description
1	DOR2 CLX. 0	CLD	5	8	10	2500	+. 5	NA	100+10%	GND	This ig the de
		CUD#	5	8	10	2500		IA	100++10%	GND	
2	DOR2CK_1	CLK	5	8	10	2500	+5	NA	100#10%	GND	This is the e
		CUK1#	5	8	10	2500		NA	100+−10%	GND	
3	DaaLane_0	D0−07	5	5	8	2500	20	50+*-10等	WA	GNDPWR	NA
		DMO	5	5	8	2500		50+6−10%	WA	GNOIPWR	NA
		DOS0	5	8	8	2500		NA	100 +/. 10%	GND	Tie is the de
		DOS0#	5	8	8	2500		WA	100+610%	GND	
4	DataStrobe_0	DOSD	5	8	10	2500	+5	WA	100+*-10%	GNO	This is the a
		DOS0#	5	8	10	2500		NA	100*+10%	GNO	
5	DaaLane_1	C6−015	5	5	8	2500	20	50 +−10%	NA	GNOPWR	NA
		DMI	5	5	8	2500		50+*10%	NA	GND/PWR	NA
		DOS t	5	8	8	2500		WA	100 +(10%	GND	This is the de
		DOS1#	5	8	8	2500		NA	100 +(10%	GND	
6	DataStrobe_1	DOSI	5	8	10	2500	5	WA	100+10%	GND	his is the
		OOS1#	5	8	10	2500		NA	100*10%	GNO	

Table 2:Length Matching between one Signal Group and the other Signal Group

Index	Signal Group 1	Signal Group 2	Length Matching Between Gioups	Remark
1	DDR2 CLK 0	DataLane_0	+/. 400	NA
2	DDR2 _CLK_0	DataLane_1	+1. 400	N/A
3	DDR2 _CLK_0	DataLane_2	+1:400	NA
4	DDR2 CUK_0	DataLane_3	+/-400	NA
5	DDR2 _CLK_0	Addr	+. 200	NA
6	DDR2 _CLK_0	Command	+. 200	NA

本文结合 **Micron**与 **Freescale** 的 **DesignGuidelines**，详细介绍 **DDR2** 的 **layout** 方面需要注意的问题，从总体来看，就可以归纳为上面那张图所表现的形式。本文中关于**lql-xxx** 为个人文章编号，无实际意义。另外，读者可以参阅本站的另外一篇文章 **DDR2 design checklist**。

1.Micro 建议

VSS 为数字地，**VSSQ** 为信号地，若无特别说明，两者是等效的。**VDD** 为器件内核供电， **VDDDQ** 为器件的 DQ 和 I/O 供电，若无特别说明，两者是等效的。本文内容可以和**lql-003-DDR Designer Check list.doc** 配合使用，作为 **DDR** 设计原则指导资料。

对于 DDR 来说，定义信号组如下：

I 数字信号组 **DQ,DQS,D M**, 其中每个字节又是内部的一个信道 Lane 组，如 **DQ0~DQ7,DQS0, DMO** 为一个信号组。

I 地址信号组：**ADDRESS**

1 命令信号组：**CAS#,RAS#,WE#**

1 控制信号组：**CS#,CKE**

1 时钟信号组：**CK,CK#**

1.1 印制电路板 PCB Stackups

推荐使用6层电路板，分布如下：

0.7mil	L1	n
4.5mil		
1or	L2-Vs	Va
6.5mil		
1or	L3	Signat ²
30mit	14	9
5.0mil		
1og	L5-Vto	ho
4.5mf		
0,7 ml	16	gnl

图 1

I 电路板的阻抗控制在**50~60 ohm**

I 印制电路板的厚度选择为**1.57 mm(62mil)**。

I 填充材料 **Prepreg** 厚度可变化范围是**4~6 mil**。

1 电路板的填充材料的介电常数一般变化范围是**3.6~4.5**，它的数值随着频率，温度等因素变化。**FR-4** 就是一种典型的介电材料，在 **100 MHz** 时的平均介电常数为**4.2**。推荐使用 **FR-4** 作为 **PCB** 的填充材料，因为它便宜，更低的吸湿性能，更低的电导性。

一般来说，**DQ,DQS** 和时钟信号线选择 **VSS** 作为参考平面，因为**VSS** 比较稳定，不易受到干扰，地址/命令/控制信号线选择 **VDD** 作为参考平面，因为这些信号线本身就含有噪声。

1.2电路板的可扩展性

根据 JEDEC 标准，不同容量的内存芯片一般引脚兼容，为了实现电路板的可扩展性，如128 Mb与 256 Mb的兼容应用，只要它们是Pin to Pin,在设计时就可以实现两种 Memrory 的兼容性。

未用的 DQ 引脚：

对于x16 的 DDR 器件来说，未用的引脚要作一定的处理。例如 x16 的 DDR 来说，DQ15:DQ8 未用，则处理如下，将相关的 UDM/DQMH 拉高用来屏蔽 DQ 线，DQ15:DQ8 通过1~10 k的电阻接地用来阻止迸发写时的噪声。

1. 3端接技术

串行端接，主要应用在负载 DDR器件不大于4个的情况下。

1 对于双向I/O信号来说，例如 DQ， 串行端接电阻 Rs 放置在走线的中间，用来抑制振铃，过冲和下冲。

I 对于单向的信号来说，例如地址线，控制线，串行端接电阻放置在走线中间或者是信号的发送端，推荐放置在信号的发送端。

I 端接电阻值的取值范围如下图：

Memory Type	Resistor	Location	Range	Units
SORAM	CiK	midpoint	22-36	Ω
DDR	CK, CK#	midpoint'	—	Ω
DDR and SDRAM	DQIDQS ² , address, command control		10-33	Ω

图 3

说明： DDR 的 CK 与 CK# 是差分信号，要用差分端接技术。

并行端接，主要应用在负载 SDRAM 器件大于4 个，走线长度 >2inch， 或者通过仿真验证需要并行端接的情况下。

1 并行端接电阻 R_t 取值大约为 $2 R_s$, R_s 的取值范围是 $10 \sim 33 \text{ ohm}$, 故 R_t 的取值范围为 $22 \sim 66 \text{ ohm}$ 。

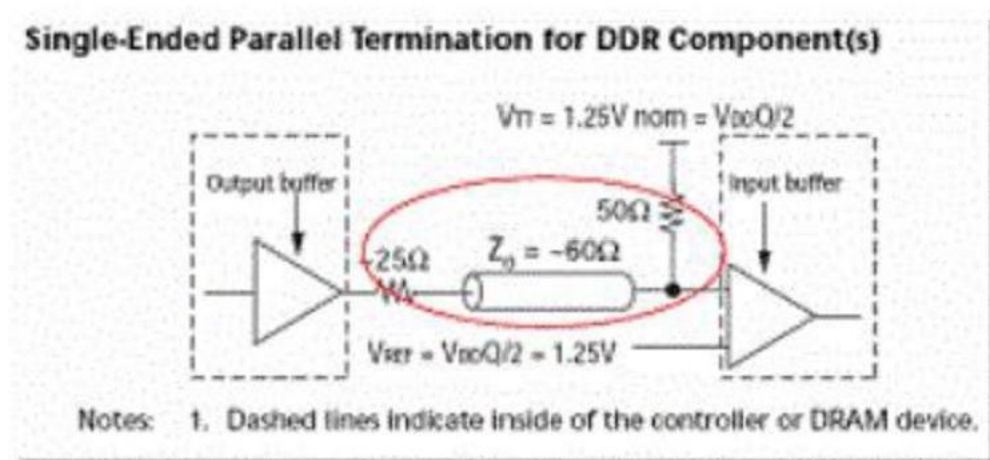


图 4

如果有必要的话，所有 **DDR** 的数据，地址，命令，控制线都是 SSTL_2 接口，DDR2 的数据，地址，命令，控制线都是 SSTL_18 接口，要使用 **single-ended Parallel Termination**, 如上图。CKE 也可以使用这种端接。

1.4 导线宽度和间距

导线间距和导线宽度 **S1, S2, S3** 的定义如下：

IS1 表示同一信号组内两相邻导线之间的间距

IS2 表示不同信号组之间两相邻导线之间的间距

IS3 表示导线的宽度

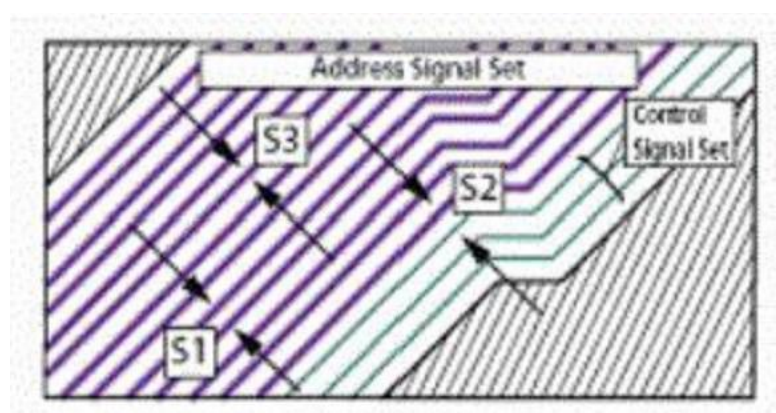


图 5

导线宽度选择为：

Recommended S3 for functional signal sets:
·DQ lines =4 mil minimum,6 mil nominal
·DQS lines=4 mil minimum,6 mil nominal
·Address lines=4 mil minimum,6 mil nominal
·Command/control lines*4 mit minimum,6 mil nominal
·Clock lines=4 mil minimum,6-10 mil nominal

图 6

导线间距选择：

Signal Set	Signals	Spacing lype	Min	Nom	Max	Unit	Notes
DatyData trote	DQ to DQ	S1	B	12		mt	
	00 to Das	52	8	12		mit	
	DOSin byte lane rl to DOS in bytelane s2	S1				mii	1
	DQ and DM	52	B	12	-	mt	
Address	Adjacent address lines	51	6	12		mii	
	Address lines	S2	6	12		mi	
Command Controf	CASF, RASF, WE=, CS*, CKE	51	6	15		mt	
CIocx	CK#. to-CK	51	4		6	mil	
	CKelor CK in group of two)to DOS mne	52				mil	2
	Dferentiat palr (CK,CK#)to any other signal	52	8	12	-	mt	

图 7

说明： 1， DQS 一般布线的位置是数据信号组内同一信号组中DQ 走线的中间，因此 **DQS** 与 **DQS** 之间的间距一般不提。

2,**DQS** 与时钟信号线不相邻。

3， 为了避免串扰， 数据信号组与地址/命令/控制信号组之间的走线间距至少**20 mil**， 建议它们在不同的信号层走线。

4， 时钟信号组走线尽量在内层， 用来抑制 **EMI**。

1.5导线走线长度

所有DDR 的差分时钟线 CK 与 CK# 必须在同一层布线， 误差 **+ -20mil(+ -10mil 最好)**， 最好在内层布线以抑制 **EMI**。 如果系统有多个 **DDR** 器件的话， 要用阻值**100~200 ohm**的电阻进行差分端接。

(1) 若时钟线的分叉点到 **DDR** 器件的走线长度**<1000 mil**， 要使用 **100~120ohm** 的差分端接， 如下图：

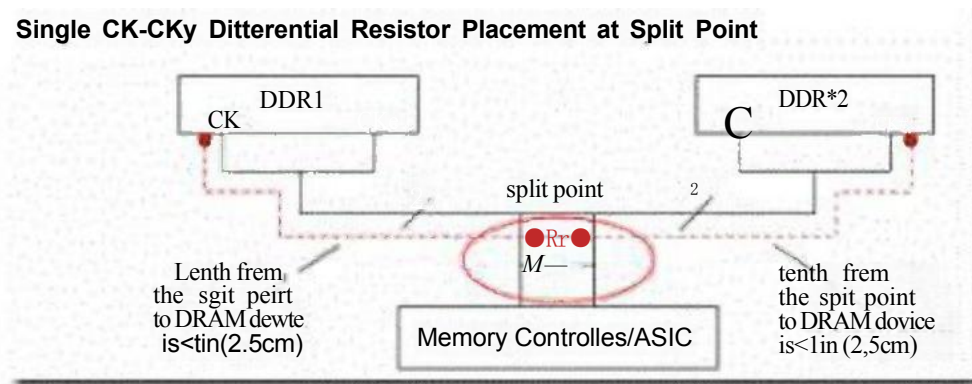


图 8

(2) 若时钟线的分叉点到 **DDR** 器件的走线长度 $>1000\text{ mil}$ ，要使用 $200\sim 240\text{ohm}$ 的电阻差分端接，因为两个 $200\sim 240\text{ ohm}$ 的电阻并联值正好为 $100\sim 120\text{ ohm}$ 。如下图所示。

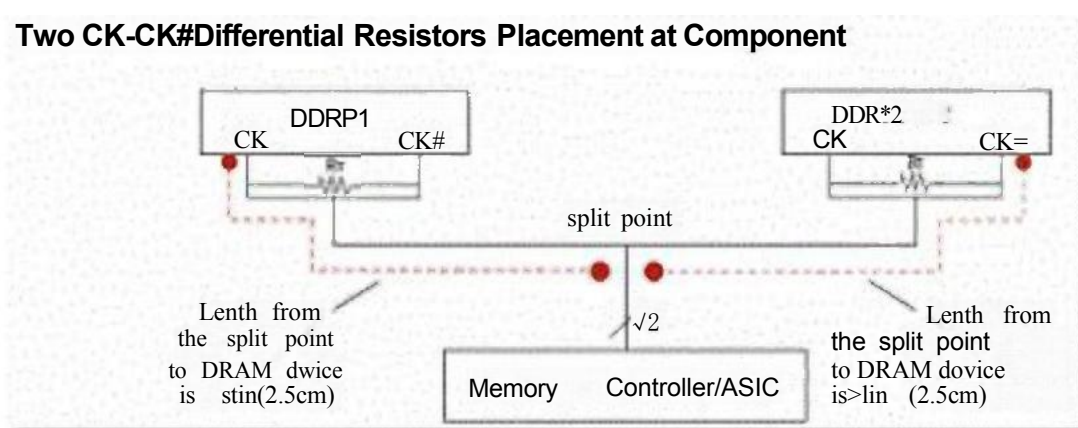


图 9

数据信号组的走线长度与时钟信号线的误差为 $\pm 500\text{ mil}$ ，组内同一信道的信号线走线误差为 $\pm 50\text{mil}(\pm 25\text{mil})$ 最好，从而可以得到，组内不同信道的走线误差为 $\pm 1000\text{ mil}$ ，相同信道的 **DQS** 一般走线在 **DQ** 中间。

地址线/命令/控制信号线与时钟信号走线的误差为 $\pm 400\text{ mil}$ ，组内走线误差为 $\pm 50\text{ mil}$

所有信号的走线长度控制在 $2\text{inch}(5\text{cm})$ 最好。

1.6解耦电容

原创力文档
ook118.com

推荐使用低 **ESL** (2nH) 的电容，大小在 $0.01\mu\text{F}\sim 0.22\mu\text{F}$ ，其电一致下载高清无水印 $0.01\mu\text{F}$ 针对高频， $0.22\mu\text{F}$ 针对低频。

建议使用钽电容。相对于电解电容来说，虽然它比较贵，但它具有较好的稳定性，较长的使用周期。一般电解电容随着使用时间的加长，性能下降较多。

1.7 DDR 的 VREF

Micron recommends:
·Route V_{kFF} at least 2cm away from other signals to minimize coupling.
·Design traces as short and wide as possible between the voltage source and VREF.
·Place a single low-inductance (0.1 μF) bypass capacitor as close to the device V_{RFF} pin as possible

1.8 VREF Generator

对于较轻的负载 (<4 DDR 器件), 可使用下图的方法:

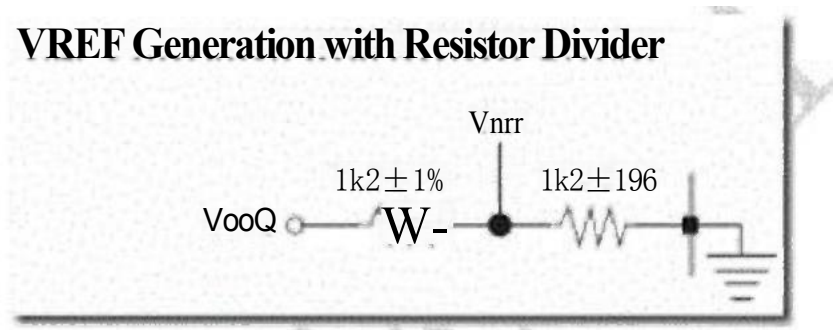


图11

对于较重的负载 (>4 DDR 器件), 可使用IC 来产生VREF。IC 内部集成了两种电压V_{TT} 和 V_{REF}, 其中V_{TT} 在重负载的情况下最高电流可达3.5A, 平均电流为0A, V_{REF} 的电流比较小, 一般只有3 mA 左右。

Appropriate DDR termination regulator vendors offering products with V_{rr}, V_{ker}, V_{DpQ} and VDD outputs include:
·Fairchild—ML6554 and FAN1655
·Linear Technology—LTC3413 and LTC3831
·National Semiconductor—LP2995 and LP2996
·Phillips-NE57810 and NE47814

图 12

1.9 VREF 走线设计

- Micron recommends the following:
- Route VREF with a 20-25 mil minimum trace to reduce inductance
 - Maintain at least a 15-25 mil learance from Vkur to other adjacent traces
 - Place a 0.1μF capacitor between VhtF and VDpQ
 - Place a 0.1μf capacitor between WrF and VssQ
 - Decouple at each device or connector to minimize noise at each component

图 1 3

具体如下图所示：

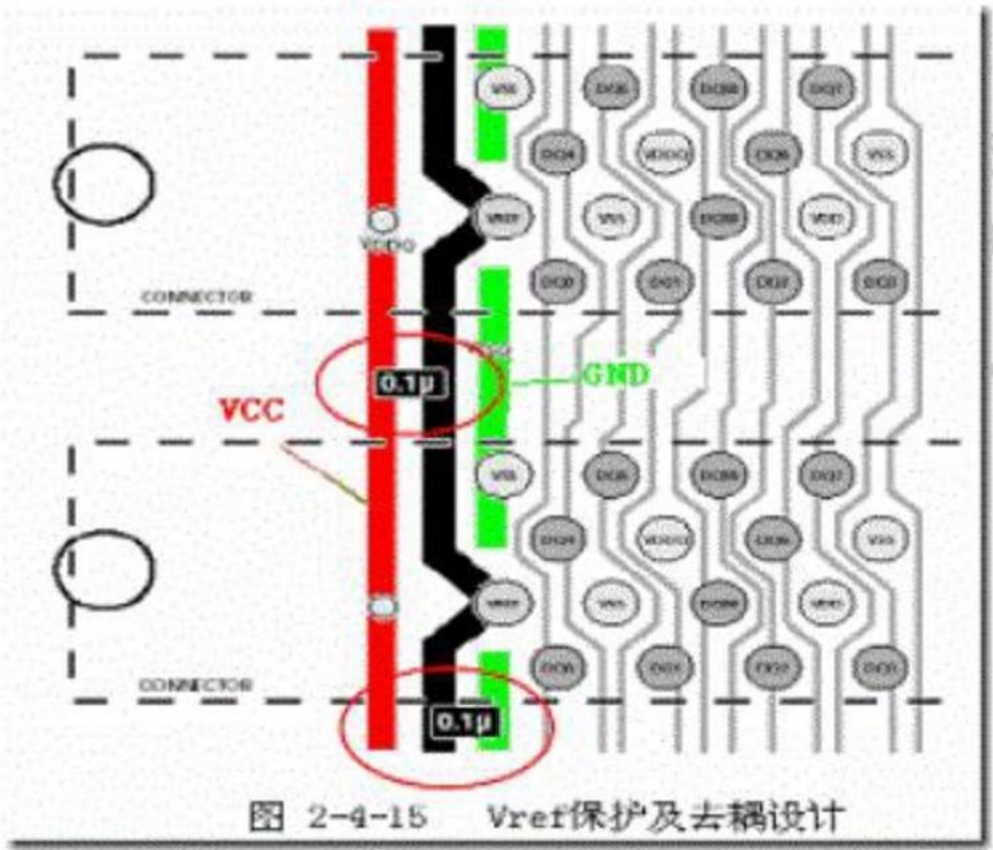


图 14

1.10 DDR/DDR2的 VTT 设计

当数据线地址线负载较重时， **VTT** 的暂态电流峰值可达到**3.5A** 左右，这种暂态电流的平均值为**0A**。一些情况下不需要**VTT** 技术(并行端接)：

1 系统中有**2** 个或更少的 **DDR**

I 总线上需要的电流不是很高，中等左右

I 通过仿真验证不需要

VTT电压的产生一般用**IC,vendor** 包括

如果选用了**IC Regulator**，推荐使用下面的原则：

IVTT 用 **Rt** 端接地址/控制/命令信号线，端接数据信号组 **VTT=VDDQ/2**

IVTT 并不端接时钟信号线，时钟信号线使用前面说的差分端接技术

IVTT 与 **VREF** 走线/平面在同一层，必须具有**150 mil**的距离，推荐它们在不同层

IVTT 走线/平面需要至少2 个 4 ~ 7uF 的解耦电容，2个100uF 的电容。

具体放置位置是**VTT** 的两个端点 (**at each end**)

IVTT 表面走线宽度至少 **150 mil**，推荐 **250 mil**

I上电时序： **VTT** 开始上电必须在**VDDQ** 之后，避免器件latch-up，推荐 **VTT** 和 **VREF** 同时上电。

1 如果走线要分支的话，建议使用T 型分支。具体见下图。

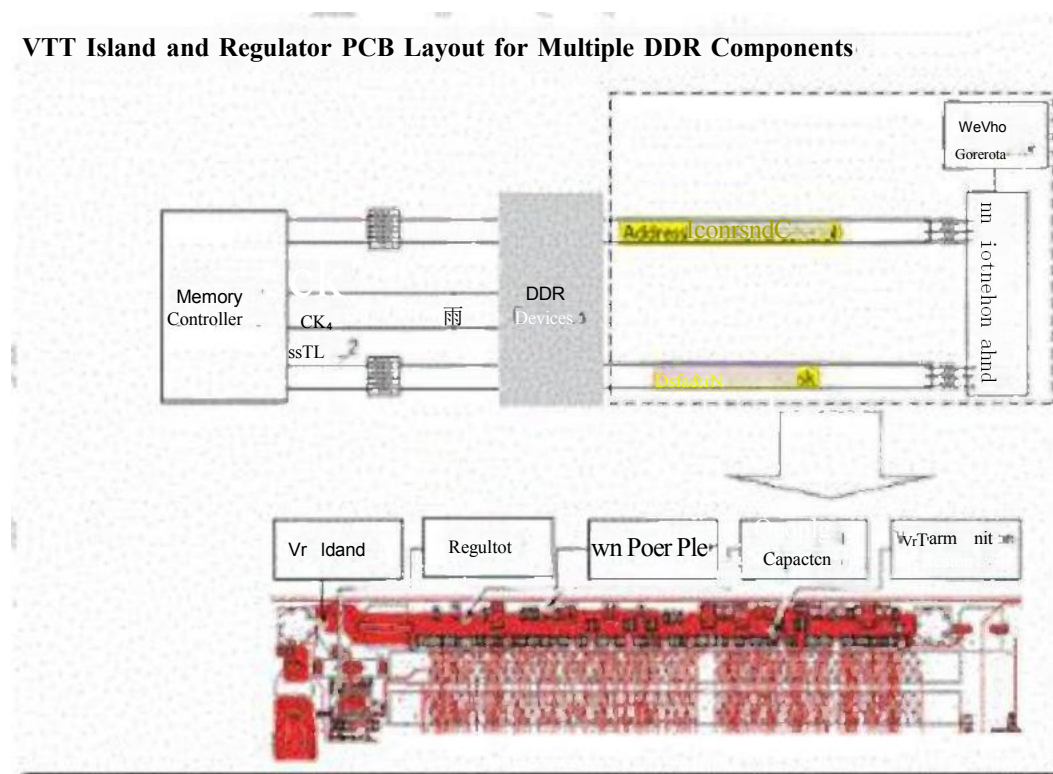


图 1 5

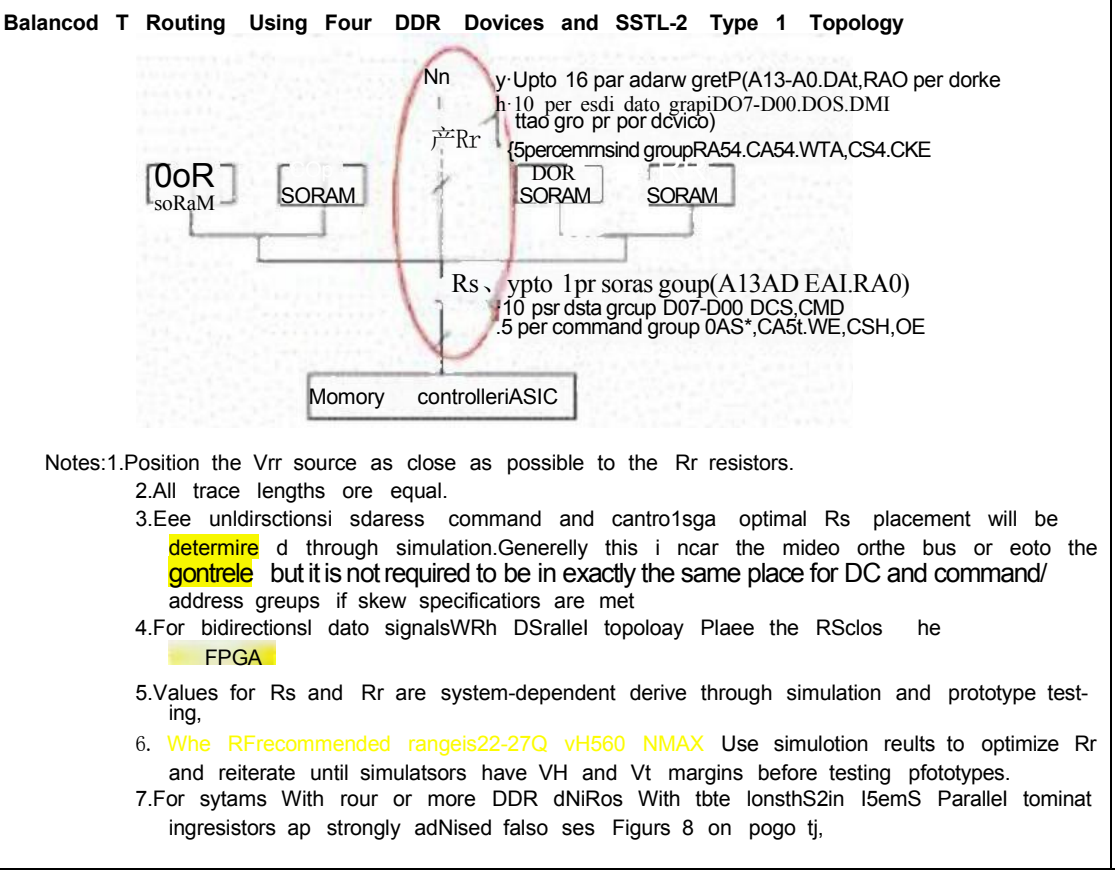


图 16

以上部分主要是参考资料 [tn4614-Hardware Tips for Point-to-Point System Design Termination_Layout and Routing.pdf](#)

四、Freescale 建议

2.1 关于 Signal Length Matching

信号长度匹配是关于时序特性的一个关键因素， **DDR** 系统中的长度匹配要求如下图。

Signal Group	Minimum Length	Maximum Length
Data lane to data strobe	Strobe length minus 25 mils	Strobe length plus 25 mils
Data lane to data lane	No more than 1 inch delta among all data lane groups	
Data strobe to clock	See Section 10.3.1.Meeting the 75%-125%Wnte Data JEDEC Window	See Secion 10.3.1,Meeting the 75%-125%Wnte Data JEDEC Window
Address/command! control to clock	Should be cetermined through simulation.	Should be determined through Simulation.

在该图中，Data strobe to clock 和 Address/command/control to clock 的长度匹配没有给出确切的数值，在设计者无法仿真的情况下，具体数值可以参考本文在上面的描述。

2. 2关于 Clock Signal Group

具体的 **Layout Guide** 如下图，可以一目了然。

Item	Recommendation	Comment
Reference plane	Ground-re' erenced	Maintain a soid ground reference (no splits and so on) for aill routed ckocks, thereby providing a low-impedance path tor the retun currents.
Same layer routing	Route all clock pairs on the same crisical layer. Avoid swtching between layers except where required. See Figure 5 and Figure 6.	Ensures all clocks have the same signal integrity Swap cock pairs as needed so that signal routing is optimized between the contoler and the memory.
Characteristic impedance	=50-60 s single-ended =100-120 ditferential	Al pars must be routed diferentially from the DDR controlier to the end pont (DIMM or discrgte)
Trace width	lplementation-specific	
Diferential spacing	implementation-specifc	Correct diferentiai spacing miust be maintained throughout entire signal route. See Figure 4
Par-to pair spacng	20 miis	Exceptions may be needed at device breakout
Group spacing (ckocks to all other signals)	20 mils to any other signal	See Figure 4. Exceptions may be needed at device breakout
Serpentine isoiaton spacing	Maintain at least 20 mis	See Figure 4
MCK to MCK trace matching	Matched to wthin 20 mils	-
Ciock par-to-ciock pair matching	All ckock pairs to a given memory bank (DIMM or discrete) matched to wthin 20 mds	
Series damping resistor value	Range 15-33	Optimal valve and locafion system dependent and should be determined by simula ionslFor ooint to-Doins. olacement is ootimal at the sourceFor point-to-multipoint, placement at the loads (DINM connector or discrete bank) may prove optimal.
Cptional-parallel termination to Vn1	25-57 Ω ±1%	Cons dered to be an opional item based on internal smulation runs and application notes putlished by Micron (see Section 14, "Useful References')
Use of resistor networks for damping resistor	Not recommended	

item	Recommendation	Comment
Dierentiai ferminatcn	100-1200	Required cnly for diserete implementations. DIMM moduies provide the afferentiai termination,

图 1 8

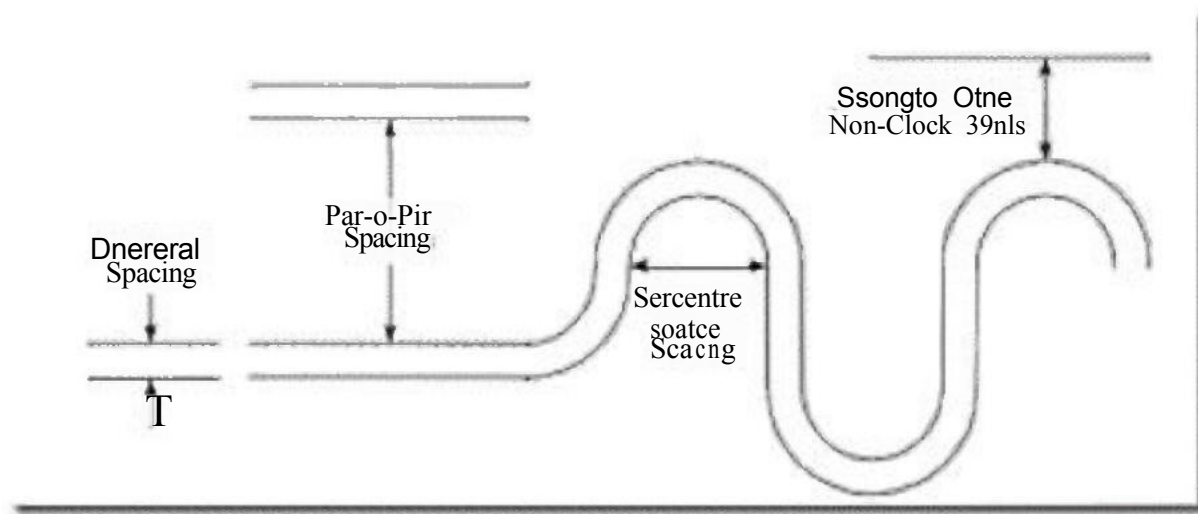


图 19

关于时钟信号的layout Guide, 参见如18。在图18中, 参数clock pair to clock pair matching 意义在于系统有多个差分时钟, 而且彼此来自于同一个时钟源, 每一对差分时钟连接在不同的 **DDR** 器件上。同时需要注意的是, Series damping resistor的摆放位置(图18 中黄色阴影部分)。为了更好的理解图18 的一些参数, 可以参考图19 的示意图, 这在实际的layout中长度匹配中常见, 即使用蛇形走线来满足长度匹配, 注意蛇形走线只起到长度匹配的作用, 除此之外, 蛇形走线没有任何好处, 并且他在一定程度上影响信号质量和 **EMC**。时钟差分线建议在同一层布线, 参考GND。

2.3关于 data 信号线 Data—MDQ,MDQS,MDM

DDR 系统中, 关于data 信号的分组, 这里不再介绍。Layout Guide 见图20。

Item	Recommendation	Comment
Topology	Daisy chain	
Reference plane	Ground-referenced	Maintain a solid ground reference (no splits and so on) for all routed clocks, thereby providing a low-impedance path for the return currents.
Characteristic impedance ¹	50-60Ω	-
Trace width	implementation-specific	
DQS spacing	4 W minimum	-
Group spacing	20 mils of isolation from other non-DDR related signals	
Series resistor ¹	0-33Ω±5%	
Termination resistor ¹	25-67Ω±5%	
Length matching within the byte lane	±25 mils from the data strobe	Allows max interface speeds, See Section 7.2.2, Data Group Matching Requirements
Length matching byte lane to byte lane ²	No more than 1 inch delta between all groups	See also Section 10.3.1, "Meeting the 75%-125% Write Data JEDEC Window"
Length matching Dqs to clock	See Section 10.3.1, "Meeting the 75%-125% Write Data JEDEC Window"	See Section 10.3.1, "Meeting the 75%-125% Write Data JEDEC Window"
Resistor packs	Use as needed	Do not place the data group in the same RNs as the other DDR signal groups

图 20

由图 20 可知，**DQS** 的信号频率在正常工作时，和时钟频率是一致的，因此，**DQS** 和其他的非 data Group 的信号 **spacing** 要满足 **4W** 规则。

2.4关于Address and Command Layout Recommendations

在图21 中，有一个限制，就是 **Addr/cmd** 信号和时钟信号的长度匹配，因为**Addr/Cmd** 信号是在时钟的信号沿进行采样，因此他们之间的长度匹配对时序的影响比较重要，从图21 中可以看出， **Addr/cmd** 信号线的长度比时钟线短(两者之间相差容许长度**Y**, 这个参数需要仿真验证), 即信号先到达接收端，时钟后到达接收端，但是**Micron** 推荐两者的误差在**+-400 mil**，因此综合 **Freescale** 和 **Micron** 的观点，笔者认为 **+-400mil** 是比较常见的限制条件，如果条件允许的话，仿真也是需要验证的(其实就是废话，呵呵)。

Item	Recommendation	Comment
Reference plane	Grcund-referenced or power-reforenged	Maintain a soid ground reference or power referonce (no splits,and so on)for the entre sienal group to provide a low-impeccance path for the return currents
Charactersic impedance	=50=60g	
Trace width	Implementafon-specific	
Grcup spacing	20 ms	lsolaion from control group to other non-DDR signals
Length maching (witn respect to ciock)	Min =Addr/Cmd Grop e=Max	-
Minimum Addr/Cmd group length	Max clock length-~Y	→
Maxmum AdaniCmd group lengn	Minimum dock length -Y nches	
Senes resistor l	0-33 Ω ±5%	-
Terminafion resistor	25-57 Ω =5%	
Resistor packs	Use as nesced	Do not place the addricmd group in the same RN as the data group

Values denoted in the tatte provide a startng piace for the designer and are not intenoed to be he only accepttable vaues.
For exampie,it may be possible for certain topologies to elmnate Rg andlor to modify the characteristic impetance below
50 s to match the actual toaded impodance of the system mere cotmaly.

² The parameterYtis the timing vaniance around the clock edge that can be tolorted for a specific momory implementaton
and stt ensure that setup and hold times can be satsfted.Because loading,cock ftequengy and signal integrity of the specife
memory imolementaton creat,Intuence the Y parameier.itls itcortant that the vave or Y is detemined ty simulason

图 21

2.5 关于 Control Signal Group

因为 **control**信号也是在时钟的信号沿进行采样，因此他们之间的长度匹配对时序的影响也比较重要，从图22中可以看出， **control** 信号线的 layout 策略可以和Addr/cmd 信号的布线策略一致。

item	Recommendation	Comment
Reference plane	Ground-referenced or power-referenced	Maintain a solid ground reference or power reference (no splits and so on.) for the entire signal group thereby providing a low-impedance path for the return currents
Characteristic impedance	50-60Ω	
Trace width	Implementation-specific	
Group spacing	20 mils	Isolation from control group to other non-DDR signals
Length matching (with respect to clock)	Min≤control group ≤Max	
Minimum control group length ²	Max clock length-Z	—
Maximum control group length ²	Minimum clock length-Z' inches	
Series resistor ¹	0-33Ω±5%	
Termination resistor	25-57Ω±5%	
Resistor packs	Use as needed	Do not place the control signals in the same row as the data group

Values denoted in the table provide a starting place for the designer and are not intended to be the only acceptable values. For example, it may be possible for certain topologies to eliminate Rs and/or to modify the characteristic impedance below 50Ω to match the actual loaded impedance of the system more optimally.

² The parameter Z is the minimum distance around the core edge. It can be tailored for a specific memory implementation and still ensure that setup and hold times can be satisfied. Because the loading, clock frequency and signal integrity of the specific memory implementation greatly influence the Z parameter, it is important that the value of Z is determined by simulation.

图22

2.6 关于 DDR Power Delivery

DDR1 需要2.5V(2.6V for DDR400)的电源，1.25V 的 Vref, 1.25V 的 Vtt。DDR2 需要1.8V 的电源，0.9V 的 Vref, 0.9V 的 Vtt。下图就是在实际一个系统对**DDR** 的 **power** 要求：

	Parameter	Min	Typical	Max	Unit
V _{DD}	Device supply voltage	2.3	2.5	2.7	V
V _{REF} (DC)	input reference voltage	1.13	1.25	1.38	V
V _R	Termination voltage	VREF-0.04	VREF	VREF+0.04	V
I _{REF}	VREF current			0.003	A
I _{DD}	V _{DD} supply current			2.3-3.2	A

Maximum current rating based on specific termination and values used for a specific topology. For this case R_S=R_T=25Ω. Calculated under maximum signal loading (all DDR signals drawing current from V_{DD} plane)

图 2 3

在图23 中 ， I_{tt} 这个参数要根据具体的情况(如端接的信号线数量， R_{tt} 的取值等)而确定，图中所示数据仅作参考。

2.7 关于 DDR VREF Voltage

V_{ref} 需求的电流是相当小的，小于3 mA，但是 Noise or deviation in the VREF voltage会引起时序误差， jitter 以及一些不确定的行为。因此有必要使Vref的 AC Noise 保持在 $\pm 25\text{mV}$ 以内。建议Vref和 V_{tt} 不要在同一层走线，如不可避免，要保证充足的间距，建议150 mil。 V_{ref} 的产生电路最简单的就是利用分压电阻，如图24 所示：

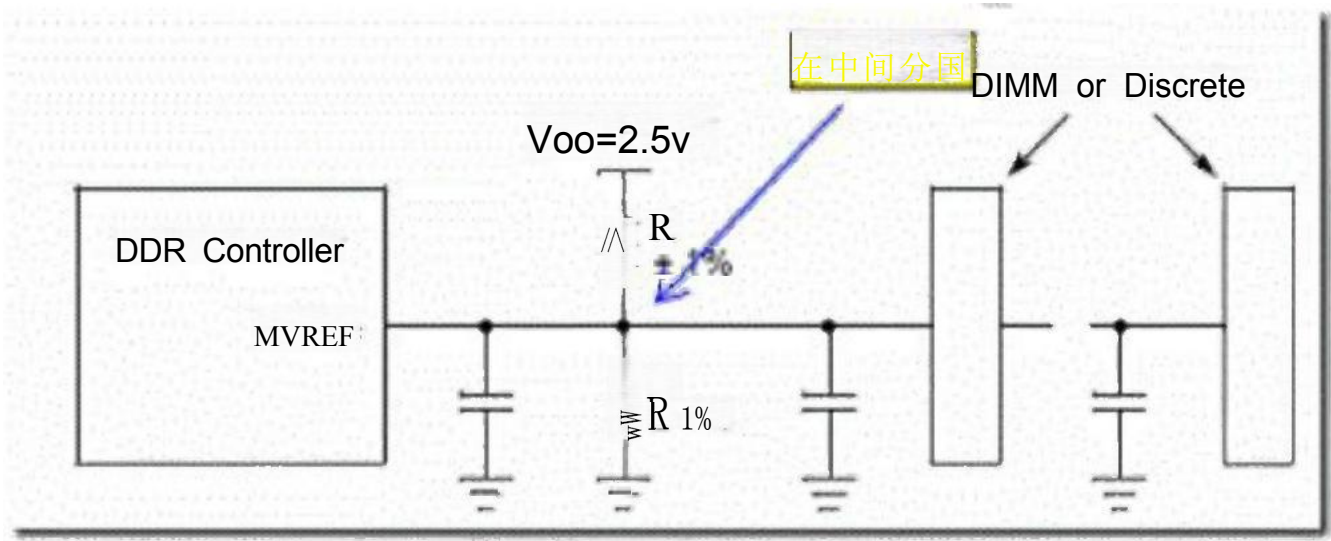


图 24

这部分的Layout Guide 如图 25 所示：

item	Recommendation	Comment
VREF generation	Use resistor divider network or an off-the-shelf DDR regulator that generates VREF	Ensures that Vref tracks the midpoint of the voltage swing.
VREF decoupling	Use distributed and balanced decoupling. Specifically, decouple the source and each destination pin using two 0.1uF capacitors.	to cancel transient currents and returns. If a single IC is used to generate Vrr and Vger, add additional decoupling according to the manufacturer's recommendation.
Vref Isolation	Keep 20-25 mil clearance between Vref and other traces.	If possible, isolate the Vref track as much as possible from adjacent or other trace segments.
Vref trace width	Route Vref with as wide a trace as possible, for example, a minimum of 20-25 mil where feasible.	
Vref divider resistors (if used)	Ensure the use of 1% resistors. Suggested range 60-160 ohms.	Both resistors must be the same value.

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/336141055150010204>