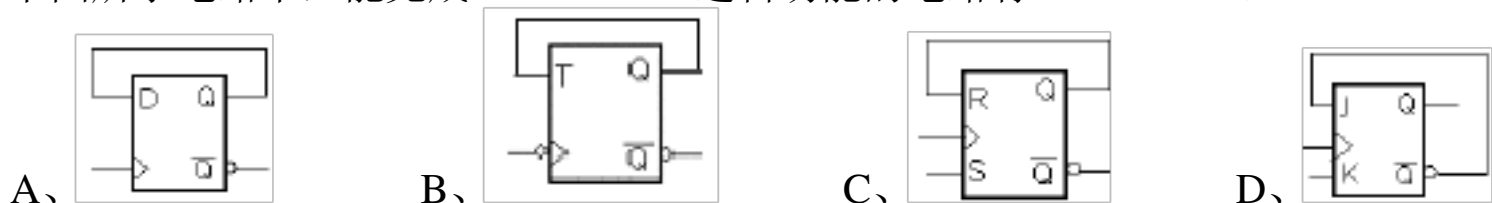


《数字电子技术》模拟题一

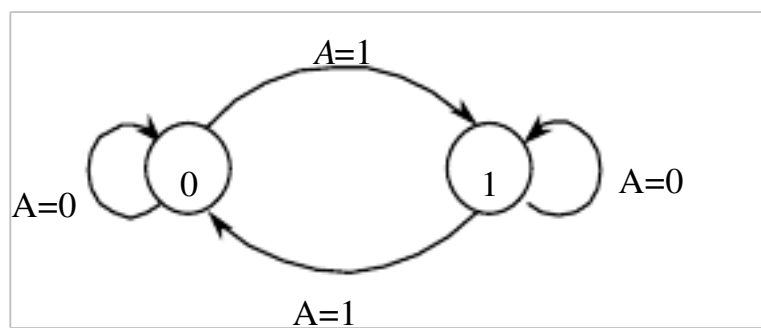
一、单项选择题 (2×10 分)

- 下列等式成立的是 ()
 A、 $A \oplus 1=A$ B、 $A \odot 0=A$ C、 $A+AB=A$ D、 $A+AB=B$
- 函数 $F=(A+\bar{B}+\bar{C}+\bar{D})(\bar{A}+\bar{B}+C+D)(A+C+D)$ 的标准与或表达式是 ()
 A、 $F=\sum m(1, 3, 4, 7, 12)$ B、 $F=\sum m(0, 4, 7, 12)$
 C、 $F=\sum m(0, 4, 7, 5, 6, 8, 9, 10, 12, 13, 14, 15)$
 D、 $F=\sum m(1, 2, 3, 5, 6, 8, 9, 10, 11, 13, 14, 15)$
- 属于时序逻辑电路的是 ()。
 A、寄存器 B、ROM C、加法器 D、编码器
- 同步时序电路和异步时序电路比较, 其差异在于后者 ()
 A、没有触发器 B、没有统一的时钟脉冲控制
 C、没有稳定状态 D、输出只与内部状态有关, 与输入无关
- 将容量为 256×4 的 RAM 扩展成 $1K \times 8$ 的 RAM, 需 () 片 256×4 的 RAM。
 A、16 B、2 C、4 D、8

6. 在下图所示电路中, 能完成 $Q_{n+1} = 0$ 逻辑功能的电路有 ()。



- 函数 $F=\bar{A}C+AB+\bar{B}\bar{C}$, 无冒险的组合为 ()。
 A、 $B=C=1$ B、 $A=0, B=0$ C、 $A=1, C=0$ D、 $B=C=0$
- 存储器 RAM 在运行时具有 ()。
 A、读功能 B、写功能 C、读/写功能 D、无读/写功能



9. 触发器的状态转换图如下, 则它是: ()
 A、T 触发器
 B、RS 触发器
 C、JK 触发器
 D、D 触发器
10. 将三角波变换为矩形波, 需选用 ()
 A、多谐振荡器 B、施密特触发器
 C、双稳态触发器 D、单稳态触发器

二、判断题 (1×10 分)

- () 1、在二进制与十六进制的转换中, 有下列关系:
 $(1001110111110001)_B = (9DF1)_H$
- () 2、8421 码和 8421BCD 码都是四位二进制代码。
- () 3、二进制数 1001 和二进制代码 1001 都表示十进制数 9。
- () 4、TTL 与非门输入采用多发射极三极管, 其目的是提高电路的开关速度。
- () 5、OC 与非门的输出端可以并联运行, 实现“线与”关系, 即 $L=L_1+L_2$
- () 6、CMOS 门电路中输入端悬空作逻辑 0 使用。
- () 7、数字电路中最基本的运算电路是加法器。
- () 8、要改变触发器的状态, 必须有 CP 脉冲的配合。

() 9、容量为 256×4 的存储器，每字 4 位，共计 256 字，1024 个存储单元。

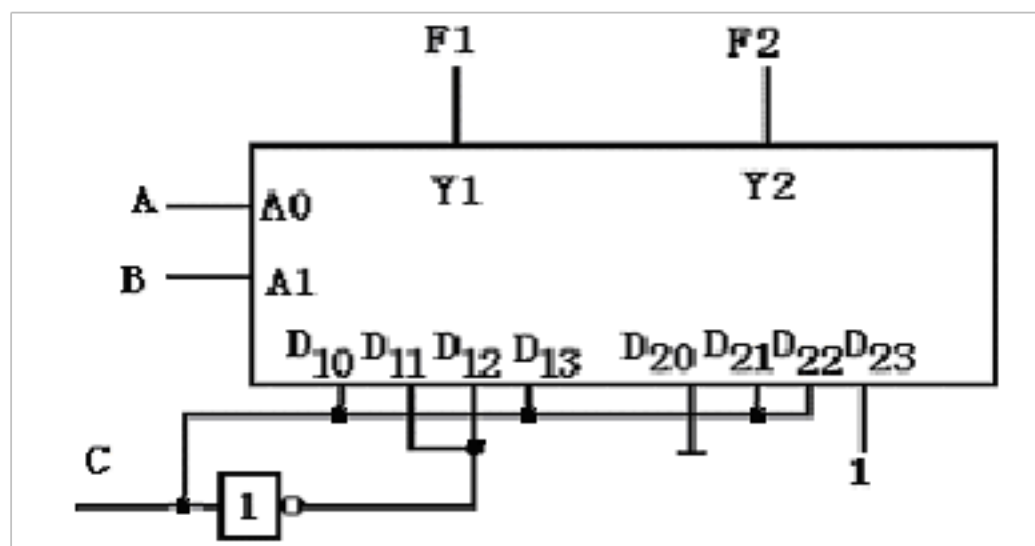
() 10、自激多谐振荡器不需外加触发信号，就能自动的输出矩形脉冲。

三、分析计算题 (7×6 分)

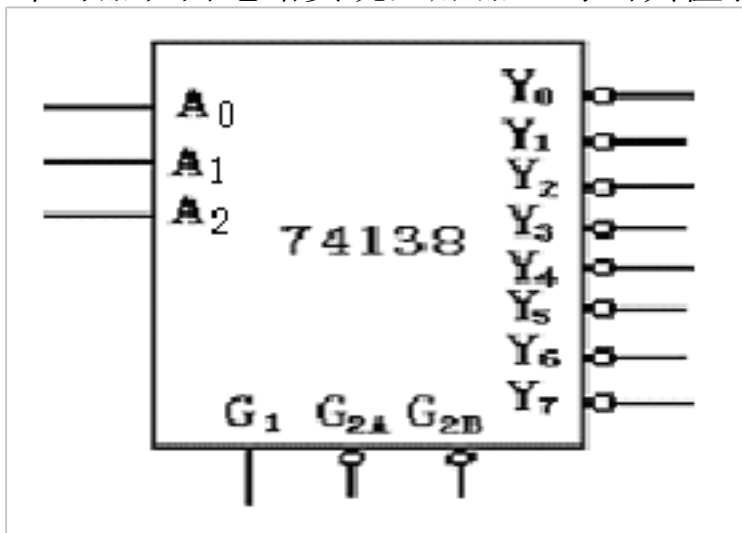
1、如果 $F(A,B,C,D) = \sum m(2,3,4,6,8,9)$ 的最简与或表达式为

$F = A + B\bar{D} + \bar{B}C$ 是否存在约束条件？如果存在，试指出约束条件。

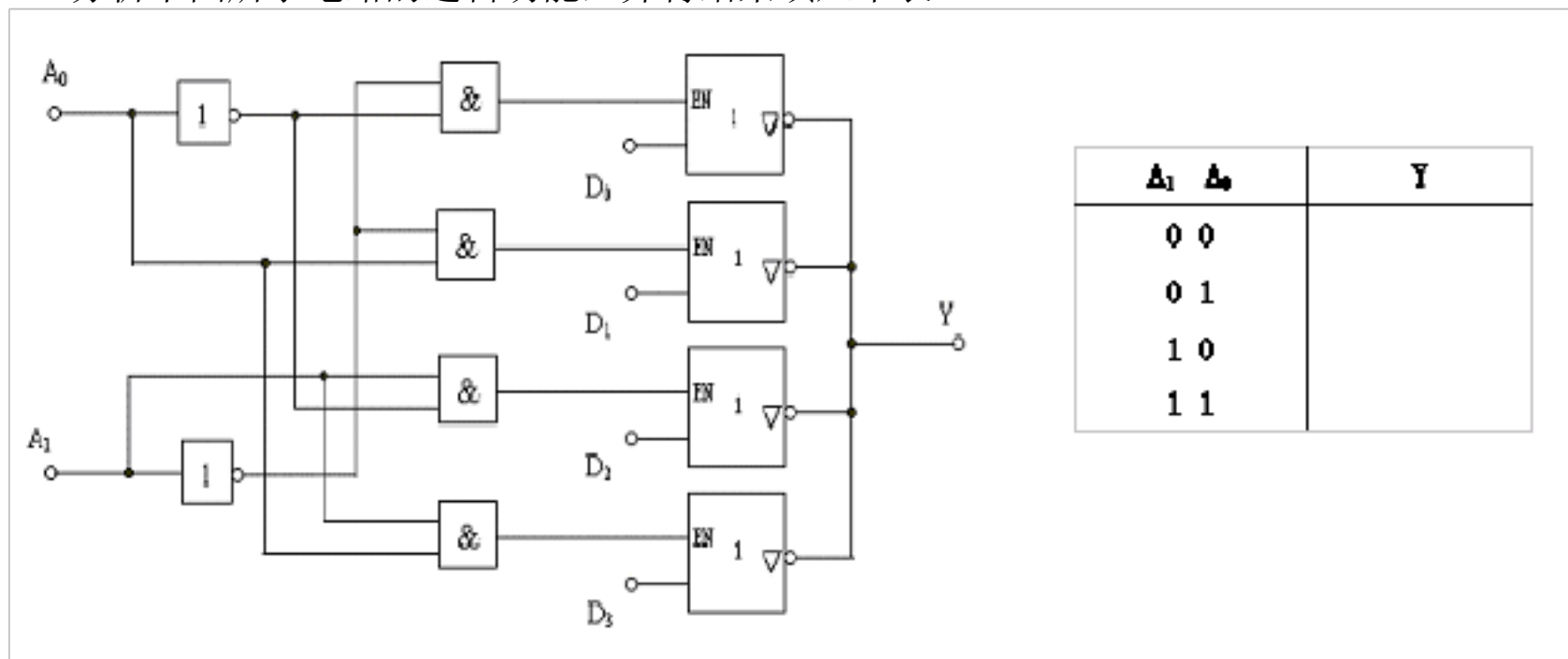
2、下图为双 4 选 1 数据选择器构成的组合逻辑电路，输入量为 A、B、C，输出逻辑函数为 F1，F2，试写出 F1、F2，逻辑表达式。



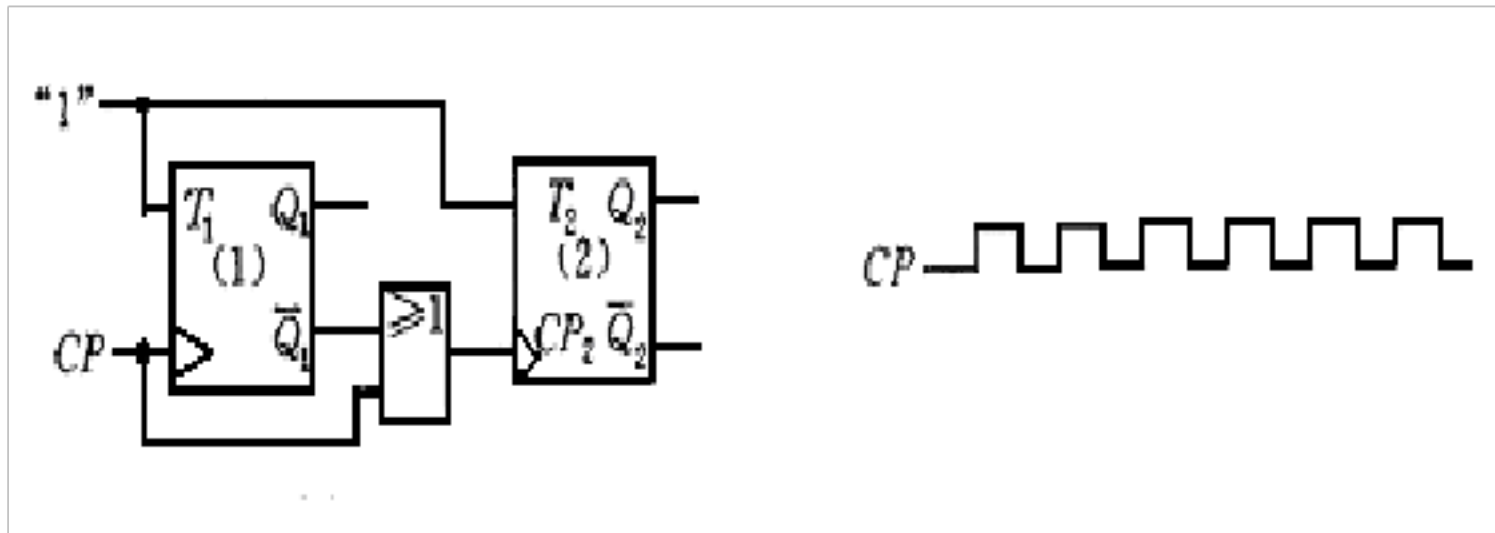
3、用一片 74138 译码器和门电路实现全加器，写出真值表，画出电路图。



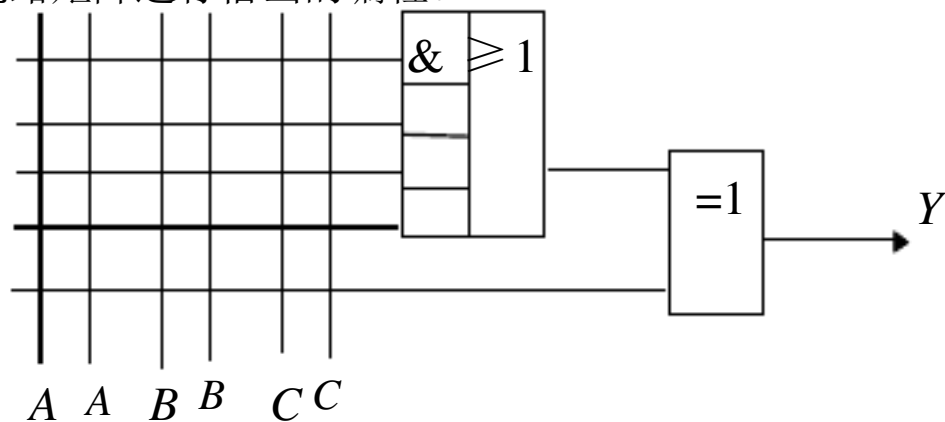
4、分析下图所示电路的逻辑功能，并将结果填入下表。



5、电路如下图所示，设起始状态 $Q_2Q_1=00$ ，问经过系统时钟信号 3 个 CP 脉冲作用后， Q_2Q_1 处于什么状态？并画出 Q_2Q_1 的波形。



6、图示电路是 PAL 的一种极性可编程输出结构，若要求 $Y = A \oplus B \oplus \overline{A} \overline{B} C$ ，试用符号“×”对该电路矩阵进行恰当的编程。

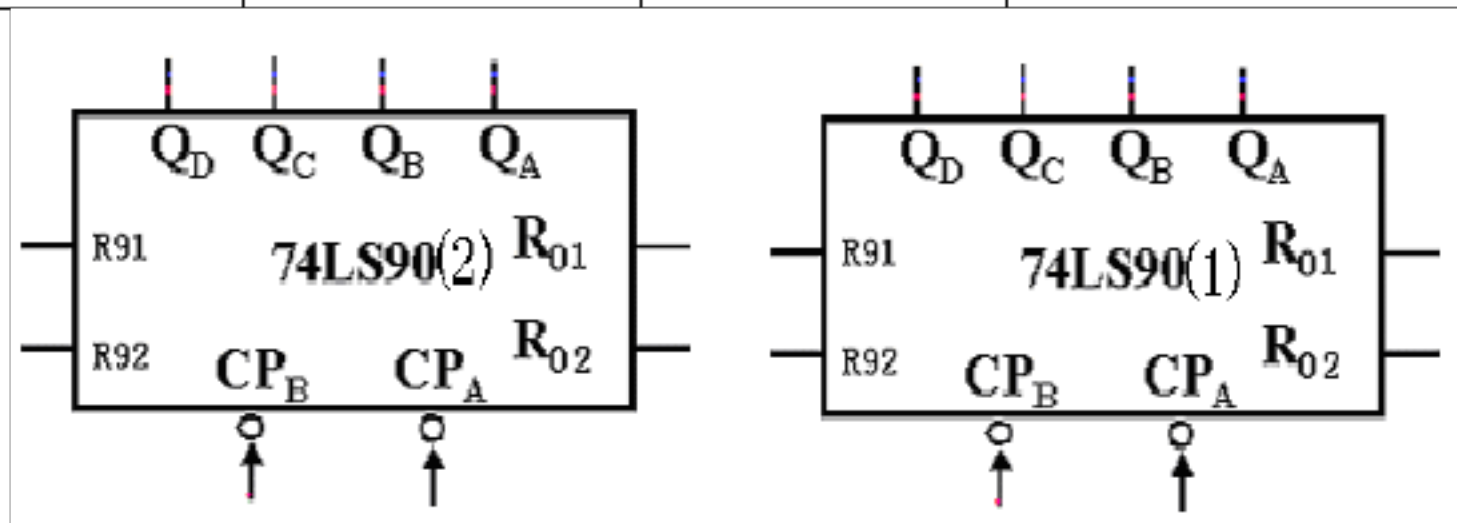


四、设计题（共 2 小题，1 小题 12 分，2 小题 8 分，共 20 分）

- 1、试用正边沿 D 触发器和门器件设计一个状态转换如 $0 \rightarrow 2 \rightarrow 4 \rightarrow 1 \rightarrow 3$ 的模 5 同步计数器。并检查电路的自启动能力。
- 2、用两片 74LS290 异步十进制计数器芯片设计一个 60 进制计数器的电路,画出电路连接图。

附：74LS290 集成芯片功能表

CP	R ₀₁	R ₀₂	R ₉₁	R ₉₂	功能
×	1	1	任一为 0		清 0 ($Q_D Q_C Q_B Q_A = 0000$)
×	任意		1	1	置 9 ($Q_D Q_C Q_B Q_A = 1001$)
↓	任一为 0		任一为 0		计数



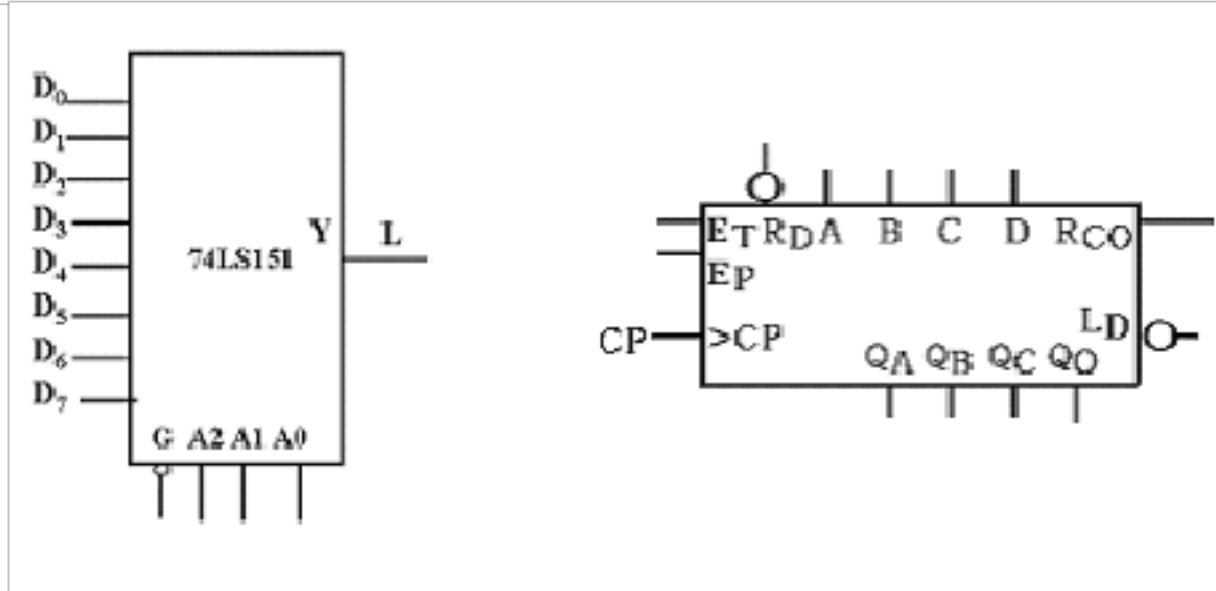
五、综合题（8 分）

试用 8 选 1 数据选择器 74151 和四位同步二进制加法计数器 74LS161 芯片设计序列信号发生器，序列信号为 11001101（左位在先），画出电路连线图。

附 74LS161 四位同步二进制加法计数器芯片功能表。

74161 的功能表

清零 R_D	预置 LD	使能		时钟 CP	预置数据输入				输出			
		EP	ET		A	B	C	D	Q_A	Q_B	Q_C	Q_D
L	×	×	×	×	×	×	×	×	L	L	L	L
H	L	×	×	↑	A	B	C	D	A	B	C	D
H	H	L	×	×	×	×	×	×	保	持		
H	H	×	L	×	×	×	×	×	保	持		
H	H	H	H	↑	×	×	×	×	计	数		



《数字电子技术》模拟题二

一、单项选择题 (2×10 分)

1. 在下列数据中, 数值最小的是 ()
- A、 59_H B、 130_0 C、 1010111_B D、 $10010111_{8421BCD}$

2. 函数 $F = (\overline{A}\overline{B} + B\overline{D})\overline{C} + BD\overline{A}\overline{C} + \overline{D}\overline{A} + \overline{B}$ 的标准与或表达式是

$$F = (\overline{A}\overline{B} + B\overline{D})\overline{C} + BD\overline{A}\overline{C} + \overline{D}\overline{A} + \overline{B} \quad ()$$

A、 $F = \Sigma$

$m(0, 1, 3, 4, 7, 11, 13, 15)$ B $F = \Sigma m(0, 1, 6, 7, 8, 9, 10, 11)$

C、 $F = \Sigma m(0, 1, 6, 7, 12, 13, 14, 15)$ D $F = \Sigma m(0, 1, 4, 7, 12, 13, 14, 15)$

3. 典型的五管 TTL 与非门, 输入端采用多发射极三极管是为了:

- A、放大输入信号 B、实现或逻辑
C、提高带负载能力 D、提高工作速度

4. 电路由 TTL 门电路组成, F 的逻辑表达式是 ()。

A、 $F = \overline{CB} + \overline{CA} \oplus B$

B、 $F = CB + CA \oplus B$

C、 $F = \overline{CB} + CA \oplus B$

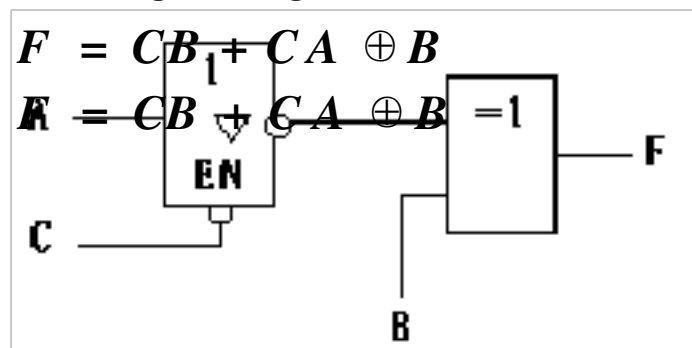
D、 $F = CB + \overline{CA} \oplus B$

实现“线与”的逻辑功能, 应选用:

- A、与门 B、与非门 C、

D、集电极开路门

5. 为传输门



6. 下列哪类触发器有一次变化现象 ()。

- A、同步 RS 触发器 B、主从 JK 触发器 C、边沿 JK 触发器 D、边沿 D 触发器

7. 集成十进制加法计数器初态为 $Q_3Q_2Q_1Q_0=1001$, 经过 5 个 CP 脉冲后, 计数器状态为 ()

- A、0000 B、0100 C、0101 D、1110

8. 下面说法错误的是 ()

- A、RAM 分为静态 RAM 和动态 RAM
B、RAM 指在存储器中任意指定的位置读写信息
C、译码电路采用 CMOS 或非门组成

9. 用容量为 $16K \times 8$ 位存储芯片构成容量为 $64K \times 8$ 位的存储系统, 需 () 片 $16K \times 8$ 位存储芯片, 需 () 根地址线, () 根数据线。

- A、4, 16, 8 B、4, 14, 8 C、2, 16, 8 D、2, 14, 16

10. 集成单稳态触发器的暂稳态维持时间取决于 ()。

- A、R、C 元件参数 B、所用门电路的传输延迟时间
C、触发脉冲持续的时间 D、器件本身的参数

二、判断题 (1×10 分)

() 1、8421 码和 8421BCD 码都是四位二进制代码。

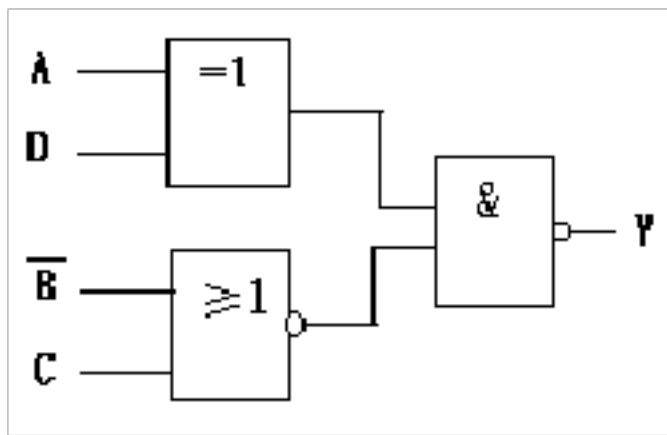
() 2、二进制数代码 1000 和二进制代码 1001 都可以表示十进制数 8。

() 3、保险库有一把锁, A、B 两名经理各有一把钥匙, 必须两名经理同时在才能开锁。

用 F 表示打开保险库锁的状态, F 的逻辑表达式为: $F = \overline{A} + \overline{B}$

- () 4、TSL 门输出有三种状态。
- () 5、TG 门只用于数字信号的传输。
- () 6、CMOS 门电路中输入端悬空作逻辑 0 使用。
- () 7、要改变触发器的状态，必须有 CP 脉冲的配合。
- () 8、掩 膜 R O M 只 能 改 写 有 限 次 。
- () 9、将三角波变换为矩形波，需选用施密特触发器。
- () 10、矩形脉冲只能通过自激振荡产生。

三、分析计算题 (1-5 小题每题 8 分，6 小题 10 分，共 50 分)



1、电路如图所示：

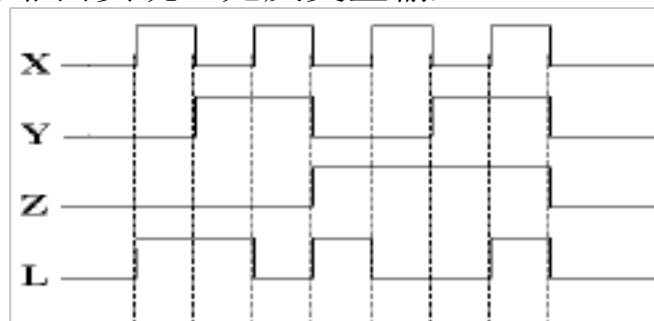
- (1)、按图直接写出 Y 的表达式
- (2)、根据反演规则写出 Y 的反函数 Y'
- (3)、根据对偶规则写出 Y 的对偶式 Y'
- (4)、写出 Y 的最简与或表达式

组

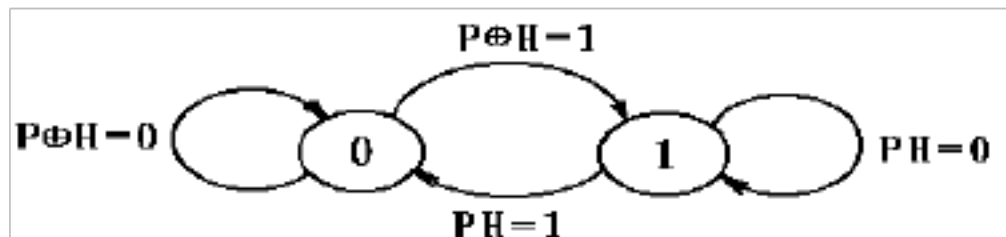
合逻辑电路输入 (X、Y、Z) 输出

(L) 波形如图所示，分析该电路的逻辑功能。

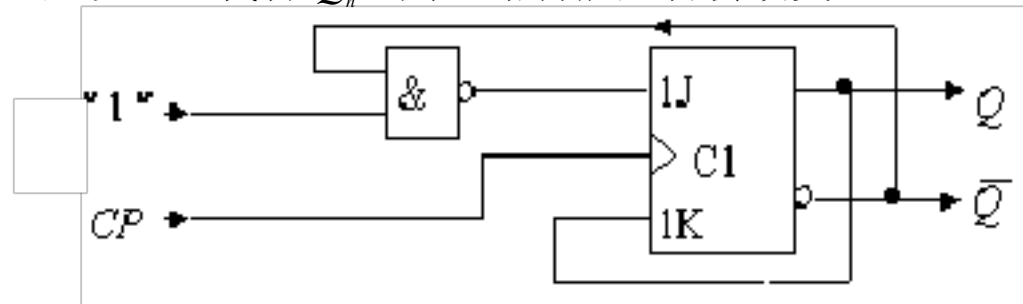
并用最少的两输入与非门实现 (无反变量输入)



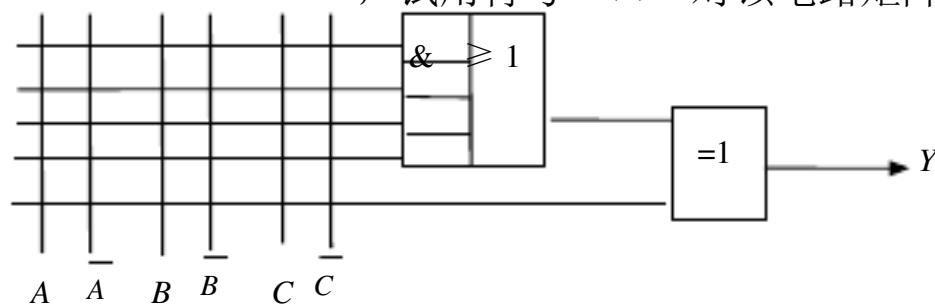
3、已知某触发器的状态转换图，写出此触发器的特性方程，并用 D 和 JK 触发器实现它。



4、电路由 JK 触发器及与非门构成，试写出特性方程、驱动方程和状态方程。该电路若在 K 输入处以置 0 代替 Q_n ，则电路功能是否会改变？



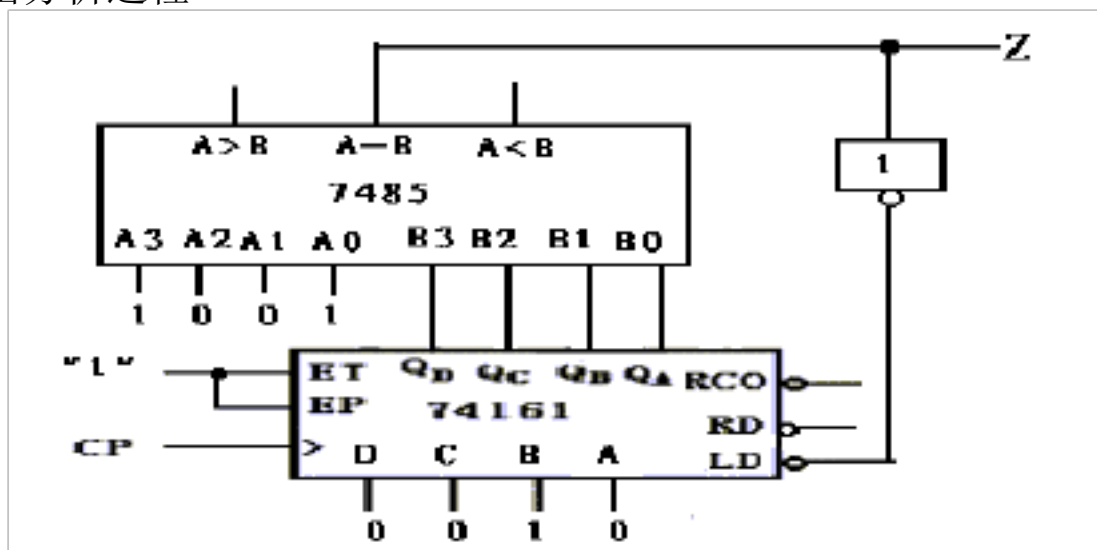
5、图示电路是 PAL 的一种极性可编程输出结构，若要求 $Y = \bar{A} \oplus (BC + \bar{A}BC)$ ，试用符号“×”对该电路矩阵进行恰当的编程。



6、由集成四位比较器 74LS85 和集成计数器 74LS161 构成一个定时电路如图所示，Z 是信号输出端。

比较器 $A_3A_2A_1A_0$ 预置为 1001, 计数器的数据输入端 DCBA 预置为 0010, 试问:

- (1) 当 Z 接在 \overline{LD} 端时 (R_D 置 1), 一个 Z 脉冲周期内包含多少个时钟脉冲 CP?
 - (2) 当 Z 接在 R_D 端时 (\overline{LD} 置 1), 一个 Z 脉冲周期内又包含多少个时钟脉冲 CP?
- 简单写出分析过程



74161 的功能表

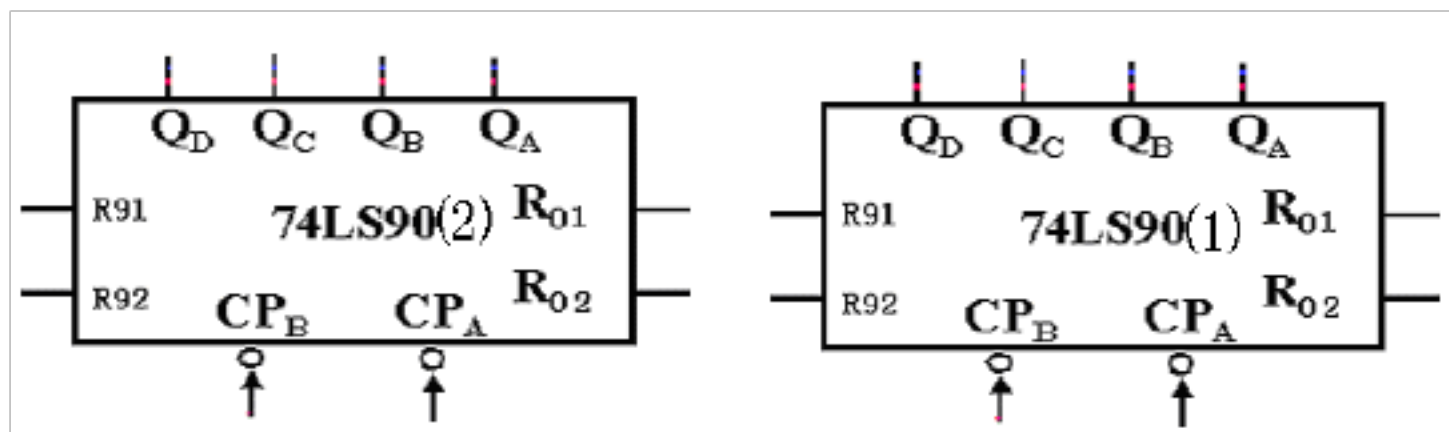
清零 R_D	预置 \overline{LD}	使能 $\overline{R_P}$ $\overline{R_T}$	时钟 CP	预置数据输入 A B C D	输出 $Q_A Q_B Q_C Q_D$
L	x	x x	x	x x x x	L L L L
H	L	x x	↑	A B C D	A B C D
H	H	L x	x	x x x x	保持
H	H	x L	x	x x x x	保持
H	H	H H	↑	x x x x	计数

四、设计题 (10×2 分)

- 2、试用正边沿 JK 触发器和门器件设计一个模可变同步减计数器。当 $X=0$ 时 $M=3$; 当 $X=1$ 时, $M=4$ 。检查电路的自启动能力。
- 2、用两片 74LS290 (异步二-五-十进制加计数器) 芯片设计一个 54 进制加计数器, 画出电路连接图。

附: 74LS290 集成芯片功能表

CP	R_{01}	R_{02}	R_{91}	R_{92}	功能
x	1	1	任一为 0		清 0 ($Q_D Q_C Q_B Q_A = 0000$)
x	任意		1	1	置 9 ($Q_D Q_C Q_B Q_A = 1001$)
↓	任一为 0		任一为 0		计数



《数字电子技术》模拟题三

一、选择题 (2×10 分)

1、 $F=AB+CD$ 的真值表中, $F=1$ 的状态有: ()

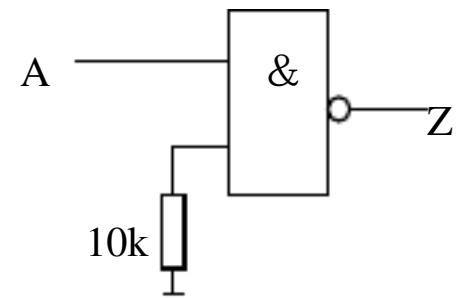
- a、2 个 b、4 个 c、6 个 d、8 个

2、在系列逻辑运算中, 错误的是: ()

- a、若 $A=B$, 则 $AB=A$ b、若 $1+A=B$, 则 $1+A+AB=B$
 c、 $A+B=B+C$, 则 $A=C$ d、都正确

3、双输入 CMOS 与非门如右图, 输出 Z 为: ()

- a、 $Z=A$ b、 $Z=\bar{A}$ c、 $Z=0$ d、 $Z=1$

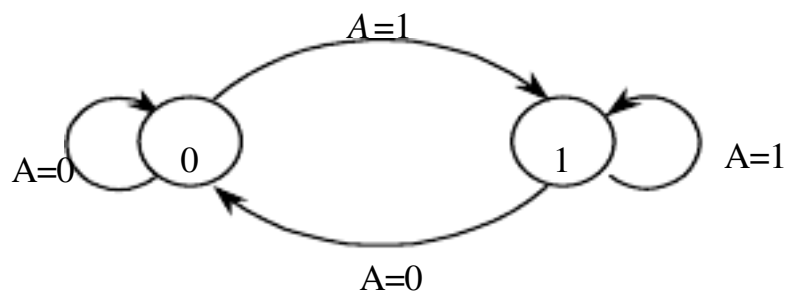


4、欲使一路数据分配到多路装置应选用带使能端的: ()

- a、编码器 b、译码器 c、选择器 d、比较器

5、JK 触发器在 CP 脉冲作用下, 欲使 $Q_{n+1}=1$, 则必须使: ()

- a、 $J=1, K=0$ b、 $J=0, K=0$ c、 $J=0, K=1$ d、 $J=1, K=1$



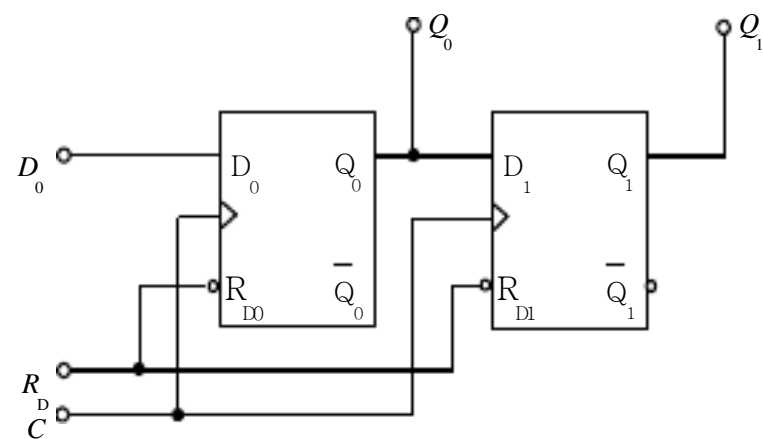
6、触发器的状态转换图如下, 则它是:

()

- a、RS 触发器 b、D 触发器
 c、JK 触发器 d、T 触发器

7、将三角波变换为矩形波, 需选用: ()

- a、施密特触发器 b、多谐振荡器
 c、双稳态触发器 d、单稳态触发器

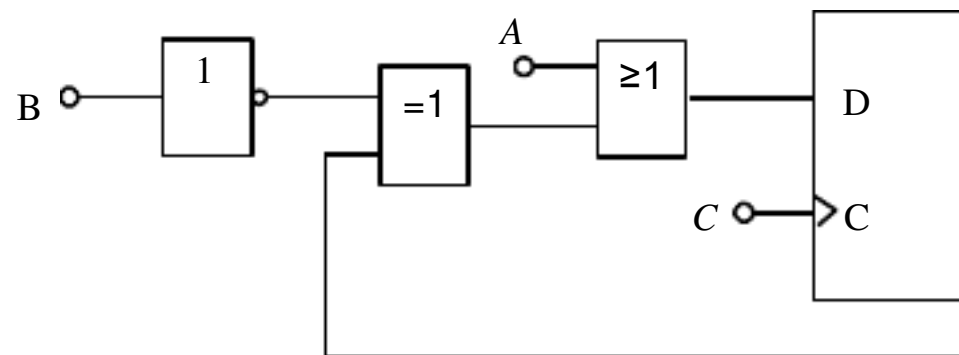


8、如图所示时序逻辑电路为 ()。

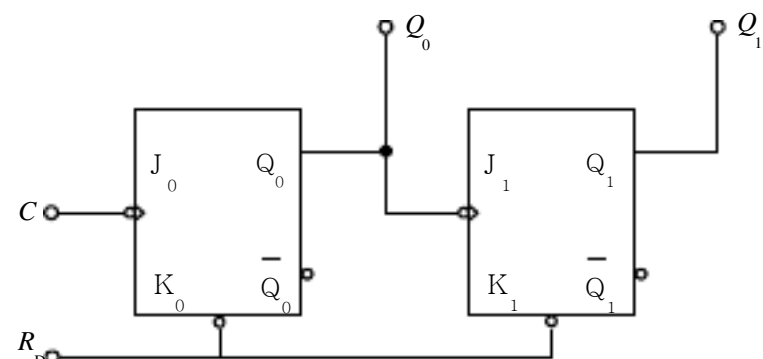
- a、移位寄存器
 b、同步二进制加法计数器
 c、异步二进制减法计数器
 d、异步二进制加法计数器

9、逻辑电路如图所示, 当 $A=“0”$, $B=“1”$ 时, C 脉冲来到后 D 触发器 ()。

- a、置“0” b、保持原状态 c、置“1” d、具有计数功能



10、如图所示逻辑电路为 ()。



- a、 同步二进制加法计数器
- b、 异步二进制加法计数器
- c、 同步二进制减法计数器
- d、 异步二进制减法计数器

二、判断题 (2×10 分)

- () 1、在二进制与十六进制的转换中，有下列关系：
 $(1001110111110001)_B = (9DF1)_H$
- () 2、8421 码和 8421BCD 码都是四位二进制代码。
- () 3、二进制数 1001 和二进制代码 1001 都表示十进制数 9。
- () 4、TTL 与非门输入采用多发射极三极管，其目的是提高电路的抗干扰能力。
- () 5、OC 与非门的输出端可以并联运行，实现“线与”关系，即 $L=L1+L2$
- () 6、在具有三组与输入端的与非门中，当只使用其中的两组与输入端时，余下的一组与输入端应接高电平。
- () 7、数字电路中最基本的运算电路是加法器。
- () 8、要改变触发器的状态，必须有 CP 脉冲的配合。
- () 9、容量为 256×4 的存储器，每字 4 位，共计 256 字，1024 个存储单元。
- () 10、自激多谐振荡器不需外加触发信号，就能自动的输出矩形脉冲。

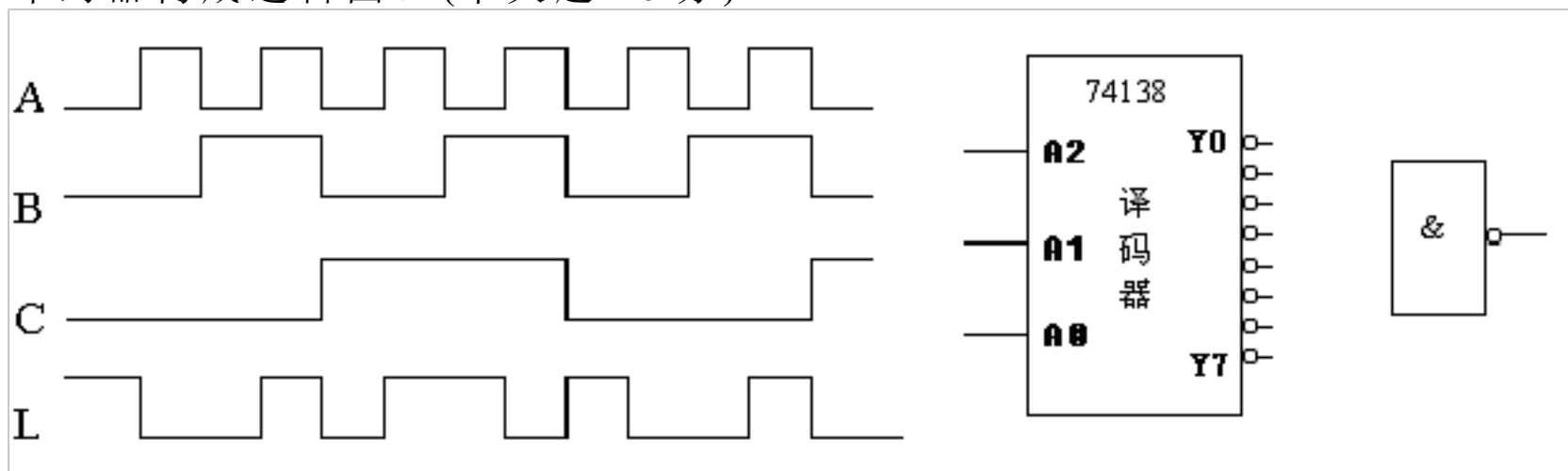
三、化简逻辑函数 (12 分)

1、(6 分) 用公式法： $L = \overline{AC + \overline{ABC} + \overline{BC} + ABC}$

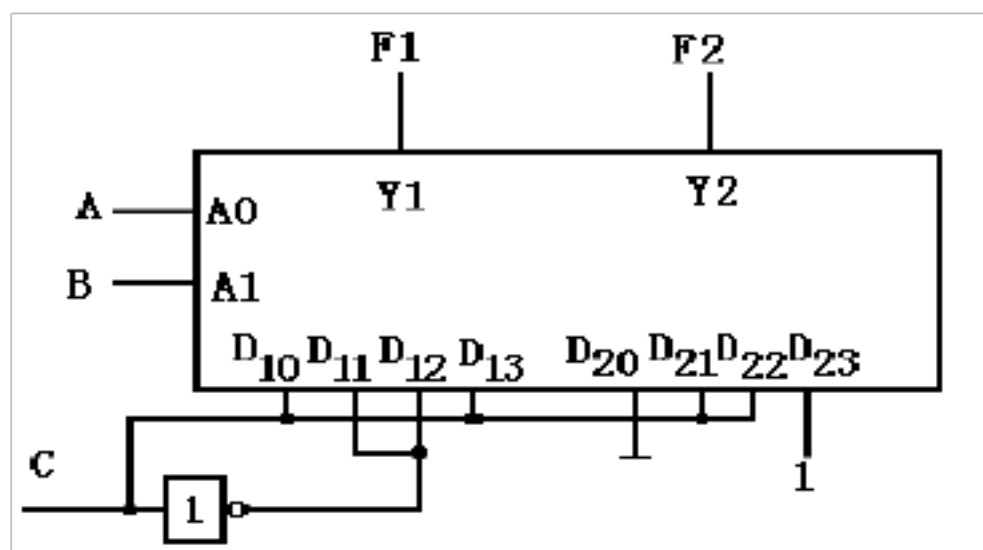
2、(6 分) 用卡诺图法： $L = A\overline{B} + \overline{B}C\overline{D} + ABD + \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{D}$

四、组合逻辑电路 (18 分)

1、设有一组合逻辑部件，不知内部结构，测得其输入波形 A, B, C 与输出波形 L 如图所示，1) 试列出真值表；2) 写出逻辑表达式；3) 画出由 74138 译码器构成逻辑图。(本大题 10 分)

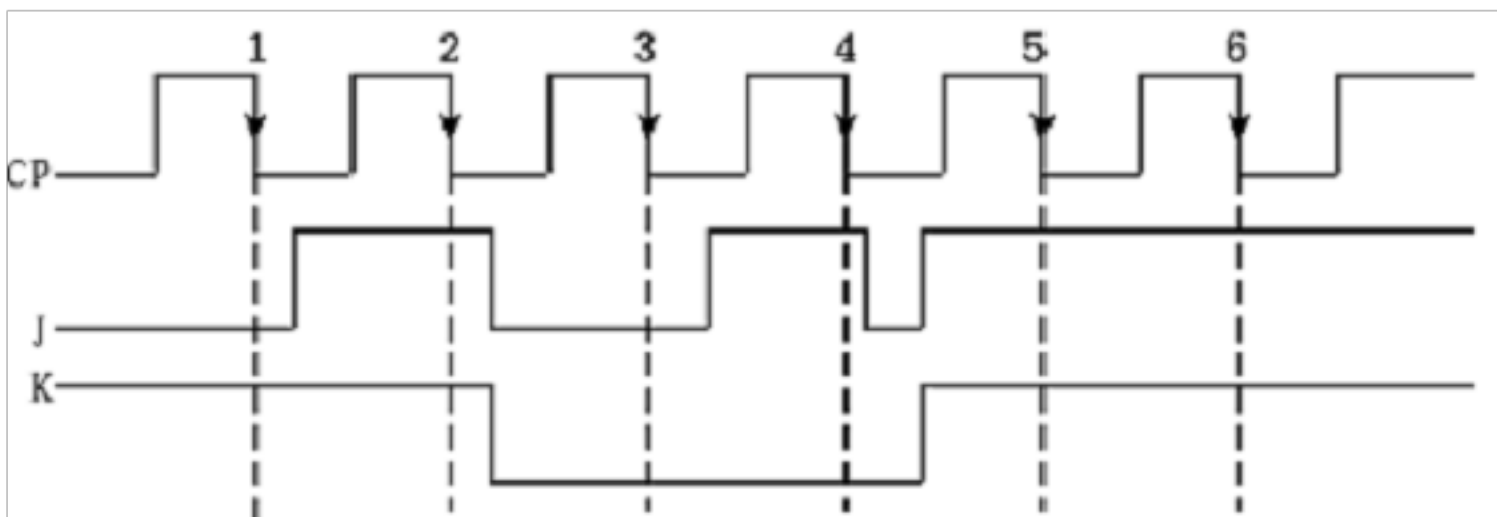


2、下图为双 4 选 1 数据选择器构成的组合逻辑电路，输入量为 A、B、C，输出逻辑函数为 F1, F2，试写出 F1, F2，逻辑表达式。(8 分)

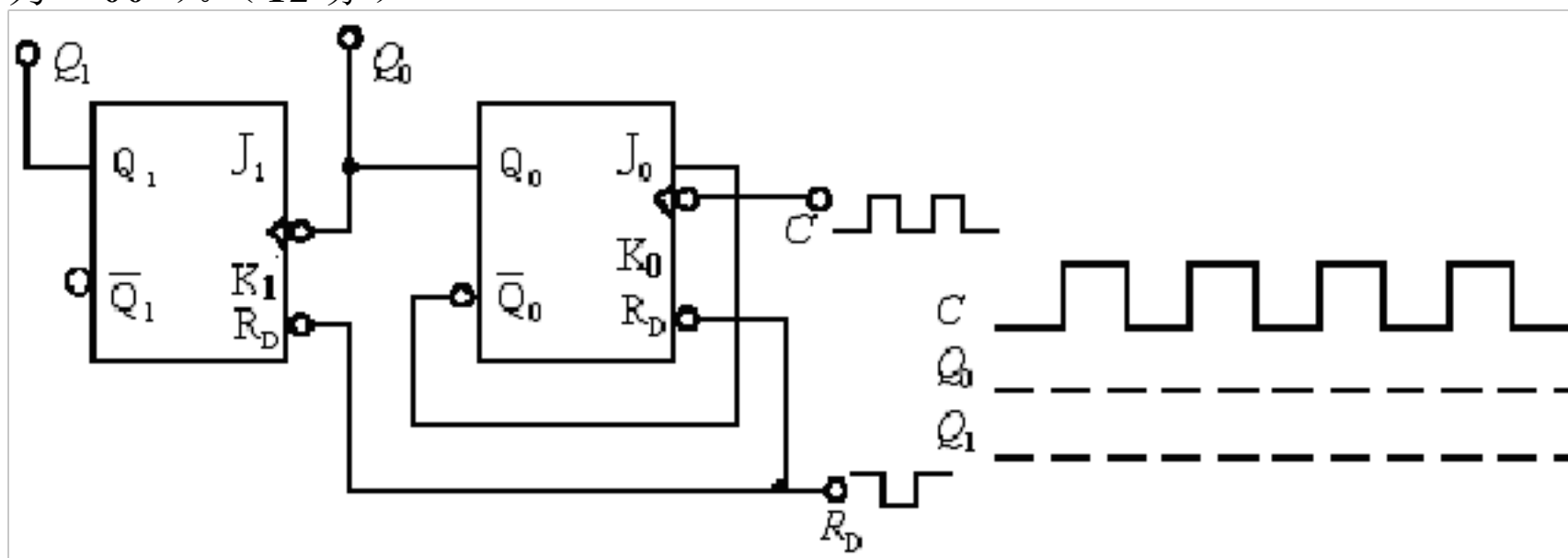


五、时序逻辑电路 (20 分)

- (8 分) 设负边沿 JK 触发器的初始状态为 0, CP、J、K 信号如图所示, 试画出 Q 端的波形。



- (12 分) 逻辑电路如图所示, 1. 写出时钟方程, 2. 写出驱动方程, 3. 求解状态方程, 4. 列写状态表, 5. 已知 C 脉冲波形, 画出输出 Q_0 , Q_1 的波形, 判断该计数器是加法还是减法? 是异步还是同步? (设 Q_0 , Q_1 的初始状态均为“00”)。(12 分)



六、综合题设计 (10 分)

四位二进制计数器 74161 的功能表和逻辑符号如下图所示。

- 试说明该器件的各引脚的作用。
- 分别用清零法和置数法和适当的逻辑门构造 9 进制计数器。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/348051062011006052>