

基于VHDL的一种数字频率计设计

摘 要

在电子测量技术中，频率是最基本的参数之一，它与许多电参量和非电量的测量都有着十分密切的关系。通过使用等精度测量方法改善了这些问题。对于等精度测量的频率计，测量频率的相对误差与被测信号频率的大小无关，只与闸门时间和标准信号频率有关，即实现等精度测量。利用VHDL语言进行数字频率计的设计能够使设计结构清晰、层次清楚，减少了由电子器件之间引起的相互干扰。本文介绍了基于Altera公司的集成开发环境QuartusII 使用VHDL设计等精度的频率计，采用这样的设计可以简化硬件的开发和制造过程，而且使硬件体积大大减小，并提高了系统的可靠性。

关键词 频率；等精度；VHDL；数字频率计

A VHDL-BASED DIGITAL FREQUENCY METER DESIGN

ABSTRACT

In electronic measurement technology, the frequency is one of most basic parameters. It has a very close relationship with parameters and non-electric power measurements. Through the use of precision measurement that can improve these issues. For the frequency meter which requires high precision measurement, the relative error of the measurement frequency has nothing to do with the size of the measured signaling frequency, and only related with gate time and signaling frequency. Namely the realization of precision measurement. Designing the digital frequency meter using the VHDL language that can cause the design structure clear and level to be clear, and reduce the mutual disturbance which caused by the electronic device between. This article introduces a basic method to design a precision frequency meter with VHDL in Quartus II IDE of Altera corporation. Using such design that can simplify the development of the hardware and the manufacture process, moreover can reduce the hardware volume greatly, and improve the reliability of the system.

KEY WORDS frequency precision VHDL ; digital frequency meter

目 录

摘要.....	I.....
英文摘要.....	
前言.....	
1. EDA 技术及开发环境.....	
1.1 EDA 技术.....	
1.2 VHDL	
1.3 EDA 技术的开发环境—Altera Quartus II	
2. 数字频率计的研究分析及设计思路.....	
2.1 数字频率计的研究与分析.....	
2.2 数字频率计的设计思路.....	
3. 数字频率计模块的相关介绍与分析.....	
3.1 顶层接口及内部信号说明.....	
3.1.1 各个接口功能说明.....	
3.1.2 内部信号作用说明.....	
3.2 预置闸门信号模块.....	
3.3 基准信号与被测信号计数模块.....	
3.4 等精度频率计的运算模块.....	
3.5 等精度频率计的显示模块.....	
4. 仿真结果.....	
5 结论.....	
参考文献.....	
附录.....	
致谢.....	

前 言

在电子测量技术中，频率是最基本的参数之一，它与许多电参量和非电量的测量都有着十分密切的关系。例如，许多传感器就是将一些非电量转换成频率来进行测量的，因此频率的测量就显得更为重要。数字频率计是用数字来显示被测信号频率的仪器，被测信号可以是正弦波、方波或其它周期性变化的信号。频率测量仪器在生产和科研的各个部门使用，也是某些大型系统的重要组成部分。

虽然利用测频法和测周期法这两种测量频率的方法是最常用的用来测量频率的方法，但是这两种测量方法对被测频率所适用的范围不同，一般对于低频信号采用测周期法，对于高频信号采用测频法，因此不能很大范围的进行测量，否则精度会有所下降，并且两种方法的计数值会产生 ± 1 个计数误差。因此，提出一种等精度的测量方法对频率进行测量，它是在直接测频方法的基础上发展起来的。

数字频率计是数字电路中的一个典型应用，实际的硬件设计用到的器件较多，连线比较复杂，而且会产生较大的延时，造成测量误差、可靠性差。随着可编程逻辑器件(CPLD)的广泛应用，以EDA工具为开发平台。利用VHDL(Very High Speed Integrated Circuit Hardware Description Language, 超高速集成电路硬件描述语言)工业标准硬件描述语言，采用自顶向下(Top to Down)和基于库(Library-based)的设计，设计者不但可以不必了解硬件结构设计，而且将使系统大大简化，提高整体的性能和可靠性。基于VHDL描述语言，采用自顶向下的设计方法，各模块之间相互独立，底层模块的修改不会影响其他模块的工作，这种设计方法的设计结构清晰、层次清楚，便于对设计进行修改。

本次所设计的数字频率计的目标是用一个4位十进制数字显示，测量的范围为 $1\sim 9999\text{KHz}$ 在测量范围内具有相同的精度，即对不同的被测信号都有相同的测量精度，不随被测信号的大小而改变。因此首先要研究的基本内容是测频方法的选择。在测量过程中，有两个计数器分别对标准和被测信号同时计数。首先给出闸门开启信号，此时计数器并不开始计数，而是等到被测信号的上升沿到来时，计数器才真正开始计数。然后预置闸门关闭信号到时，计数器并不立即停止计数，而是等到被测信号的上升沿到来时才结束计数，完成一次测量过程。

1. EDA 技术及开发环境

1.1 EDA技术

EDA (Electronic Design Automation) 技术作为现代电子设计技术的核心, 它依赖功能强大的计算机, 在EDA工具软件平台上, 对以硬件描述语言HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、逻辑化简、逻辑分割、逻辑综合 (布局布线), 以及逻辑优化和仿真测试, 直至实现既定的电子线路系统功能。EDA技术使得设计者的工作仅限于利用软件的方式, 即利用硬件描述语言和EDA软件来完成对系统硬件功能的实现。

EDA技术在硬件实现方面融合了大规模集成电路制造技术、IC版图设计技术、ASIC测试和封装技术、FPGA(Field Programmable Gate Array)/CPLD(Complex Programmable Logic Device)编程下载技术、自动测试技术等; 在计算机辅助工程方面融合了计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)、计算机辅助工程(CAE)技术以及多种计算机语言的设计概念; 而在现代电子学方面则容纳了更多内容, 如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术及基于微波技术的长线技术理论等。因此EDA技术为现代电子理论和设计的表达与实现提供了可能性。在现代技术的所有领域中, 许多得以飞速发展的科学技术, 多为计算机辅助设计, 而非自动化设计^[1]。

随着电子技术的发展, 应用系统向小型化, 快速化, 大容量, 重量轻的方向发展。数字系统的设计已从芯片组合化设计走向单片系统的设计。电子设计自动化是以计算机科学和微电子技术发展为先导, 汇集了计算机图形学, 拓扑逻辑学, 微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术, 它是在先进的计算机平台上开发出来的一整套实现电子系统或电子产品自动化设计的技术, 是当代电子设计技术的主流。其特点如下:

(1) EDA使硬件电路设计软件化, 降低了硬件电路设计的难度, 缩短了设计周期, 使产品的开发, 设计更新变成了程序的修改, 适应了千变万化的市场潮流。

(2) 设计输入可以使用硬件描述语言(HDL), 采用“自顶向下”的设计方法。为设计者提供了一个高效, 便捷的设计环境, 同时也为充分发挥设计人员的创造性提供了条件。EDA主要应用于数字电路的设计, 目前, 它在中国的应用多数是用于FPGA/CPLD/EPLD的设计中^[2]。

1.2 VHDL

VHDL 语言是随着集成电路系统化和高度集成化的发展而逐步发展起来的, 是一种用于数字系统设计和测试的硬件描述语言。对于小规模的数字集成电路, 通常可以用传统的设计输入方法 (如原理图输入) 来完成, 并进行模拟仿真。但纯原理图输入方式对于大型、

复杂的系统，由于种种条件和环境的制约，其工作效率较低，而且容易出错，暴露出多种弊端。在信息技术高速发展的今天，对集成电路提出了高集成度、系统化、微尺寸、低功耗的要求，因此，高密度可编程逻辑器件和VHDL 便应运而生[3]。

VHDL 语言具有很强的电路描述和建模能力，能从多个层次对数字系统进行建模和描述，从而大大简化了硬件设计任务，提高了设计率和可靠性。VHDL语言进行数字频率计的设计能够使设计结构清晰、层次清楚，减少了由电子器件之间引起的相互干扰[4]。

VHDL 具有与具体硬件电路无关和设计平台无关的特性，并且具有良好的电路行为描述和系统描述的能力，在语言易读性和层次化结构化设计方面表现了强大的生命力和应用潜力。因此，VHDL 支持各种模式的设计方法：自顶向下与自底向上或混合方法，在面对当今许多电子产品生命周期缩短，需要多次重新设计以融入最新技术、改变工艺等方面，VHDL 具有良好的适应性。用VHDL 进行电子系统设计的一个很大的优点是设计者可以专心致力于其功能的实现，而不需要对不影响功能的与工艺有关的因素花费过多的时间和精力[1]。

VHDL 主要用于描述数字系统的结构、行为、功能和接口。除了含有许多具有硬件特征的语句外，VHDL 的语言形式和描述风格与句法十分类似于一般的计算机高级语言。应用VHDL 进行工程设计的优点是多方面的，它强大的描述能力使它成为高层次设计的核心，VHDL 有良好的可读性，可移植性，它描述的硬件电路与工艺无关，支持结构化设计和Top-Down 设计方法，是一种并发执行语言，能同时支持仿真和综合，它支持多风格的描述，支持结构、数据流、行为三种描述形式，而且它有利于保护知识产权。

1.3EDA技术的开发环境—Altera Quartus II

Quartus 是Altera提供的FPGA/CPLD 开发集成环境，在21世纪初推出，它提供了一种与结构无关的设计环境，使用户设计者能方便地进行设计输入、快速处理和器件编程。Quartus II提供了完全集成且与电路结构无关的开发包环境，具有数字逻辑设计的全部特性，如：可利用原理图、结构框图、Verilog-HDL、AHDL 和VHDL 完成电路描述，并将其保存为设计实体文件；芯片（电路）平面布局连线编辑；Logic Lock增量设计方法，用户可建立并优化系统，然后添加对原始系统的性能影响较小或无影响的后续模块；功能强大的逻辑综合工具；完备的电路功能仿真与时序逻辑仿真工具；定时/时序分析与关键路径延时分析；可使用Signal Tap 逻辑分析工具进行嵌入式的逻辑分析；支持软件源文件的添加和创建，并将它们链接起来生成编程文件；使用组合编译方式可一次完成整体设计流程；自动定位编译错误；高效的期间编程与验证工具；可读入标准的EDIF 网表文件、VHDL 网表文件和Verilog网表文件；能生成第三方EDA 软件使用的VHDL 网表文件和Verilog网表文件。

Altera的Quartus II提供了完整的多平台设计环境，能满足各种特定设计的需要，也是单芯片可编程系统（SOPC ）设计的综合性环境和SOPC 开发的基本设计工具，并为Altera

DSP 开发包进行系统模型设计提供了集成综合环境。Quartus I 设计工具完全支持VHDL 、Verilog的设计流程，其内部嵌有VHDL 、Verilog逻辑综合器。Quartus I也可以利用第三方的综合工具如Leonardo Spectrum Synplify ProFPGA Compiler II 并能直接调用这些工具同样，Quartus 具备仿真功能，同时也支持第三方的仿真工具如ModelSim。此外，Quartus II与MATLAB 和DSP Builder结合，可以进行基于FPGA 的DSP 系统开发，是DSP 硬件系统实现的关键EDA 工具。

Quartus II包括模块化的编译器。编译器包括的功能模块有分析/综合器 (Analysis&Synthesis) 适配器(Fitter)、装配器(Assembler)、时序分析器(Timing Analyzer)、设计辅助模块 (Design Assistant) EDA 网表文件生成器 (EDA Netlist Writer) 编辑数据接口 (Compiler Database Interface)等。可以通过选择Start Compilation来运行所有的编译器模块，也可以通过选择Start单独运行各个模块。在进行编译后，可对设计进行时序仿真。在仿真前，需要利用波形编辑器编辑一个波形激励文件。编译和仿真经检测无误后，便可以将下载信息通过Quartus 提供的编程器下载入目标器件中了[1]。

2. 数字频率计的研究分析及设计思路

2. 数字频率计的研究与分析

在电子测量技术中，频率是最基本的参数之一，它与许多电参量和非电量的测量都有着十分密切的关系。例如，许多传感器就是将一些非电量转换成频率来进行测量的，因此频率的测量就显得更为重要。数字频率计是用数字来显示被测信号频率的仪器，被测信号可以是正弦波、方波或其它周期性变化的信号。频率测量仪器在生产和科研的各个部门使用，也是某些大型系统的重要组成部分[5]。

本次所设计的数字频率计要求的是用一个4位十进制数字显示，测量的范围为1~9999KHz 在测量范围内具有相同的精度，即对不同的被测信号都有相同的测量精度，不随被测信号的大小而改变。因此首先要研究的基本内容是测频方法的选择。

虽然利用测频法和测周期法这两种测量频率的方法是最常用的用来测量频率的方法，但是这两种测量方法对被测频率所适用的范围不同，一般对于低频信号采用测周期法，对于高频信号采用测频法，因此不能很大范围的进行测量，否则精度会有所下降，并且两种方法的计数值会产生±1个计数误差[6]。因此，提出一种等精度的测量方法对频率进行测量，它是在直接测频方法的基础上发展起来的。

采用基于VHDL的EDA设计方法，由于采用VHDL语言设计一个复杂的电路系统。因此运用自顶向下的设计思想。将系统按功能逐层分割的层次化设计方法进行设计。在顶层对内部各功能块的连接关系和对外的接口关系进行了描述，而功能块的逻辑功能和具体实现形式则由下一层模块来描述[6]。

再根据所选的测频方法划分层次模块，利用VHDL语言进行层次模块设计。由于是利用VHDL语言来设计的，所以对于组成系统的各个部分的模块要有明确功能的划分[8]。

2. 数字频率计的设计思路

本设计是通过VHDL 语言编程设计来实现4位十进制数字显示，达到测量范围为1~9999KHz，在测量范围内具有相同精度的频率计。对于此种数字频率计首先要解决的是采用何种方法对被测信号的频率进行计数，且在测量范围内具有相同的精度。然后根据所选的方法画出原理框图，再用VHDL 语言对各个层次的模块进行设计，最后在顶层对各个设计好的模块进行连接、仿真。

考虑到使用直接测频的方法会对所测得的结果会产生±1个字的量化误差，影响测量精度，所以本设计采用的是等精度的测量方法，即它的闸门时间不是固定的值，而是被测信号周期的整数倍，即与被测信号同步[8]。

在测量过程中，有两个计数器分别对标准和被测信号同时计数。首先给出闸门开启信号，此时计数器并不开始计数，而是等到被测信号的上升沿到来时，计数器才真正开始计数。然后预置闸门关闭信号到时，计数器并不立即停止计数，而是等到被测信号的上升沿到来时才结束计数，完成一次测量过程[9]。

设在一次实际闸门时间 t 中计数器对被测信号的计数值为 N_x ，对标准信号的计数值为 N_s 。标准信号的频率为 f_s ，则被测信号的频率为

$$f_x = \frac{N_x}{N_s} f_s \quad (2-1)$$

由式（2-1）可知，若忽略标准频率 f_s 的误差，则等精度测频可能产生的相对误差为

$$\left(\frac{f_{xe} - f_x}{f_x} \right) 100\% \quad (2-2)$$

式中 f_{xe} 为被测信号频率的准确值。

在测量中，由于 f_x 计数的起停时间都是由该信号的上升沿触发的，在闸门时间 t 内对 f_x 的计数 N_x 无误差（ $t = N_x T_x$ ）；对 f_s 的计数 N_s 最多相差一个数的误差，即 $|N_s| = 1$ ，其测量频率为

$$f_{xe} = N_x / N_s = N_s / f_s \quad (2-3)$$

将式（2-1）和式（2-3）代入式（2-2），并整理得

$$|N_s| / N_s = 1 / N_s = 1 / (t f_s) \quad (2-4)$$

由上式可以年出，测量频率的相对误差与被测信号频率的大小无关，仅与闸门时间和

标准信号频率有关，即实现了整个测试频段的等精度测量。闸门时间越长，标准频率越高，测频的相对误差就越小。标准频率可由稳定度好、精度高的高频率晶体振荡器产生，在保证测量精度不变的前担下，提高标准信号频率，可使闸门时间缩短，即提高测试速度^[10]。

等精度测频的实现方法可简化为如图2-1所示的框图。CNT1 和CNT2 是两个可控计数器，标准频率信号从CNT1 的时钟输入端CLK 输入；经整形后的被测信号从CNT2 的时钟输入端CLK 输入。每个计数器中的CEN 输入端为时钟使能端控制时钟输入。当预置闸门信号为高电平（预置时间开始）时，被测信号的上升沿通过D 触发器的输出端，同时启动两个计数器计数；同样，当预置闸门信号为低电平（预置时间结束）时，被测信号的上升沿通过D 触发器的输出端，同时关闭计数器的计数^[11]。

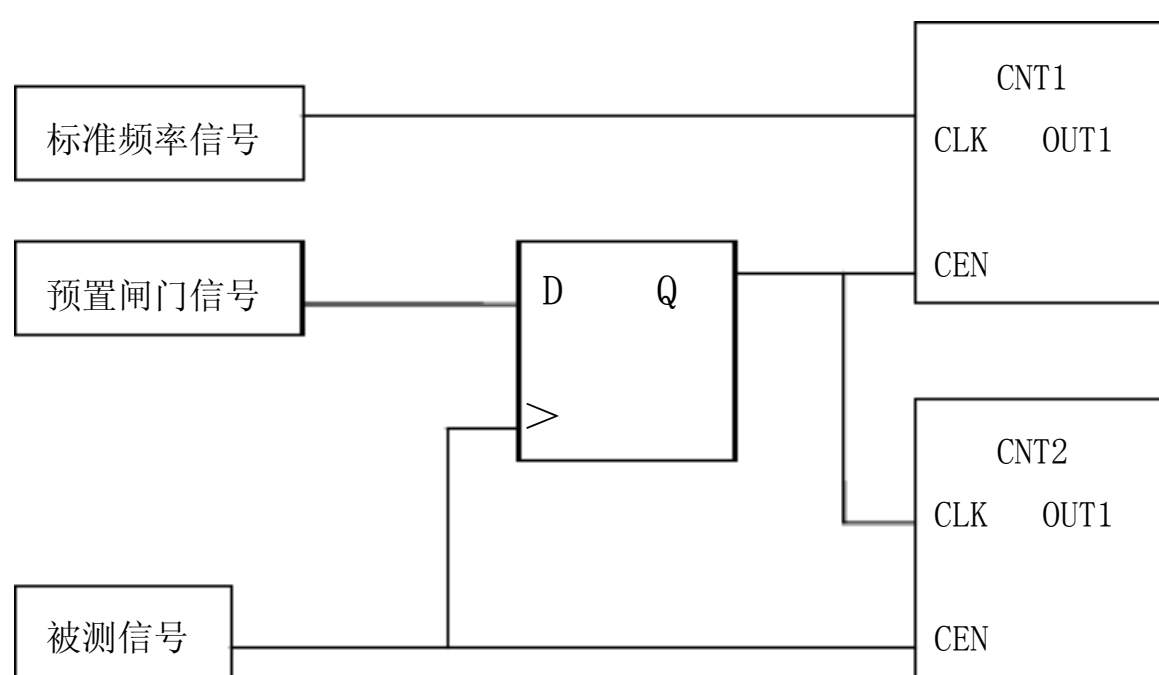


图2-1. 等精度测频实现方法的原理

系统由分频器、计数器1、计数器2、D触发器、运算器组成。分频器出来的信号作为等精度测频原理的预置闸门信号。其中D触发器、计数器2和计数器1的作用与图2-1相似。复位主要对分频、计数器1和计数器2进行清零操作。运算器是根据公式（2-1）来计算被测信号的频率。采用等精度测频原理的频率计系统组成方框图如图2-2所示^[12]。

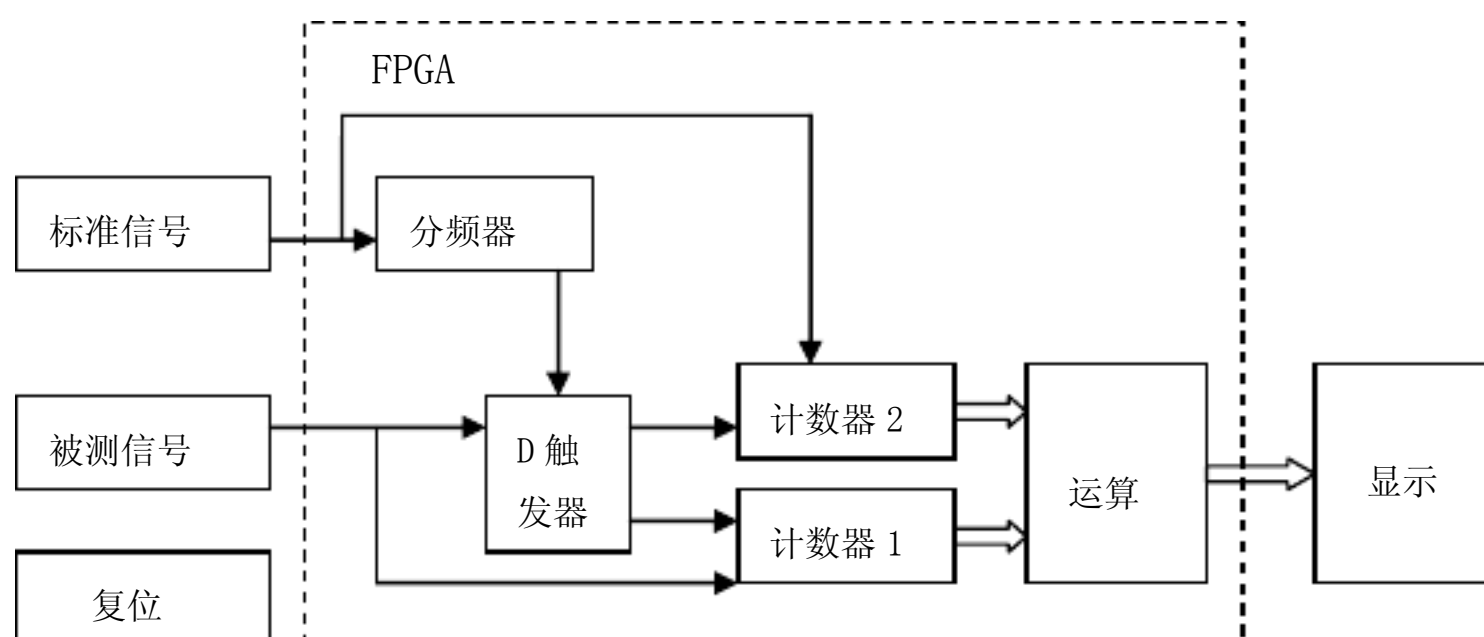


图2-2. 采用等精度测频原理的频率计系统组成方框图

3.数字频率计模块的相关介绍与分析

3. 顶层接口及内部信号说明

图3-1 所示的是本次设计的顶层元件模块封装图。下面对应该图对各个接口的功能和内部信号的作用分别进行说明。

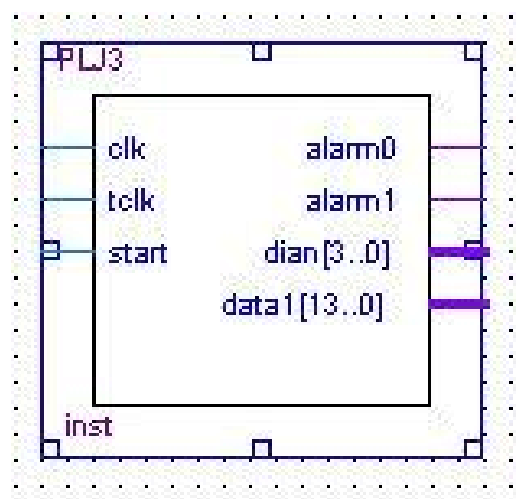


图3-1顶层元件封装

3.1.1各个接口功能说明

由于本设计是用于对外部频率的测量，所以在此定义了三个输入端口，如下：

Clk：基准信号（10kHz）。

Tclk：被测信号。

Start：复位信号。

因为对外部频率测量的结果是用一个4位十进制数字显示，因此定义了下列四个输出端口：

data1[13..0]：测得的频率数据显示。

dian[3..0]：小数点显示。

alarm0：超量程显示。

alarm1：欠量程显示。

3.1.2内部信号作用说明

为了方便内部各数据的传输，定义了一些内部信号，诸如：

q：预置闸门分频系数。

qq、qqq：运算器。

data0：频率数据中间信号。

q1i：被测信号计数器。

q2i：基准信号计数器。

en：预置闸门。

en1：实际闸门。

Count、d：在显示模块进程中用于位选。

OU: 输出被测频率类型转换后的数据。

3. 2预置闸门信号模块

本模块的输入信号clk与start都是系统输入信号，如果复位信号start为1，预置闸门分频系数q和预置闸门en均为0，否则遇基准信号上升沿触发，en为1，预置闸门开启，对预置闸门分频系数q的计数；当计数满9999，预置闸门分频系数q和预置闸门en分别为9999、0，预置闸门关闭。以下是预置闸门信号模块的程序代码：

```
process (clk, start, q)
begin
    if start='1' then q<=0; en<='0';
    elsif clk'event and clk='1' then
        if q=9999 then q<=9999; en<='0';
        else q<=q+1; en<='1';
        end if;
    end if;
end process;
```

3. 3基准信号与被测信号计数模块

在测量过程中，有两个计数器分别对标准信号和被测信号同时计数。当出现闸门开启信号后，计数器在遇到被测信号上升沿时开始计数；当出现闸门关闭信号后，计数器同样要在遇到被测信号上升沿时停止计数。所以实际闸门时间与预置闸门时间并不严格相等，但差值不超过一个被测信号的一个周期，实际闸门信号是在计被测信号脉冲数时得到的。

如果复位信号start为1，被测信号计数器qli和实际闸门en1均为0；否则遇基准信号触发，如果预置闸门en为1，则实际闸门开启，en1为1，被测信号计数器qli加1，否则实际闸门关闭，en1为0。如果复位信号start为1，基准信号计数器q2i为0，否则遇基准信号上升沿触发，如果实际闸门en1为0，则对基准信号计数器q2i不计数，否则对基准信号计数器q2i加1；如果基准信号计数器q2i计满20000，则对基准信号计数器q2i输出20000。以下是基准信号与被测信号计数模块的程序代码：

```
process(start, qli, tclk, en)
begin
    if start='1' then qli<=0; en1<='0';
    elsif tclk'event and tclk='1' then
        if en='1' then
            en1<='1'; qli<=qli+1;
        else en1<='0';
    end if;
end process;
```

```

        end if;
    end if;
end process;

process(start, clk, q2i, en1)
begin
    if start='1' then q2i<=0;
        elsif clk'event and clk='1' then
            if en1<='0' then
                q2i<=q2i;
            else q2i<=q2i+1;
            end if;
        end if;
    end if;
    if q2i=20000 then q2i <=20000;
    end if;
end process;

```

3. 4等精度频率计的运算模块

本模块是根据q1的大小来判断小数点的位置，通过内部信号运算器qq与qqq的比较来完成数据运算，当所得到的数据超出测量范围时，alarm0超量程显示，模块输入信号有start, clk, en1, q1i, q2i, 输出信号有 data0, dian, qqq, qq, alarm0, alarm1。此进程模块主要是用来完成公式 (2-1) 的运算。

如果复位信号start为1，则频率数据中间信号data0、小数点dian、运算器qqq, qq 超量程显示alarm0、欠量程显示alarm1均为0，否则遇基准信号上升沿触发，如果实际闸门为0，那么，如果被测信号计数器q1i大于1000，则被测信号计数器q1i*10000，如果运算器qqq小于qq，那么运算器qqq的值加上基准信号计数器q2i的值为运算器qqq新的值，且频率数据中间信号data0加1，此时小数点dian为“0000”，即不显示小数点；如果运算器qqq大于qq，那么如果频率数据中间信号data0大于10000，则超量程显示alarm0为1，否则输出数据；如果q1i大于100，则q1i*100000，如果qqq小于qq，那么qqq的值加上基准信号计数器q2i的值为qqq新的值，且频率数据中间信号data0加1；如果qqq大于qq，那么如果data0大于10000，则频率数据显示data1显示为1000，且小数点dian为“0001”，否则输出数据，且小数点dian为“0010”，即第二个数码管显示小数点；如果q1i大于10，则q1i*1000000，如果qqq小于qq，那么qqq的值加上q2i的值为qqq新的值，且data0加1；如果运算器qqq大于qq，那么如果data0大于10000，则data1显示为1000，且小数点dian为“0010”，否则输出数据，且小数点dian为“0100”，即第三个数码管显示小数点；如果q1i大于1，则

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/356041114043011004>