

## 7 时序逻辑电路的分析与设计

在第 5、6 两章里研究了触发器、寄存器和计数器，它们是三种典型的时序逻辑电路。本章继续探讨时序逻辑电路，主要介绍时序逻辑电路通用的分析和设计方法。

### 7.1 概述

本节知识点

时序逻辑电路的定义

时序逻辑电路的结构形式

时序逻辑电路的分类

### 自测练习

7.1.1 时序逻辑电路由组合电路和（ ）共同组成。

7.1.2 时序电路的特点之一是存在（ ）回路。

7.1.3 按照电路的工作方式，时序逻辑电路可以分为（ ）和（ ）两大类。

7.1.4 时序逻辑电路可用（ ）方程、（ ）方程和（ ）方程来描述。

7.1.5 Mealy 型时序电路的输出与（ ）有关；Moore 型时序电路的输出与（ ）有关。

### 自测练习答案

7.1.1 存储电路

7.1.2 反馈

7.1.3 同步时序逻辑电路、异步时序逻辑电路

7.1.4 输出、驱动、状态（次态）

7.1.5 存储电路的状态和输入信号、存储电路的状态

### 7.2 时序逻辑电路的分析

本节知识点

由触发器构成的同步时序逻辑电路的分析步骤

状态表的两种不同格式及填写方法

状态转换图的两种不同形式及画法

同步时序逻辑电路的分析例子

异步时序逻辑电路的分析例子

时序逻辑电路的分析，就是根据一个给定的时序逻辑电路，求出其输出和电路状态的变化规律，并确定该时序电路的逻辑功能和工作特性。

### 自测练习

7.2.1 已知某同步时序逻辑电路的驱动方程为  $J_0=K_0=1$ ， $J_1=K_1=X \oplus Q_0^n$ ， $X$  为输入信号。则其状态方程为（ ）和（ ）。

7.2.2 已知某同步时序逻辑电路的状态方程为  $Q_1^{n+1} = Q_0^n \overline{Q_1^n}$ ， $Q_0^{n+1} = \overline{Q_0^n} \overline{Q_1^n}$ 。则它共有（ ）不同状态，相应的状态转换图为（ ）。其中有（ ）个无效状态，电路（ ）(能，不能)自启动。

7.2.3 已知某同步时序逻辑电路的状态方程为  $Q_1^{n+1} = Q_0^n \oplus Q_1^n$ ， $Q_0^{n+1} = \overline{Q_0^n}$ ，输出  $Z = Q_1^n Q_0^n$ 。试完成题 7.2.3 表所示的状态转换真值表。

题 7.2.3 表

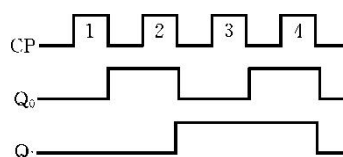
| 现态<br>$Q_1^n Q_0^n$ | 次态<br>$Q_1^{n+1} Q_0^{n+1}$ | 输出<br>Z |
|---------------------|-----------------------------|---------|
| 00                  |                             |         |
| 01                  |                             |         |
| 10                  |                             |         |
| 11                  |                             |         |

题 7.2.4 表

| 现态<br>$Q_1^n Q_0^n$ | 次态 $Q_1^{n+1} Q_0^{n+1}$ / 输出 Z |
|---------------------|---------------------------------|
| 0 0                 |                                 |
| 0 1                 |                                 |
| 1 0                 |                                 |
| 1 1                 |                                 |

7.2.4 已知某异步时序逻辑电路的状态方程为  $Q_0^{n+1} = \overline{Q_0^n}$  (CP 由 1→0 时有效),  $Q_1^{n+1} = \overline{Q_1^n}$  ( $Q_0^n$  由 1→0 时有效), 输出  $Z = Q_1^n Q_0^n$ 。试完成题 7.2.4 表所示的状态表。

7.2.5 已知某时序逻辑电路的输出波形如题 7.2.5 图所示, 则它的状态转换图为 ( )。



题 7.2.5 图

### 自测练习答案

7.2.1  $Q_0^{n+1} = \overline{Q_0^n}$  、  $Q_1^{n+1} = X \oplus Q_0^n \oplus Q_1^n$

7.2.2 4 个 、 00→01→10→00 及 11→00 、 1 、 能

7.2.3 自测练习题解 7.2.3 表

自测练习题解 7.2.3 表

| 现态<br>$Q_1^n Q_0^n$ | 次态<br>$Q_1^{n+1} Q_0^{n+1}$ | 输出<br>Z |
|---------------------|-----------------------------|---------|
| 0 0                 | 0 1                         | 0       |
| 0 1                 | 1 0                         | 0       |
| 1 0                 | 1 1                         | 0       |
| 1 1                 | 0 0                         | 1       |

自测练习题解 7.2.3 表

| 现态<br>$Q_1^n Q_0^n$ | 次态 $Q_1^{n+1} Q_0^{n+1}$ / 输出 Z |
|---------------------|---------------------------------|
| 0 0                 | 0 1 / 0                         |
| 0 1                 | 1 0 / 0                         |
| 1 0                 | 1 1 / 0                         |
| 1 1                 | 0 0 / 1                         |

7.2.4 自测练习题解 7.2.4 表

7.2.5 00→01→10→11→00

## 7.3 同步时序逻辑电路的设计

本节知识点

同步时序逻辑电路的设计步骤

建立原始状态转换图的具体过程

原始状态转换图的简化方法

次态卡诺图的求法

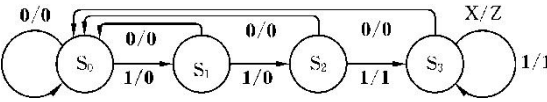
同步时序逻辑电路的设计举例

时序逻辑电路的设计就是根据给定的逻辑功能要求, 设计出符合逻辑要求的时序逻辑电路。

它实际上是分析的逆过程。

自测练习

- 7.3.1 若化简后的状态数为  $M$ ，需要的代码位数为  $n$ ，则  $M$  和  $n$  的关系为 ( )。
- 7.3.2 构造一个模 10 的同步计数器，需要 ( ) 个触发器。
- 7.3.3 设计一个同步五进制加法计数器，至少用 ( ) 位代码对各个状态进行编码，共有 ( ) 种不同的编码方案。
- 7.3.4 有一序列脉冲检测器，当连续输入信号 110 时，该电路输出 1，否则输出 0。则它的原始状态转换图为 ( )。
- 7.3.5 已知一原始状态转换图如题 7.3.5 图所示，则它的简化状态转换图为 ( )。



题 7.3.5 图

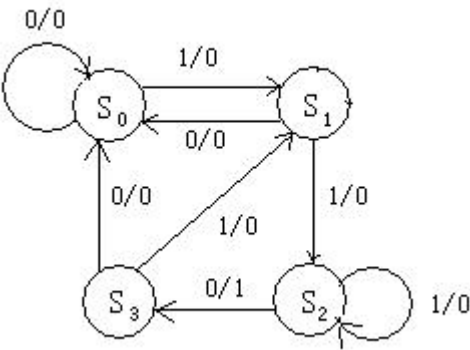
- 7.3.6 已知状态表如题 7.3.6 表所示，如果采用 JK 触发器，则输出方程为 ( )，状态方程为 ( )，驱动方程为 ( )。

题 7.3.6 表

| 现态 $Q_1^n Q_0^n$ | 次态 $Q_1^{n+1} Q_0^{n+1}$ /输出 $Z$ |       |
|------------------|----------------------------------|-------|
|                  | $X=0$                            | $X=1$ |
| 0 0              | 0 0/0                            | 0 1/0 |
| 0 1              | 0 0/0                            | 1 1/0 |
| 1 1              | 0 0/1                            | 1 1/0 |

自测练习答案

- 7.3.1  $M \leq 2^n$
- 7.3.2 4
- 7.3.3 3、 $C_8^5$
- 7.3.4 原始状态转换图如自测练习题解 7.3.4 图所示
- 7.3.5  $S_2$ 、 $S_3$  为两个等效状态，可合并为一个状态。
- 7.3.6 状态转换真值表如自测练习题解 7.3.6 表所示



自测练习题解 7.3.4 图

自测练习题解 7.3.6 表

| $X$ | $Q_1^n$ | $Q_0^n$ | $Z$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ |
|-----|---------|---------|-----|-------------|-------------|
| 0   | 0       | 0       | 0   | 0           | 0           |
| 0   | 0       | 1       | 0   | 0           | 0           |
| 0   | 1       | 0       | x   | x           | x           |
| 0   | 1       | 1       | 1   | 0           | 0           |
| 1   | 0       | 0       | 0   | 0           | 1           |
| 1   | 0       | 1       | 0   | 1           | 1           |
| 1   | 1       | 0       | x   | x           | x           |
| 1   | 1       | 1       | 0   | 1           | 1           |

$$Z = \overline{X}Q_1^n; Q_1^{n+1} = XQ_0^n, Q_0^{n+1} = X; J_0 = X, K_0 = \overline{X}, J_1 = XQ_0^n, K_1 = \overline{XQ_0^n}$$

## 7.4 序列信号发生器

序列信号是按照一定规则排列的周期性串行二进制码，它通常用来作为数字系统的同步信号、地址信号或控制信号等，在通信、雷达、噪声源等方面都有广泛的应用。序列信号发生器是能够产生一组或多组序列信号的电路，可以由移位寄存器或计数器构成。

### 本章小结

1. 时序逻辑电路一般由组合电路和存储电路两部分组成。
2. 按照电路的工作方式，时序逻辑电路可以分为同步和异步时序逻辑电路两大类；按照电路输出对输入信号的依从关系，时序逻辑电路又可分为 Mealy 型和 Moore 型时序电路。
3. 在 Mealy 型时序电路中，输出同时取决于存储电路的状态和输入信号；而在 Moore 型时序电路中，输出只与存储电路的状态有关。因此，在描述电路状态的转换关系时，两者的状态表形式也有所不同。
4. 时序逻辑电路的分析，就是对一个给定的时序逻辑电路，通过分析确定该时序电路的逻辑功能。分析步骤如下：
  - (1) 根据逻辑电路写出时钟方程、驱动方程和输出方程；
  - (2) 将驱动方程代入相应触发器的特性方程，求得电路的状态方程；
  - (3) 根据状态方程和输出方程，列出状态表（或状态转换真值表），画出状态转换图（或时序波形图）；
  - (4) 确定电路的逻辑功能。其中最后一步是难点。
5. 无论是同步还是异步时序电路，它们的分析过程基本相同，只是在某些细节上有所不同。由于异步时各触发器不在同一时刻发生状态转换，故各状态方程的时钟条件也不相同，在确定各触发器的次态时，要分别验证是否有符合要求的时钟脉冲到来。
6. 时序逻辑电路的设计就是根据给定的逻辑功能要求，设计出符合要求的逻辑电路。它实际上是分析的逆过程。设计步骤如下：
  - (1) 由给定的逻辑功能要求建立原始状态转换图；
  - (2) 对原始状态转换图进行化简；
  - (3) 对状态进行编码，并画出编码后的状态转换图和状态表（或状态转换真值表）；
  - (4) 选择触发器的类型及个数；
  - (5) 求出电路的输出方程和各触发器的驱动方程；
  - (6) 画出设计好的逻辑电路图，并检查自启动能力。
 其中第一步是难点。
7. 序列信号是按照一定规则排列的周期性串行二进制码，序列信号的产生可由移位寄存器或计数器构成的电路实现。

## 习题七

### 7.1 概述

7.1.1 分析习题 7.1.1 (a) 表和习题 7.1.1 (b) 表中输出与输入及状态的关系，确定哪张表对应的是 Moore 型时序逻辑电路。

解：习题 7.1.1 (a) 表输出与现态和输入均有关，故对应的是 Mealy 型时序电路。7.1.1 (b) 表中输出只与现态有关，而与输入无关，故对应的是 Moore 型时序电路。

习题 7.1.1 (a) 表

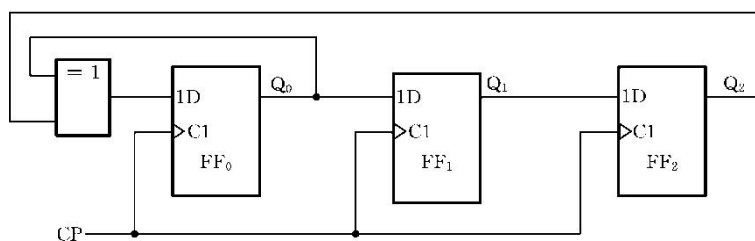
| 现态 | 输入 0 | 输入 1 | 说明        |
|----|------|------|-----------|
| A  | B/1  | C/0  | 次态/<br>输出 |
| B  | B/0  | A/1  |           |
| C  | A/0  | C/0  |           |

习题 7.1.1 (b) 表

| 现态 | 输入 0 | 输入 1 | 输出 |
|----|------|------|----|
| W  | Y    | X    | 0  |
| X  | X    | Y    | 1  |
| Y  | X    | W    | 0  |

## 7.2 时序逻辑电路的分析

7.2.1 分析如习题 7.2.1 图所示的同步时序逻辑电路，(1) 写出驱动方程，并作出状态转换图；  
(2) 说明电路的逻辑功能。

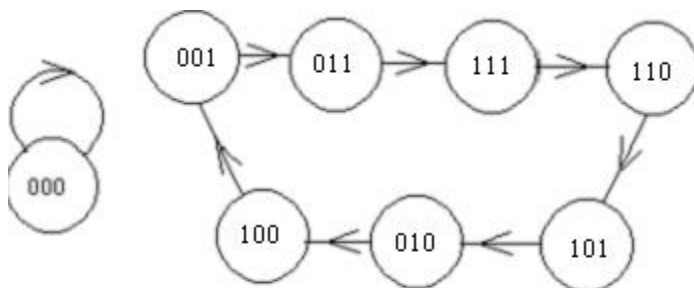


习题 7.2.1 图

解：(1) 驱动方程： $D_0 = Q_0'' \oplus Q_2''$ ;  $D_1 = Q_0''$ ;  $D_2 = Q_1''$

状态转换图如习题解 7.2.1 图所示

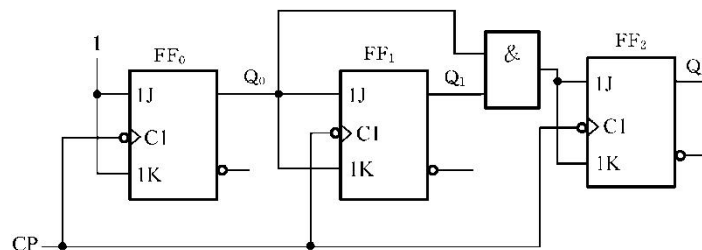
$Q_2 Q_1 Q_0 \rightarrow$



习题解 7.2.1 图

(2) 该电路是模 7 计数器，不具备自启动功能。

7.2.2 分析习题 7.2.2 图所示的同步时序逻辑电路：(1) 写出驱动方程和状态方程；(2) 确定电路的逻辑功能。



习题 7.2.2 图

解：（1）驱动方程： $J_0 = K_0 = 1$ ， $J_1 = K_1 = Q_0^n$ ， $J_2 = K_2 = Q_1^n Q_0^n$

状态方程： $Q_0^{n+1} = \overline{Q_0^n}$ ， $Q_1^{n+1} = Q_1^n \oplus Q_0^n$ ， $Q_2^{n+1} = Q_2^n \oplus (Q_1^n Q_0^n)$

状态表如习题解 7.2.2 表所示：

习题解 7.2.2 表

| $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ |
|---------|---------|---------|-------------|-------------|-------------|
| 0       | 0       | 0       | 0           | 0           | 1           |
| 0       | 0       | 1       | 0           | 1           | 0           |
| 0       | 1       | 0       | 0           | 1           | 1           |
| 0       | 1       | 1       | 1           | 0           | 0           |
| 1       | 0       | 0       | 1           | 0           | 1           |
| 1       | 0       | 1       | 1           | 1           | 0           |
| 1       | 1       | 0       | 1           | 1           | 1           |
| 1       | 1       | 1       | 0           | 0           | 0           |

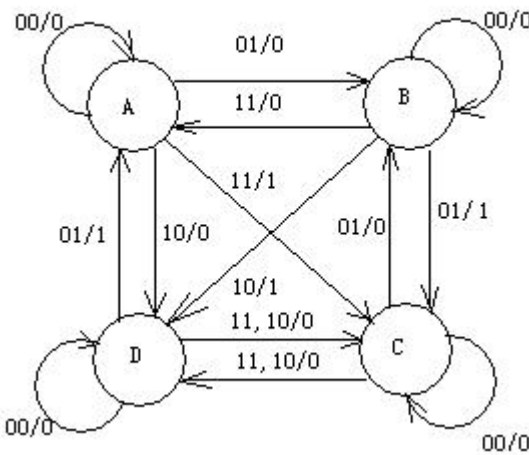
（2）电路功能为三位二进制加计数器（或者 8 进制计数器）

7.2.3 已知状态表如习题 7.2.3 表所示，作出相应的状态转换图。

习题 7.2.3 表

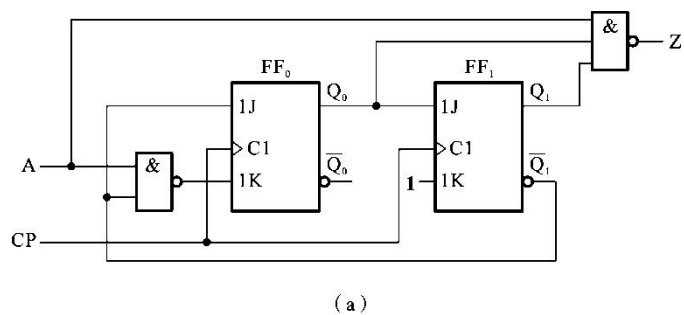
| 现态 | 次态 / 输出 Z      |                |                |                |
|----|----------------|----------------|----------------|----------------|
|    | $X_1 X_2 = 00$ | $X_1 X_2 = 01$ | $X_1 X_2 = 11$ | $X_1 X_2 = 10$ |
| A  | A/0            | B/0            | C/1            | D/0            |
| B  | B/0            | C/1            | A/0            | D/1            |
| C  | C/0            | B/0            | D/0            | D/0            |
| D  | D/0            | A/1            | C/0            | C/0            |

解：由习题 7.2.3 状态表可画状态转换图如习题解 7.2.3 图所示。

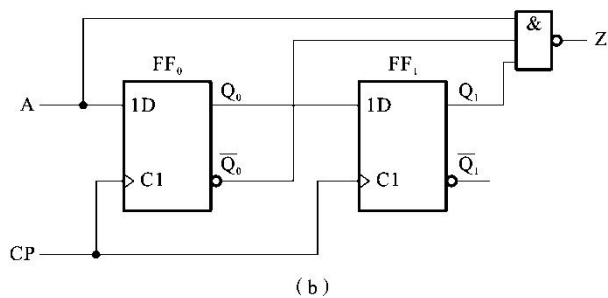


习题解 7.2.3 图

7.2.4 分析习题 7.2.4 图所示的同步时序逻辑电路，（1）写出驱动方程和输出方程，并作出状态转换图；（2）说明电路的逻辑功能。



(a)



(b)

习题 7.2.4 图

解：图 (a)

(1) 驱动方程：  $J_0 = \overline{Q_1^n}, K_0 = \overline{A Q_1^n}, J_1 = Q_0^n, K_1 = 1$

输出方程：  $Z = \overline{A Q_1^n} Q_0^n$

状态方程：  $Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + A \overline{Q_1^n} Q_0^n$

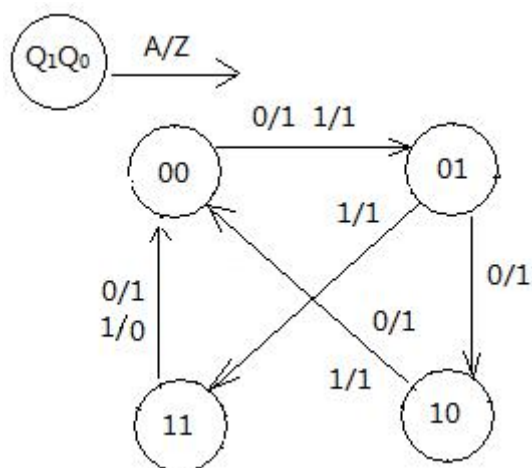
$Q_1^{n+1} = \overline{Q_1^n} Q_0^n$

状态转换表如习题解 7.2.4 (a) 表所示。

习题解 7.2.4 (a) 表

| $Q_1^n Q_0^n$ | $Q_1^{n+1} Q_0^{n+1} / Z$ |       |
|---------------|---------------------------|-------|
|               | A=0                       | A=1   |
| 0 0           | 0 1/1                     | 0 1/1 |
| 0 1           | 1 0/1                     | 1 1/1 |
| 1 0           | 0 0/1                     | 0 0/1 |
| 1 1           | 0 0/1                     | 0 0/0 |

状态转换图如习题解 7.2.4 (a) 图所示。



习题解 7.2.4 (a) 图

(2) 功能:  $A=1$  时电路实现具有自启动的 00, 01, 11 循环变化的三进制计数器功能, 电路在 11 时,  $Z=0$ , 其他时候  $Z=1$ 。 $A=0$  时电路实现能自启动的 00, 01, 10 循环变化的三进制加计数器功能。

图 (b)

(1) 驱动方程:  $D_0 = A$ ,  $D_1 = Q_0^n$

输出方程:  $Z = A\overline{Q_0^n}Q_1^n$

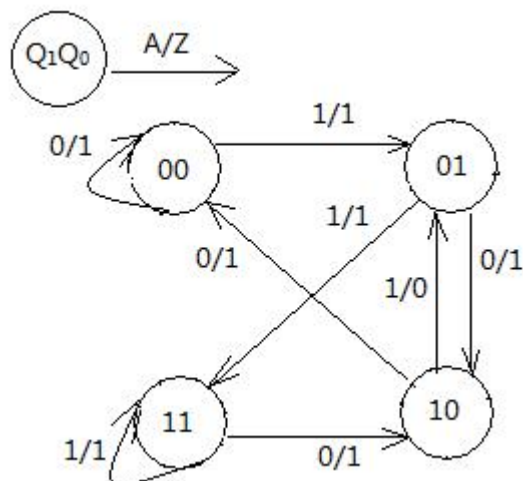
状态方程:  $Q_0^{n+1} = A$ ,  $Q_1^{n+1} = Q_0^n$

列状态转换表如习题解 7.2.4 (b) 表所示。

习题解 7.2.4 (b) 表

| $Q_1^n Q_0^n$ | $Q_1^{n+1} Q_0^{n+1} / Z$ |       |
|---------------|---------------------------|-------|
|               | $A=0$                     | $A=1$ |
| 0 0           | 0 0/1                     | 0 1/1 |
| 0 1           | 1 0/1                     | 1 1/1 |
| 1 0           | 0 0/1                     | 0 1/0 |
| 1 1           | 1 0/1                     | 1 1/1 |

画状态转换图如习题解 7.2.4 (b) 图所示。

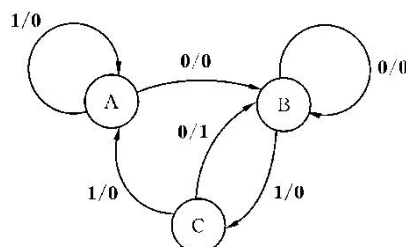




# 习题解 7.2.4 (b) 图

(2) 功能：电路为二位二进制数的右移移位寄存器，实现  $Q_0$  向  $Q_1$  方向移位，A 为右移位输入。

同时电路也是一个 101 序列检测器，01 表示初始状态，11 表示检测到一个 1 的情况，10 表示检测到 10 的情况，Z 表示序列检测器的输出。当检测到 101 序列时，Z 为 0，否则 Z 为 1。



习题 7.2.5 图

7.2.5 已知状态转换图如习题 7.2.5 图所示，输入序列为  $X=11010010$  (按从左到右的顺序)，设初始状态为 A，求状态和输出响应序列。

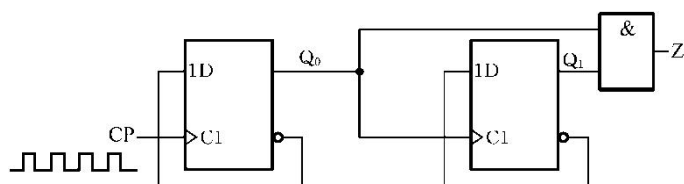
解：由状态转换图可列入习题解 7.2.5 表所示状态转换表。

习题解 7.2.5 表

| 现态 | 次态/输出 |     |
|----|-------|-----|
|    | X=0   | X=1 |
| A  | B/0   | A/0 |
| B  | B/0   | C/0 |
| C  | B/1   | A/0 |

因初始状态为 A，当输入序列为  $X=11010010$  (按从左到右的顺序) 时。状态和输出响应序列分别为 AABCBBBCB 和 00001001。

7.2.6 分析如习题 7.2.6 图所示的异步时序逻辑电路。



习题 7.2.6 图

解：(1) 驱动方程：  $D_0 = \overline{Q_0^n}$ ,  $D_1 = \overline{Q_1^n}$

输出方程：  $Z = Q_0^n Q_1^n$

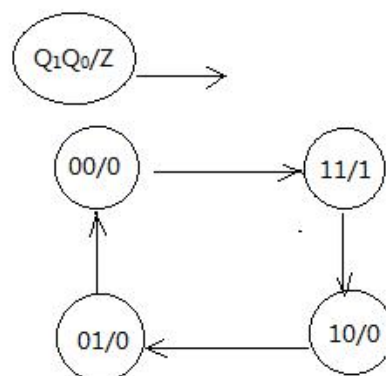
时钟方程：  $CP_0 = CP$ ,  $CP_1 = Q_0^n$

状态方程：  $Q_0^{n+1} = \overline{Q_0^n}$  ( $CP_0$  上升沿有效),  $Q_1^{n+1} = \overline{Q_1^n}$  ( $CP_1$  上升沿有效)

(2) 列状态转换表如习题解 7.2.6 表所示。

习题解 7.2.6 表

| $Q_1^n Q_0^n$ | $CP_1$ | $CP_0$ | $Q_1^{n+1} Q_0^{n+1} Z$ |
|---------------|--------|--------|-------------------------|
| 0 0           | ↑      | ↑      | 1 1 0                   |
| 0 1           | ↓      | ↑      | 0 0 0                   |
| 1 0           | ↑      | ↑      | 0 1 0                   |
| 1 1           | ↓      | ↑      | 1 0 1                   |



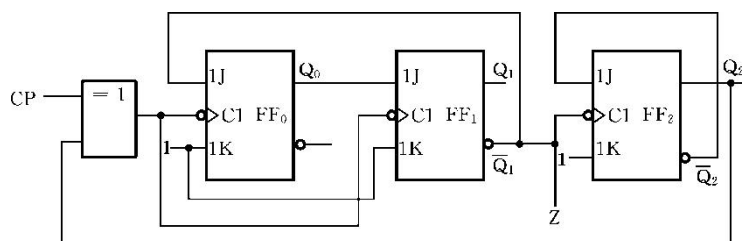
(3) 画状态转换图如习题解 7.2.6 图所示。

(4) 确定功能：

该电路为异步 2 位二进制减计数器，Z 为借位输出，在 00 变为 11 时产生一个高电平借位脉冲。

习题解 7.2.6 图

7.2.7 分析如习题 7.2.7 图所示的异步时序逻辑电路。



习题 7.2.7 图

解：(1) 写方程：

驱动方程： $J_0 = \overline{Q_1}^n$ ,  $K_0 = 1$ ;  $J_1 = Q_0^n$ ,  $K_1 = 1$ ;  $J_2 = \overline{Q_2}^n$ ,  $K_2 = 1$ ;

输出方程： $Z = \overline{Q_1}^n$

时钟方程： $CP_0 = CP \oplus Q_2^n$ ,  $CP_1 = CP_0$ ,  $CP_2 = \overline{Q_1}^n$

$Q_0^{n+1} = \overline{Q_1}^n \overline{Q_0}^n$ ,  $CP_0$  下降沿有效

状态方程： $Q_1^{n+1} = \overline{Q_1}^n Q_0^n$ ,  $CP_1$  下降沿有效

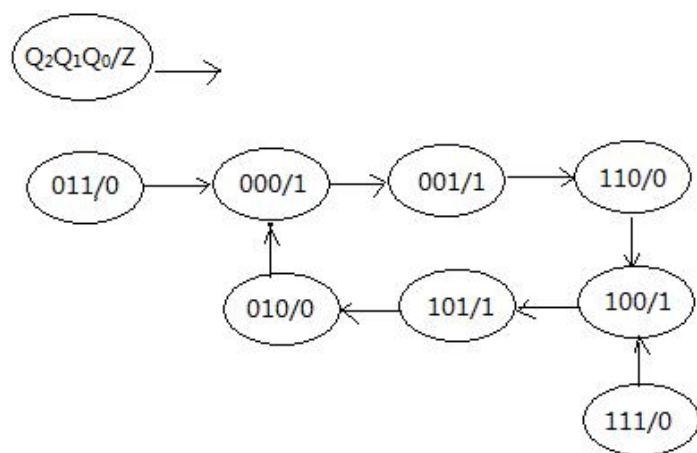
$Q_2^{n+1} = \overline{Q_2}^n$ ,  $CP_2$  即  $\overline{Q_1}^n$  的下降沿有效

(2) 状态转换表如习题解 7.2.7 表所示。

| $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $CP_2$ | $CP_1$ | $CP_0$ | $CP$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | $Z$ |
|---------|---------|---------|--------|--------|--------|------|-------------|-------------|-------------|-----|
| 0       | 0       | 0       | 1      | ↓      | ↓      | ↓    | 0           | 0           | 1           | 1   |
| 0       | 0       | 1       | ↓      | ↓      | ↓      | ↓    | 1           | 1           | 0           | 1   |
| 0       | 1       | 0       | ↑      | ↓      | ↓      | ↓    | 0           | 0           | 0           | 0   |
| 0       | 1       | 1       | ↑      | ↓      | ↓      | ↓    | 0           | 0           | 0           | 0   |
| 1       | 0       | 0       | 1      | ↓      | ↓      | ↑    | 1           | 0           | 1           | 1   |
| 1       | 0       | 1       | ↓      | ↓      | ↓      | ↑    | 0           | 1           | 0           | 1   |
| 1       | 1       | 0       | ↑      | ↓      | ↓      | ↑    | 1           | 0           | 0           | 0   |
| 1       | 1       | 1       | ↑      | ↓      | ↓      | ↑    | 1           | 0           | 0           | 0   |

习题解 7.2.7 表

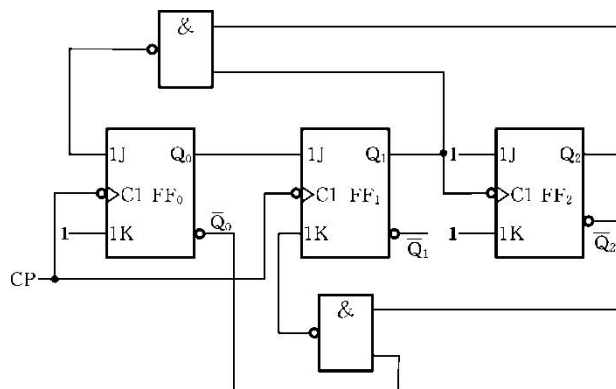
(3) 状态转换图如习题解 7.2.7 图所示。



习题解 7.2.7 图

(4) 功能：电路为六进制计数器或者是由 Z 输出的 110 或 101 或 011 串行序列产生器。

7.2.8 分析习题 7.2.8 图所示的异步时序电路的逻辑功能。



习题 7.2.8 图

解：(1) 写方程：

时钟方程：  $CP_0 = CP_1 = CP; CP_2 = Q_1^n$

驱动方程和状态方程：

$$J_0 = \overline{Q_2^n Q_1^n}, K_0 = 1; J_1 = Q_0^n, K_1 = \overline{Q_2^n Q_0^n} = Q_2^n + Q_0^n;$$

$$J_2 = K_2 = 1$$

$$Q_0^{n+1} = \overline{Q_2^n Q_1^n} \cdot \overline{Q_0^n}, CP \text{ 下降沿有效}$$

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n}; CP \text{ 下降沿有效}$$

$$Q_2^{n+1} = \overline{Q_2^n}, Q_1^n \text{ 下降沿有效}$$

(2) 状态转换图如习题解 7.2.8 图所示。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/365020031022011103>