

(19) 中华人民共和国国家知识产权局



(12) 发明专利说明书

(10) 申请公布号 CN 111106133 A

(43) 申请公布日 2020.05.05

(21) 申请号 CN201911377215.4

(22) 申请日 2014.07.31

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 林以唐 蔡俊雄 万幸仁

(74) 专利代理机构 北京德恒律治知识产权代理有限公司

代理人 章社杲

(51) Int. CI

权利要求说明书 说明书 幅图

(54) 发明名称

用于具有多个半导体器件层的半导体结构的系统和方法

(57) 摘要

本发明提供了一种具有多个半导体器件层的半导体结构。该半导体结构包括第一掩埋氧化物和制造在第一掩埋氧化物之上的第一半导体器件层。第一半导体器件层包括图案化的顶面。包括绝缘体材料的毯式层制造在图案化的表面上方。该半导体结构还包括接合至毯式层的第二掩埋

氧化物和制造在第二掩埋氧化物之上的第二半导体器件层。本发明还涉及用于具有多个半导体器件层的半导体结构的系统和方法。

法律状态

法律状态公告日

法律状态信息

法律状态

2023-06-02

授权

发明专利权授予

权利要求说明书

- 1.一种具有多个半导体器件层的半导体结构,所述半导体结构包括:
 - 第一掩埋氧化物;
 - 第一半导体器件层,制造在所述第一掩埋氧化物之上,且包括图案化的顶部表面,其中,所述第一半导体器件层包括:
 - 第一鳍;
 - 栅极电介质,沿着所述第一鳍的侧壁和顶面延伸;
 - 栅电极,位于所述栅极电介质上方,其中,所述栅电极的顶面位于所述第一鳍的顶面之上;以及
 - 间隔件,沿着所述栅电极的侧壁,其中,所述第一半导体器件的顶面包括所述栅电极的顶面和所述间隔件的顶面,并且其中,所述栅电极的顶面和所述间隔件的顶面远离所述第一掩埋氧化物;
 - 毯式层,包括制造在所述图案化的顶部表面上方的绝缘体材料,其中,所述毯式层的最底表面位于所述第一鳍的顶面之下,并且其中,所述毯式层与所述第一鳍的所述侧壁和所述顶面间隔开;
 - 第二掩埋氧化物,接合至所述毯式层;以及
 - 第二半导体器件层,制造在所述第二掩埋氧化物之上。
- 2.根据权利要求 1 所述的半导体结构,其中,所述第一半导体器件层包括第一类型的沟道材料,并且所述第二半导体器件层包括第二类型的沟道材料。
- 3.根据权利要求 2 所述的半导体结构,其中,所述第一类型的沟道材料不同于所述第二类型的沟道材料。
- 4.根据权利要求 1 所述的半导体结构,其中,一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的一个上,并且另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上。
- 5.根据权利要求 4 所述的半导体结构,其中,一种类型的器件包括 PMOS 器件,并且另一种类型的器件包括 NMOS 器件。
- 6.根据权利要求 1 所述的半导体结构,其中,所述第一掩埋氧化物和所述第一半导体

器件层均由绝缘体上半导体(“SOI”衬底)产生。

7.根据权利要求6所述的半导体结构,其中,所述第二掩埋氧化物和所述第二半导体器件层均由绝缘体上半导体(“SOI”衬底)产生。

8.一种制造多个半导体器件层结构的方法,所述方法包括:

提供第一晶圆,所述第一晶圆包括接合至第一掩埋氧化物层的第一沟道材料;

由所述第一沟道材料制造第一半导体器件层中的第一鳍,所述第一半导体器件层包括图案化的顶部表面,其中,所述第一半导体器件层包括:

所述第一鳍;

栅极电介质,沿着所述第一鳍的侧壁和顶面延伸;

栅电极,位于所述栅极电介质上方,其中,所述栅电极的顶面位于所述第一鳍的顶面之上;以及

间隔件,沿着所述栅电极的侧壁,其中,所述第一半导体器件的顶面包括所述栅电极的顶面和所述间隔件的顶面,并且其中,所述栅电极的顶面和所述间隔件的顶面远离所述第一掩埋氧化物;

制造毯式层,所述毯式层包括位于所述图案化的顶部表面上方的绝缘体材料,其中,所述毯式层的最底表面位于所述第一鳍的顶面之下,并且其中,所述毯式层与所述第一鳍的所述侧壁和所述顶面间隔开;

提供第二晶圆,所述第二晶圆包括接合至第二掩埋氧化物层的第二沟道材料;

将所述第二掩埋氧化物层接合至所述毯式层;

由所述第二沟道材料制造第二半导体器件层中的第二鳍;以及

将所述第一半导体器件层的部件与所述第二半导体器件层的部件互连。

9.根据权利要求8所述的方法,其中,所述第一沟道材料和所述第二沟道材料不同。

10.一种制造多个半导体器件层结构的方法,所述方法包括:

提供第一SOI晶圆,所述第一SOI晶圆包括接合至第一掩埋氧化物层的第一沟道材料;

由所述第一沟道材料制造第一半导体器件层中的第一鳍,所述第一半导体器件层包括图案化的顶部表面,其中,所述第一半导体器件层包括:

所述第一鳍;

栅极电介质,沿着所述第一鳍的侧壁和顶面延伸;

栅电极,位于所述栅极电介质上方,其中,所述栅电极的顶面位于所述第一鳍的顶面之上;以及

间隔件,沿着所述栅电极的侧壁,其中,所述第一半导体器件的顶面包括所述栅电极的顶面和所述间隔件的顶面,并且其中,所述栅电极的顶面和所述间隔件的顶面远离所述第一掩埋氧化物;

制造毯式层,所述毯式层包括位于所述图案化的顶部表面上方的绝缘体材料,其中,所述毯式层的最底表面位于所述第一鳍的顶面之下,并且其中,所述毯式层与所述第一鳍的所述侧壁和所述顶面间隔开;

将包括第二沟道材料和第二掩埋氧化物的第二晶圆接合至所述毯式层;以及
由所述第二沟道材料制造第二半导体器件层中的第二鳍。

说明书

<p>本申请是于 2014 年 07 月 31 日提交的申请号为 201410371182.3 的名称为“用于具有多个半导体器件层的半导体结构的系统和方法”的发明专利申请的分案申请。

技术领域

本专利文件中描述的技术总体涉及半导体器件,且更具体地,涉及具有多个半导体器件层的半导体结构。

背景技术

集成电路(“IC”)可以包括一种或多种类型的半导体器件,诸如 n 沟道 MOSFET(“NMOS”)器件、p 沟道 MOSFET(“PMOS”)器件、双极结晶体管(“BJT”)器件、二极管器件和电容器器件等。对于半导体设计者而言,不同类型的器件可代表不同的设计依据。IC 也可以包括具有不同电路功能的电路,诸如具有模拟功能、逻辑功能和存储功能的 IC。

发明内容

根据本文所描述的教导,提供了一种具有多个半导体器件层的半导体结构。在一个实例中,该半导体结构包括第一掩埋氧化物和制造在第一掩埋氧化物之上的第一半导体器件层。第一半导体器件层包括图案化的顶面。包括绝缘材料的毯式层制造在图案化的表面上方。该半导体结构还包括接合至毯式层的第二掩埋氧化物和制造在第二掩埋氧化物之上的第二半导体器件层。

在另一个实例中,提供了一种制造多个半导体器件层结构的方法。该方法包括提供第一晶圆,第一晶圆包括接合至第一掩埋氧化物层的第一沟道材料;以及使用第一沟道材料制造第一半导体器件层。该第一半导体器件层包括图案化的顶面。该方法还

包括制造包括位于图案化的表面上方的绝缘体材料的毯式层;提供包括接合至第二掩埋氧化物层的第二沟道材料的第二晶圆;将第二掩埋氧化物接合至毯式层;使用第二沟道材料制造第二半导体器件层;以及使第一半导体器件层的部件与第二半导体器件层的部件互联。

在又一个实例中,提供了一种制造多个半导体器件层结构的方法。该方法包括提供第一 SOI 晶圆,第一 SOI 晶圆包括接合至第一掩埋氧化物层的第一沟道材料;以及使用第一沟道材料制造第一半导体器件层。该第一半导体器件层包括图案化的顶面。该方法还包括制造毯式层,该毯式层包括位于图案化的表面上方的绝缘材料;将包括第二沟道材料和第二掩埋氧化物的第二晶圆接合至毯式层;以及使用第二沟道材料制造第二半导体器件层。

为了解决现有技术中的问题,本发明提供了一种具有多个半导体器件层的半导体结构,所述半导体结构包括:第一掩埋氧化物;第一半导体器件层,制造在所述第一掩埋氧化物之上,且包括图案化的顶部表面;毯式层,包括制造在所述图案化的顶部表面上方的绝缘体材料;第二掩埋氧化物,接合至所述毯式层;以及第二半导体器件层,制造在所述第二掩埋氧化物之上。

在上述半导体结构中,其中,由第一类型的沟道材料制造所述第一半导体器件层,并且由第二类型的沟道材料制造所述第二半导体器件层。

在上述半导体结构中,其中,由第一类型的沟道材料制造所述第一半导体器件层,并且由第二类型的沟道材料制造所述第二半导体器件层;所述第一类型的沟道材料不同于所述第二类型的沟道材料。

在上述半导体结构中,其中,一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的一个上,并且另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上。

在上述半导体结构中,其中,一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的一个上,并且另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上,一种类型的器件包括 PMOS 器件,并且另一种类型的器件包括 NMOS 器件。

在上述半导体结构中,其中,所述第一掩埋氧化物和所述第一半导体器件层均由绝缘体上半导体 (“SOI”衬底)产生。

在上述半导体结构中,其中,所述第一掩埋氧化物和所述第一半导体器件层均由绝缘体上半导体 (“SOI”衬底)产生;所述第二掩埋氧化物和所述第二半导体器件层均由绝缘体上半导体 (“SOI”衬底)产生。

根据本发明的另一个方面,提供了一种制造多个半导体器件层结构的方法,所述方法包括:提供第一晶圆,所述第一晶圆包括接合至第一掩埋氧化物层的第一沟道材料;由所述第一沟道材料制造第一半导体器件层,所述第一半导体器件层包括图案化的顶部表面;制造毯式层,所述毯式层包括位于所述图案化的顶部表面上方的绝缘体材料;提供第二晶圆,所述第二晶圆包括接合至第二掩埋氧化物层的第二沟道材料;将所述第二掩埋氧化物层接合至所述毯式层;由所述第二沟道材料制造第二半导体器件层;以及将所述第一半导体器件层的部件与所述第二半导体器件层的部件互连。

在上述方法中,其中,所述第一沟道材料和所述第二沟道材料不同。

在上述方法中,其中,提供所述第一晶圆包括提供第一绝缘体上硅 (“SOI”晶圆)。

在上述方法中,其中,提供所述第二晶圆包括提供第二 SOI 晶圆。

在上述方法中,其中,将一种类型的器件仅制造在所述第一半导体器件层和所述第二

半导体器件层的一个上,并且将另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上。

在上述方法中,其中,将一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的一个上,并且将另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上;所述一种类型的器件包括 PMOS 器件,并且所述另一种类型的器件包括 NMOS 器件。

根据本发明的又一个方面,提供了一种制造多个半导体器件层结构的方法,所述方法包括:提供第一 SOI 晶圆,所述第一 SOI 晶圆包括接合至第一掩埋氧化物层的第一沟道材料;由所述第一沟道材料制造第一半导体器件层,所述第一半导体器件层包括图案化的顶部表面;制造毯式层,所述毯式层包括位于所述图案化的顶部表面上方的绝缘体材料;将包括第二沟道材料和第二掩埋氧化物的第二晶圆接合至所述毯式层;以及由所述第二沟道材料制造第二半导体器件层。

在上述方法中,其中,所述第一沟道材料和所述第二沟道材料不同。

在上述方法中,其中,将一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的一个上,并且将另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上。

在上述方法中,其中,将一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的一个上,并且将另一种类型的器件仅制造在所述第一半导体器件层和所述第二半导体器件层的另一个上;所述一种类型的器件包括 PMOS 器件,并且所述另一种类型的器件包括 NMOS 器件。

在上述方法中,其中,接合所述第二晶圆还包括将氧化物材料沉积到所述第二沟道材料上。

在上述方法中,其中,接合所述第二晶圆还包括平坦化所述第二沟道材料。

在上述方法中,还包括将所述第一半导体器件层的部件与所述第二半导体器件层的部件互连。

附图说明

图 1 是具有多个晶体管层的示例性半导体结构的截面图。

图 2 至图 5 是示出了用于产生多层半导体器件结构的示例性方法的工艺流程图。

图 6 至图 22 示出了在制造多层半导体结构期间半导体结构的示例性状态的示意图。

具体实施方式

在一些实施方案中,半导体结构中两个或多个半导体器件层的使用可以简化半导体制造,然而在一些半导体器件的制造中允许有利的使用某些沟道材料并且在一些其他半导体器件的制造中允许使用不同的沟道材料。图 1 是具有多个晶体管层的示例性半导体结构 10 的截面图。该半导体结构包括制造在绝缘体上半导体 (“SOI”) 上的第一晶体管层和制造在第二 SOI 结构上的第二晶体管层。具体地,半导体结构 10 包括衬底 12、位于衬底 12 之上的第一埋氧层 14、位于埋氧层 14 之上的第一晶体管层 16、位于第一晶体管层 16 之上的毯式层 18、位于毯式层 18 之上的第二埋氧层 20、位于第二埋氧层 20 之上的第二晶体管层 22、和位于第二晶体管层 22 之上的后段制程 (“BEOL”) 层。第一晶体管层 16 包括多个部件,诸如晶体管的源极区、漏极区和栅极区,ILD0 氧化物、氮化物间隔件和金属材料。第一晶体管层 16 的顶面具有包括沉积在其顶部上的 ILD0 氧化物的毯式面 18。

形成半导体结构包括将第二埋氧层和沟道材料接合至第一晶体管层的顶部上的毯式

面。为了形成毯式面,在第一晶体管层的顶部上沉积诸如氧化物基材料的毯式(即,单一的材料;未图案化的部件;没有形貌(topography)绝缘材料。第二掩埋氧化物和毯式面之间的接合界面包括均质材料(例如,第二掩埋氧化物和毯式层的 ILD0),且与诸如第二掩埋氧化物和毯式面下面的图案化的表面之间的非均质界面之间的接合相比,其可以具有更强和更均匀的连接。

由于诸如第一和第二晶体管(例如,对于第一层的 SOINMOS 晶体管,和对于第二层的 SOIPMOS 晶体管)的大量泄露控制的兼容的电特性行为,因此使用毯式面可以实现位于第一晶体管层上的第一晶体管类型的制造和位于第二晶体管层上的第二晶体管类型的制造。可以由最深接触孔的蚀刻和填充的工艺限制来限定毯式面(也称为粘合/缓冲层)的厚度。例如,接触孔的蚀刻和填充的适宜的深度可以是 50nm~150nm,对于 N10-N32(10 纳米到 32 纳米)技术节点来说,直径为约 15nm~40nm。在这个实例中,高宽比,即接触孔的深度相对于接触孔的开口直径,小于约 10。因此,应该适当地设计并减小掩埋氧化物和缓冲/粘合氧化物的厚度。在这个实例中,IMD1 氧化物高度为约 40nm;第二晶体管的鳍高度为约 20nm~35nm;鳍的顶部之上的栅极高度为约 35nm~45nm;掩埋氧化物高度为约 10nm~20nm;且缓冲/粘合氧化物高度为约 10nm~20nm。

图 2 是示出了用于产生具有两个半导体器件(或晶体管)层的多层半导体结构的示例性方法的工艺流程图。在操作 100 中,将具有第一沟道材料的第一绝缘体上半导体(“SOI”晶圆提供作为第一层。可选地,在操作 100 中,可以提供具有接合掩埋氧化物和第一沟道材料的衬底。

在操作 102 中,制造了第一晶体管层。可以使用合适的工艺制造第一晶体管层,合适的工艺包括光刻、蚀刻、清洗、化学机械抛光/平坦化(“CMP”)、薄膜沉积、热工艺(例如,掺杂、激活/表面化、钝化/材料固结)、外延和材料填充等。例如,光刻工艺可以包括形成光刻胶层(光刻胶)、将光刻胶曝光于图案、实施后曝光烘烤工艺、以及显影光刻胶以形成掩模元件。然后,可以在蚀刻工艺中使用掩模元件。可以使用反

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/395022003333012002>