



中华人民共和国国家标准

GB/T 45721.1—2025/IEC 62880-1:2017

半导体器件 应力迁移试验 第1部分：铜应力迁移试验

Semiconductor devices—Stress migration test—
Part 1: Copper stress migration test

(IEC 62880-1:2017, Semiconductor devices—Stress migration test standard—
Part 1: Copper stress migration test standard, IDT)

2025-05-30 发布

2025-09-01 实施

国家市场监督管理总局 发布
国家标准化管理委员会

目 次

前言	III
引言	IV
1 范围	1
2 规范性引用文件	1
3 术语和定义	1
4 试验方法	2
4.1 测试结构	2
4.2 试验设备	5
4.3 试验温度	5
4.4 试验条件、样本数和测量	5
4.5 失效判据	6
4.6 合格判据	6
5 报告	6
附录 A (资料性) 应力迁移、应力诱生空洞与温度、几何形状的关系说明	7
附录 B (资料性) 鼻状图形与几何形状相关性示例	15
参考文献	17

前 言

本文件按照 GB/T 1.1—2020《标准化工作导则 第 1 部分：标准化文件的结构和起草规则》的规定起草。

本文件是 GB/T 45721《半导体器件 应力迁移试验》的第 1 部分。GB/T 45721 已经发布了以下部分：

——第 1 部分：铜应力迁移试验。

本文件等同采用 IEC 62880-1:2017《半导体器件 应力迁移试验标准 第 1 部分：铜应力迁移试验标准》。

本文件做了下列最小限度的编辑性改动：

——为与现有标准协调，将标准名称改为《半导体器件 应力迁移试验 第 1 部分：铜应力迁移试验》。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由中华人民共和国工业和信息化部提出。

本文件由全国半导体器件标准化技术委员会(SAC/TC 78)归口。

本文件起草单位：工业和信息化部电子第五研究所、中国电子科技集团公司第五十八研究所、河北北芯半导体科技有限公司、华南理工大学、杭州飞仕得科技股份有限公司、广东工业大学、广东气派科技有限公司、中绍宣标准科技集团有限公司。

本文件主要起草人：黄云、肖庆中、高纳、韦覃如、成立业、雷登云、周振威、陈思、黄钦文、贾沛、赵海龙、姚若河、李军、万永康、虞勇坚、刘东月、陈勇、崔从俊。

引 言

半导体器件是电子行业产业链中的通用基础产品,为电子系统中的最基本单元,GB/T 45721《半导体器件 应力迁移试验》系列标准是半导体器件进行晶圆级试验的基础性和通用性标准,对于评价和考核半导体器件晶圆级的质量和可靠性起着重要作用。该系列标准拟由两个部分构成。

——第1部分:铜应力迁移试验。目的在于评价微电子晶圆上的铜(Cu)金属化测试结构对应力诱生空洞(SIV)的敏感性。

——第2部分:铝应力迁移试验。目的在于评价微电子晶圆上的铝(Al)金属化测试结构对应力诱生空洞的敏感性。

该系列标准等同采用 IEC 62880 系列标准,保证半导体器件试验方法与国际标准一致,实现半导体器件检验方法、可靠性评价、质量水平与国际接轨。通过制定该系列标准,确定统一的试验方法及应力,评价半导体器件晶圆级可靠性,对于评价和考核半导体器件的质量和可靠性起着重要作用,同时补充完善半导体器件标准体系,为半导体器件行业的发展起到指导作用。

半导体器件 应力迁移试验

第 1 部分：铜应力迁移试验

1 范围

本文件规定了一种恒温老化方法，该方法用于试验微电子晶圆上的铜(Cu)金属化测试结构对应力诱生空洞(SIV)的敏感性。该方法将主要在产品的晶圆级工艺开发过程中进行，其结果将用于寿命预测和失效分析。在某些情况下，该方法能应用于封装级试验。由于试验时间长，此方法不适用于产品批次性交付检查。

双大马士革铜金属化系统通常在蚀刻到介电层的沟槽的底部和侧面具有内衬，例如钽(Ta)或氮化钽(TaN)。因此，对于单个通孔接触下面宽线的结构，通孔下方空洞引起的阻值漂移达到失效判据规定的某一百分比时，将会瞬间导致开路失效。

2 规范性引用文件

本文件没有规范性引用文件。

3 术语和定义

下列术语和定义适用于本文件。

3.1

应力迁移 **stress migration; SM**

半导体器件互连的一种重要失效现象。

注：在半导体器件中，晶体结构的不匹配或温度变化等因素导致晶体中的应力分布不均匀，从而引起晶体中的应力迁移现象。

3.2

应力诱生空洞 **stress induced voiding; SIV**

由于热应力在半导体器件互连中产生的空洞。

注 1：在铜互连中，空洞会产生在通孔下方或通孔内部，并导致电阻增加或开路失效。

注 2：机理见附录 A。

3.3

宽图形 **wide pattern**

链的图形，通孔连接宽图形。

注：连接方式有不同组合。见图 1。

3.4

鼻状图形 **nose pattern**

一种狭窄的，连接至通孔并连接至更宽的，链的图形。

注：此通孔的 SIV 风险取决于板的宽度和通孔与板的距离(见 4.1)。见图 1。鼻状图形与几何形状相关性示例见附录 B。

3.5

鼻长 **nose length**

鼻状图形的狭窄部分的长度。

注：见图 1。