

4.6 用VerilogHDL描述组合逻辑电路

4.6.1 组合逻辑电路的门级建模

4.6.2 组合逻辑电路的数据流建模

4.6.3 组合逻辑电路的行为级建模

4.6 用VerilogHDL描述组合逻辑电路

用VerilogHDL描述组合逻辑电路有三种不同抽象级别：组合逻辑电路的门级描述、组合逻辑电路的数据流描述、组合逻辑电路的行为级描述。

VerilogHDL描述的电路就是该电路的VerilogHDL模型。

•门级描述:

一般使用Primitive（内部元件）、自定义的下层模块对电路描述。主要用于层次化设计中。

•数据流描述方式:

一般使用assign语句描述，主要用于对组合逻辑电路建模。

•行为描述方式:

一般使用下述语句描述，可以对组合、时序逻辑电路建模。

1) initial 语句

2) always 语句

4.6.1 组合逻辑电路的门级建模

门级建模:将逻辑电路图用HDL规定的文本语言表示出来。

基本门级元件模型

三态门

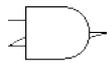
多输出门

多输入门

元件符号	功能说明	元件符号	功能说明
and	多输入端的与门	nand	多输入端的与非门
or	多输入端的或门	nor	多输入端的或非门
xor	多输入端的异或门	xnor	多输入端的异或非门
buf	多输出端的缓冲器	not	多输出端的反相器
bufif1	控制信号高电平有效的三态缓冲器	notif1	控制信号高电平有效的三态反相器
bufif0	控制信号低电平有效的三态缓冲器	notif0	控制信号低电平有效的三态反相器

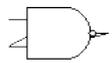
end

Verilog 基本门级元件



and

n-input AND gate



nand

n-input NAND gate



or

n-input OR gate



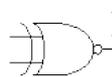
nor

n-input NOR gate



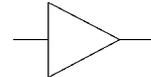
xor

n-input exclusive OR gate



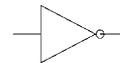
xnor

n-input exclusive NOR gate



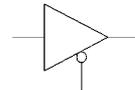
buf

n-output buffer



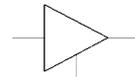
not

n-output inverter



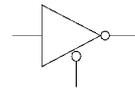
bufif0

**tri-state buffer;
Io enable**



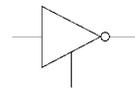
bufif1

**tri-state buffer;
hi enable**



notif0

**tri-state inverter;
Io enable**

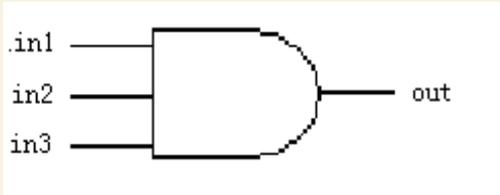


notif1

**tri-state inverter;
hi enable**

1、多输入门

只允许有一个输出，但可以有多个输入。



调用名

and A1 (out, in1, in2, in3) ;

and真值表

and		输入1			
		0	1	X	Z
输入 2	0	0	0	0	0
	1	0	1	x	x
	x	0	x	x	x
	Z	0	x	x	x

nand真值表

nand		输入1			
		0	1	x	Z
输入 2	0	1	1	1	1
	1	1	0	x	x
	x	1	x	x	x
	Z	1	x	x	x

X- 不确定状态

Z- 高阻态

or真值表

or		输入1			
		0	1	X	Z
输入 2	0	0	1	X	X
	1	1	1	1	1
	X	X	1	X	X
	Z	X	1	X	X

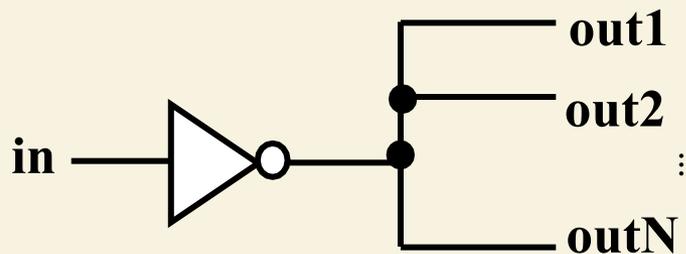
xor真值表

xor		输入1			
		0	1	X	Z
输入 2	0	0	1	X	X
	1	1	0	X	X
	X	X	X	X	X
	Z	X	X	X	X

2、多输出门

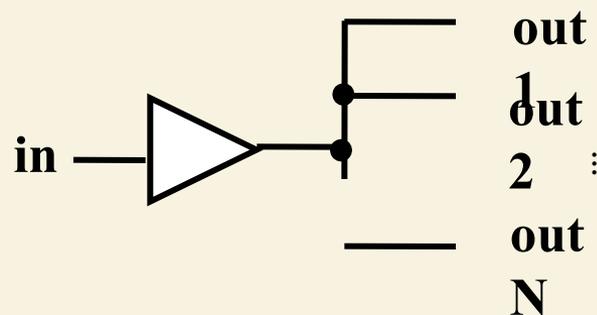
允许有多个输出，但只有一个输入。

not N1 (out1, out2, ..., in) ; buf B1 (out1, out2, ..., in) ;



not真值表

not	输入			
	0	1	x	z
输出	1	0	x	x



buf真值表

buf	输入			
	0	1	x	z
输出	0	1	x	x

3、三态门

有一个输出、一个数据输入和一个输入控制。
如果输入控制信号无效，则三态门的输出为高阻态 z 。

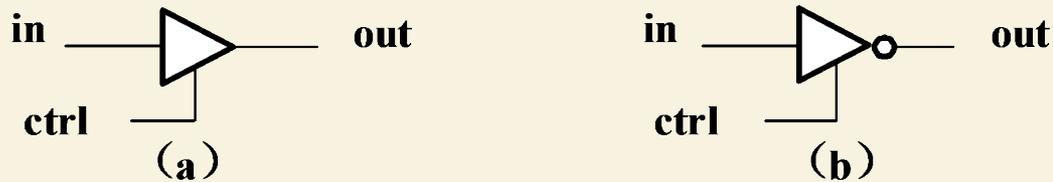


图4.6.3 三态门元件模型
(a) bufif1 (b) notif1

bufif1真值表

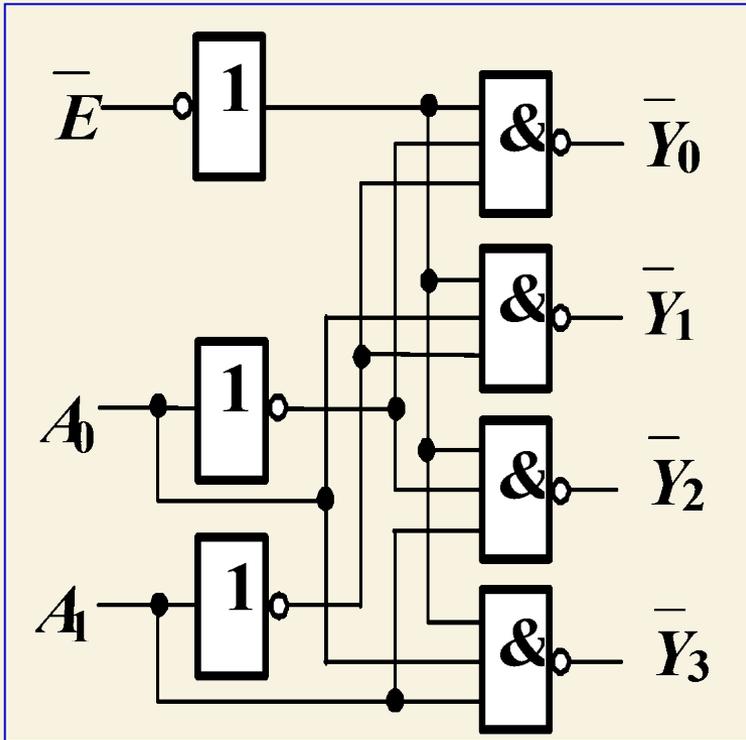
bufif1		控制输入			
		0	1	x	z
数据输入	0	z	0	0/z	0/z
	1	z	1	1/z	1/z
	x	z	x	x	x
	z	z	x	x	x

notif1真值表

notif1		控制输入			
		0	1	x	z
数据输入	0	z	1	1/z	1/z
	1	z	0	0/z	0/z
	x	z	x	x	x
	z	z	x	x	x

4、设计举例

试用Verilog语言的门级
元件描述2线-4线译码器.



功能描述

```
//Gate-level description of a 2-  
to-4-line decoder
```

```
module _2to4decoder
```

```
(A1,A0,E,Y);
```

```
input A,B,E;
```

```
output [3:0]Y;
```

```
wire A1not,A0not,Enot;
```

说明
部分

```
not
```

```
n1 (A1not,A1),
```

```
n2 (A0not,A0),
```

```
n3 (Enot,E);
```

```
nand
```

```
n4 (Y[0],A1not,A0not,Enot),
```

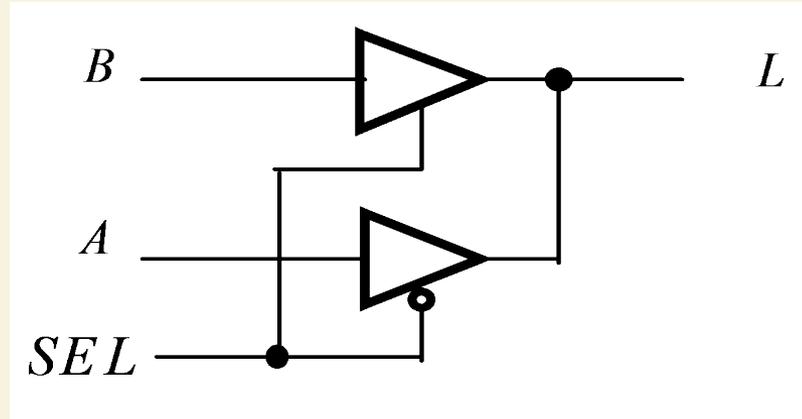
```
n5 (Y[1],A1not,A0,Enot),
```

```
n6 (Y[2],A1,A0not,Enot),
```

```
n7 (Y[3],A1,A0,Enot);
```

```
endmodule
```

例2 用Verilog的门级元件进行描述由三态门构成的2选1数据选择器。

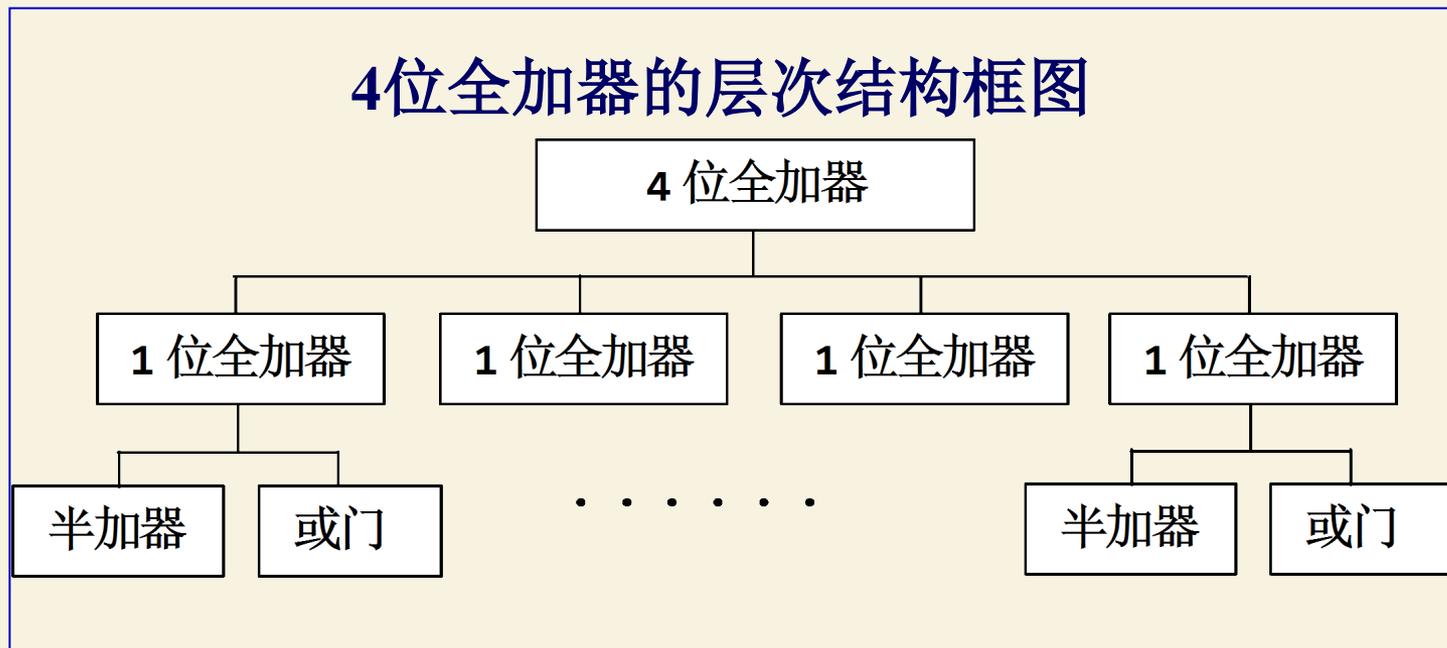


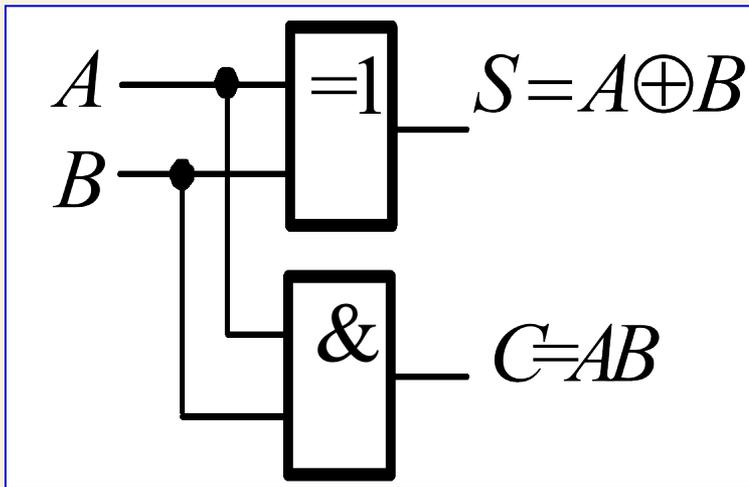
```
//Gate-level description of a 2-to-1-line multiplexer
module _2to1muxtri (A,B,SEL,L);
    input A,B,SEL
    output L;
    tri L;
    bufif1 (L,B,SEL);
    bufif0 (L,A,SEL);
endmodule
```

5、分层次的电路设计方法简介

分层次的电路设计:在电路设计中，将两个或多个模块组合起来描述电路逻辑功能的设计方法。

设计方法：自顶向下和自底向上两种常用的设计方法



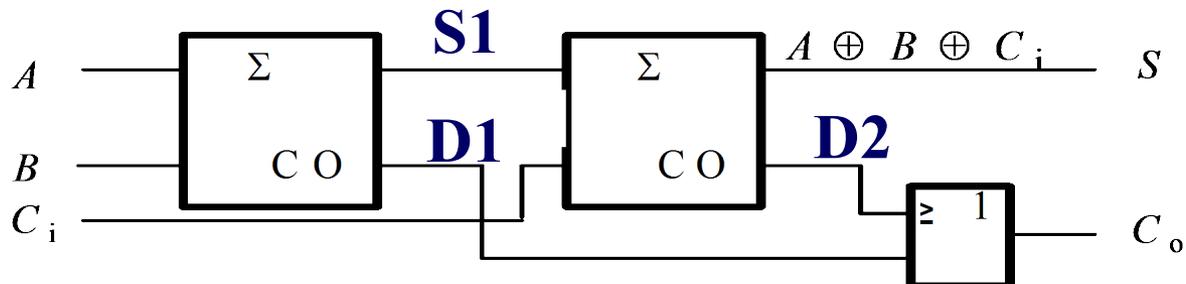


```
//Gate-level hierarchical  
description of 4-bit adder  
// Description of half adder  
module halfadder (S,C,A,B);  
    input A,B;  
    output S,C;  
    //Instantiate primitive gates  
    xor (S,A,B);  
    and (C,A,B);  
endmodule
```

```

//Description of 1-bit full adder
module fulladder (S,CO,A,B,CI);
    input A,B,CI;
    output S,CO;
    wire S1,D1,D2; //内部节点信号
//Instantiate the halfadder
    halfadder HA1 (S1,D1,A,B);
    halfadder HA2 (S,D2,S1,CI);
    or g1(CO,D2,D1);
endmodule

```



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/416002025035010222>