

2022 年吉林师范大学数据科学与大数据技术专业《计算机组成原理》
科目期末试卷 A（有答案）

一、选择题

1、某机器字长 32 位，存储容量 64MB，若按字编址，它的寻址范围是（ ）。

- A. 8M B. 16MB C. 16M D. 8MB

2、某一计算机采用主存 Cache 存储层次结构，主存容量有 8 个块，Cache 容量有 4 个块，采取直接映射方式。若主存块地址流为 0, 1, 2, 5, 4, 6, 4, 7, 1, 2, 4, 1, 3, 7, 2，一开始 Cache 为空，此期间 Cache 的命中率为（ ）。

- A. 13.3% B. 20% C. 26.7% D. 33.3%

3、在定点机中执行算术运算时会产生溢出，其根本原因是（ ）。

- A. 主存容量不够 B. 运算结果无法表示 C. 操作数地址过大 D. 栈溢出

4、常用的 (n, k) 海明码中，冗余位的位数为（ ）。

- A. $n+k$ B. $n-k$ C. n D. k

5、计算机中表示地址时，采用（ ）。

- A. 原码 补码 移码 无符号数

6、按数据传送格式，总线常被划分为（ ）。

- A. 并行总线与串行总线

- B. 同步总线与异步总线

- C. 系统总线与外总线

- D. 存储总线与 I/O 总线

7、中断判优逻辑和总线仲裁方式相类似，下列说法中，正确的是（ ）。

I在总线仲裁方式中，独立请求方式响应时间最快，是以增加处理器开销和增加控制线数为代价的

II在总线仲裁方式中计数器查询方式，若每次计数都从“0”开始，则所有设备使用总线的优先级相等

III总线仲裁方式一般是指 I/O 设备争用总线的判优方式，而中断判优方式一般是指 I/O 设备争用 CPU 的判优方式

IV.中断判优逻辑既可以通过硬件实现，也可以通过软件实现，

A. I II , III IV , III IV , DIV

8、指令寄存器的位数取决（ ）。

A. 存储器的容量 B.指令字长 C.机器字长 D.存储字长

9、假设基准程序 A 在某计算机上的运行时间为 100s，其中 90s 为 CPU 时间，其余为 I/O 时间。若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是（ ）。

A. 55s B. 60s C. 65 s D. 70s

10、在 DMA 方式中，周期窃取是窃取总线占用权一个或者多个（ ）。

A. 存取周期

B. 指令周期

C. CPU 周期

D. 总线周期

11、下列选项中，用于提高 RAID 可靠性的措施有（ ）。

I磁盘镜像

II条带化

III奇偶校验

IV.增加 Cache 机制

A. 仅 I, II 仅 I, B. III 仅 I, III, IV 仅 II, III, IV

12、在无转发机制的五段基本流水线（取指、译码/读寄存器、运算、访存、写回寄存器）中，下列指令序列存在数据冒险的指令对是（ ）。

I1: addR1 , R2 , R3 ; (R2) + (R3) →R1

I2: addR5 , R2 , R4 ; (R2) + (R4) →R5

I3: addR4 , R5 , R3 ; (R5) + (R3) →R4

I4: addR5 , R2 , R6 ; (R2) + (R6) →R5

A. I1和 I2 和 I3 和 I2 D. 和 I4

13、计算机执行乘法指令时，由于其操作复杂，需要更多的时间，通常采用（ ）控制方式。

A. 异步控制

B. 延长机器周期内的节拍数

C. 中央控制与局部控制相结合

D. 同步控制与异步控制相结合

14、零地址双操作数指令不需要指出操作数地址，这是因为（ ）。

A. 操作数已在数据缓冲寄存器中

B. 操作数隐含在累加器中

C. 操作数地址隐含在堆栈指针中

D. 利用上一条指令的运算结果进行操作

15、假设寄存器 R 中的数值为 200，主存地址为 200 和 300 的地址单元中存放的内容分别是 300 和 400，则（ ）访问到的操作数为 200。

I.直接寻址 200

II.寄存器间接寻址 (R)

III.存储器间接寻址 (200)

IV.寄存器寻址 R

A. I、IV B. III 、C、II 只有IV

二、填空题

16、一位十进制数，用 BCD 码表示需_____位二进制码，用 ASCII 码表示需_____位二进制码。

17、存储_____并按_____顺序执行，这是冯诺依曼型计算机的工作原理。

18、双端口存储器和多模块交叉存储器属于_____存储器结构。前者采用_____技术，后者采用_____技术。

19、广泛使用的_____和_____都是半导体随机读写存储器，它们共同的缺点是_____

20、并行 I/O 接口_____和串行 I/O 接口_____是目前两个最具有权威性的标准接口技术。

21、运算器的两个主要功能是：_____，_____

22、一位十进制数，用 BCD 码表示需要_____位二进制码，用 ASCII 码表示需要_____位二进制码。

23、CPU 能直接访问_____和_____，但不能直接访问磁盘和光盘。

24、按 IEEE754 标准，一个浮点数由_____、_____、_____三个域组成。

25、• 计算机硬件包括_____、_____、_____适配器，输入/输出设备。

三、名词解释题

26、主机：

27、独立请求方式：

28、系统总线：

29、立即数：在指令中直接给出的操作数

四、简答题

30、什么是闪速存储器？它有哪些特点？

31、（不算 CPU 中的寄存器级）存储系统一般由哪三级组成？请分别简述各层存储器的作用（存放什么内容）及对速度、容量的要求。

32、控制单元的功能是什么？其输入受什么控制？

33、简要说明程序中断接口中 IM、IR、EI、RD、BS 五个触发器的作用。

五、计算题

34、设有一个 $64\text{K} \times 8$ 位的RAM 芯片，试问该芯片共有多少个基本单元电路（简称存储基元）？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

35、将下列十进制数表示成浮点规格化数，阶码4位（包含一位阶符），分别用补码和移码表示；尾数9位（包含一位数符），用补码表示。

1) $27/64$ 。

2) $-27/64$ 。

36、假设一个32位的处理器配有16位的外部数据总线，时钟频率为50MHz，若总线传输的最短周期为4个时钟周期，试问处理器的最大数据传输率是多少？若想提高一倍数据传输率，可采用什么措施？

六、综合题

37、采用微程序控制器的某计算机在微程序级采用两级流水线，即取第 $i+1$ 条微指令与执行第 i 条微指令同时进行。假设微指令的执行时间需要40ns，试问：

1) 若控制存储器选用读出时间为30ns的ROM，在这种情况下微周期为多少？并画出微指令执行时序图。

2) 若控制存储器选用读出时间为50ns的ROM，在这种情况下微周期为多少？并画出微指令执行时序图。

38、在信号处理和科学的应用中，转置矩阵的行和列是一个很重要的问题。从局部性的角度来看，它也很有趣，因为它的引用模式既是以行为主的，也是以列为主的，例如，考虑下面的转置函数：

```
1. typedef int array a[2][2]
2.
3. void transpose(array dst, array src)
4. {
5.     int i, j;
6.     for (i=0; i<2; i++) {
7.         for (j=0; j<2; j++) {
8.             dst[j][i]=src[i][j]
```

- 9. }
- 10. }
- 11. }

假设在一台具有如下属性的机器上运行这段代码：

`sizeof(int) == 4` 。

`src`数组从地址0开始，`dst`数组从地址16开始（十进制）。

只有一个L1数据高速缓存，它是直接映射的、直写、写分配，块大小为8个字节。

这个高速缓存总的大小为16个数据字节，一开始是空的。

对`src`和`dst`数组的访问分别是读和写不命中的唯一来源。

问题如下：

1) 对每个`row`和`col`，指明对`src[row][col]`和`dstfrow][col]`的访问是命中（h）还是不命中（m），例如，读`src[0][0]`会不命中，写`dst[0][0]`也不命中，并将结果填至下列表格中。

dst 数组			src 数组		
	列 0	列 1		列 0	列 1
行 0			行 0		
行 1			行 1		

2) 对于一个大小为32数据字节的高速缓存，指明`src`和`dst`的访问命中情况，并将结果填至下列表格中。

dst 数组			src 数组		
	列 0	列 1		列 0	列 1
行 0			行 0		
行 1			行 1		

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/418036124140007003>