

4.1 门级电路

- 一个逻辑电路是由许多逻辑门和开关所组成，因此用逻辑门的模型来描述逻辑电路结构是最直观的。Verilog提供了一些描述门类型的关键字，可以用于门级结构建模。
- Verilog基本元件模型共有26种，其中14种为基本门级元件，12种为开关级元件，

4.1 门级电路

■ 门级电路列表

<实例元件名> (<数据输出>, <数据输入>, <控制输入>)

多输入门	and (与门) nand (与非门) or (或门) nor (或非门) xor (异或门) xnor (异或非门, 同或门)
多输出门	buf (缓冲器) not (非门)
三态门 (如果不被使能, 则输出 “z”)	bufif0 (低电平使能缓冲器) bufif1 (使能缓冲器) notif0 (低电平使能非门) notif1 (使能非门)
上拉, 下拉电阻	pullup (上拉电阻) pulldown (下拉电阻)

4.1 门级电路

■ 门级电路调用（实例化）

```
<门的类型> [<驱动能力><延时>] <门实例1>[, <门实例2>,  
                                     <门实例3>.....];
```

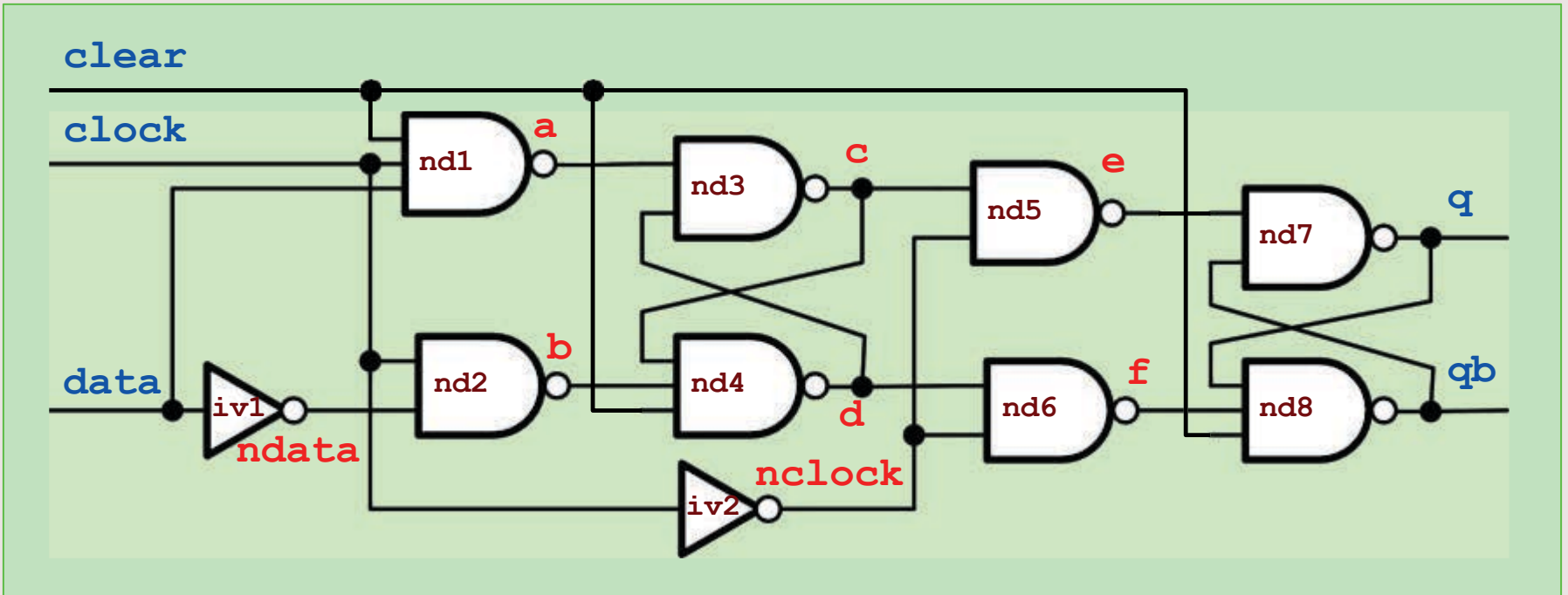
而每个门实例，按照
<实例元件名> (<数据输出>, <数据输入>, <控制输入>)

例: **nand** #10 nd1(a,data,clock,clear);

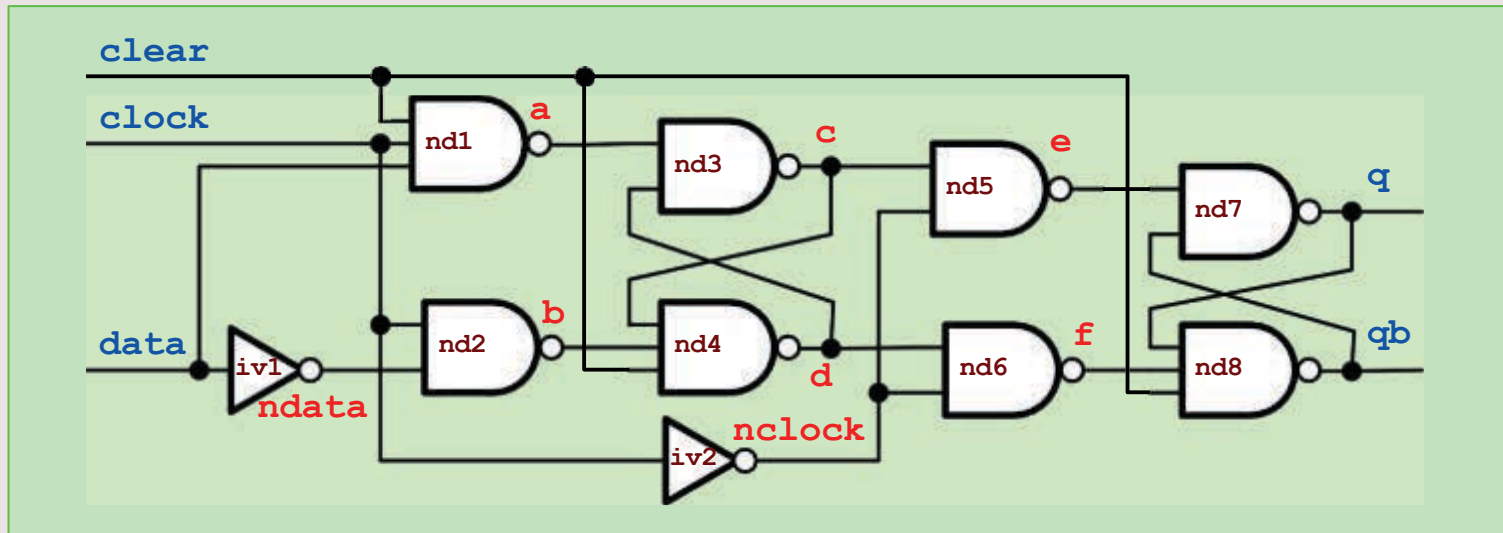
这个例子说明在模块中**只使用了一个**名为nd1的与非门实例，输入为**clock, data, clear** 输出为a，输出与输入的延时为10个单位时间。

4.1 门级电路

■ 门级电路例子--D触发器



■ 门级电路例子--D触发器（续）



```

module      flop
(data, clock, clear, q, qb) ;
input data, clock, clear;
output q, qb;

    
```

→

```

endmodule
    
```

```

nand    #10
nd1 (a, data, clock, clear) ,
nd2 (b, ndata, clock) ,
nd4 (d, c, b, clear) ,
nd5 (e, c, nclock) ,
nd6 (f, d, nclock) ,
nd8 (qb, q, f, clear) ;

nand    #9 nd3 (c, a, d) ,
          nd7 (q, e, qb) ;

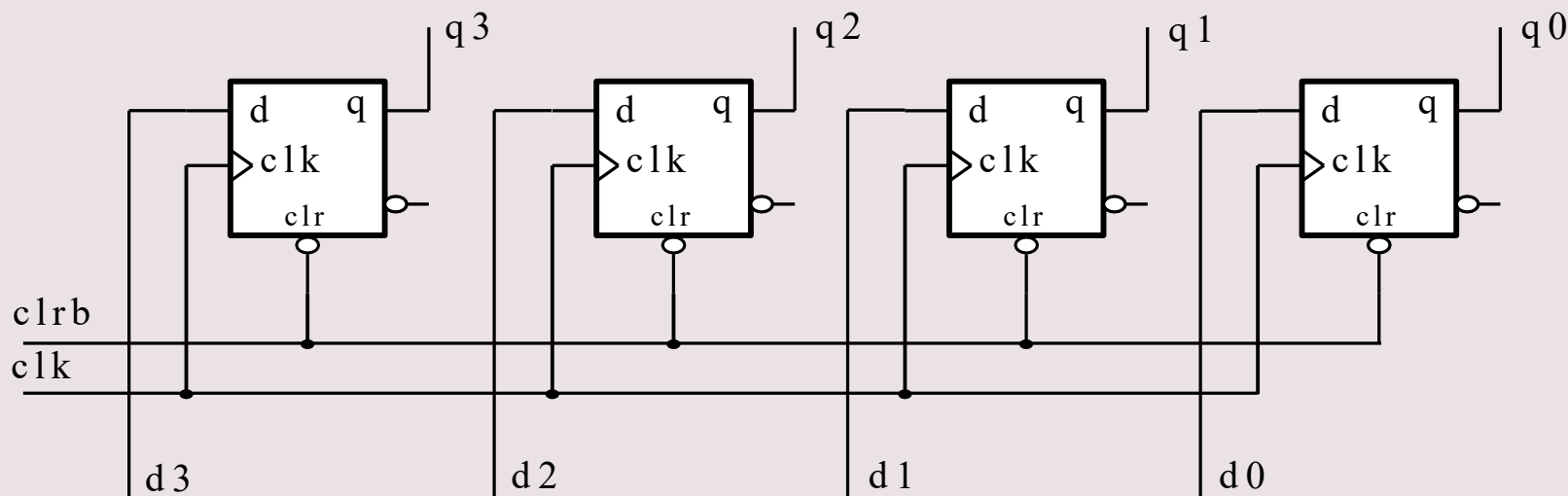
not    #10 iv1 (ndata, data) ,
          iv2 (nclock, clock) ;
    
```

但是，对于自行定义的模块，推荐的作法：

```
flop f0 (.data(d[0]), .clock(clk), .clear(clrb), .q(q[0]), ),  
f1 (.data(d[1]), .clock(clk), .clear(clrb), .q(q[1]), ),  
f2 (.data(d[2]), .clock(clk), .clear(clrb), .q(q[2]), ),  
f3 (.data(d[3]), .clock(clk), .clear(clrb), .q(q[3]), );
```

4.1 门级电路

■ 门级电路例子—4位寄存器



```
`include "flop.v"
```

```
module hardreg
```

```
(d,clk,clrb,q);
```

```
input clk,clrb;
```

```
input[3:0] d;
```

```
output[3:0] q;
```

```
endmodule
```



```
flop f0 (d[0],clk,clrb,q[0],),  
f1 (d[1],clk,clrb,q[1],),  
f2 (d[2],clk,clrb,q[2],),  
f3 (d[3],clk,clrb,q[3],);
```

注意

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/428053130031006112>