

一、选择题：(20 分)

1. 大规模可编程器件主要有 FPGA、CPLD 两类，下列对 CPLD 构造与工作原理的描述中，对的是：  D    
A. CPLD 是基于查找表构造的可编程逻辑器件  
B. CPLD 即是现场可编程逻辑器件的英文简称  
C. 初期的 CPLD 是从 FPGA 的构造扩展而来  
D. 在 Xilinx 企业生产的器件中，XC9500 系列属 CPLD 构造
2. 基于 VHDL 设计的仿真包括有①门级时序仿真、②行为仿真、③功能仿真和④前端功能仿真这四种，按照自顶向下的设计流程，其先后次序应当是：          D            
A. ①②③④      B.②①④③      C. ④③②①      D. ②④③①
3. IP 核在 EDA 技术和开发中具有十分重要的地位，IP 分软 IP、固 IP、硬 IP；下列所描述的 IP 核中，对于固 IP 的对的描述为：          D            
A. 提供用 VHDL 等硬件描述语言描述的功能块，但不波及实现该功能块的详细电路  
B. 提供设计的最总产品——模型库  
C. 以可执行文献的形式提交顾客，完毕了综合的功能块  
D. 都不是
4. 下面对运用原理图输入设计措施进行数字电路系统设计，哪一种说法是对的是：          B            
A. 原理图输入设计措施直观便捷，很适合完毕较大规模的电路系统设计

- B. 原理图输入设计措施一般是一种自底向上的设计措施
  - C. 原理图输入设计措施无法对电路进行功能描述
  - D. 原理图输入设计措施不适合进行层次化设计
5. 在 VHDL 语言中，下列对进程（PROCESS）语句的语句构造及语法规则的描述中，不对的是：\_\_\_\_\_D
- A. PROCESS 为一无限循环语句
  - B. 敏感信号发生更新时启动进程，执行完毕后，等待下一次进程启动
  - C. 目前进程中声明的变量不可用于其他进程
  - D. 进程由阐明语句部分、并行语句部分和敏感信号参数表三部分构成
6. 对于信号和变量的说法，哪一种是不对的：\_\_\_\_\_A
- A. 信号用于作为进程中局部数据存储单元
  - B. 变量的赋值是立即完毕的
  - C. 信号在整个构造体内的任何地方都能合用
  - D. 变量和信号的赋值符号不一样样
7. 下列状态机的状态编码，\_\_\_\_\_方式有“输出速度快、难以有效控制非法状态出现”这个特点。A
- A. 状态位直接输出型编码
  - B. 一位热码编码
  - C. 次序编码

- D. 格雷编码
8. VHDL 语言共支持四种常用库，其中哪种库是顾客的 VHDL 设计  
现行工作库：       **D**
- A. IEEE库
- B. VITAL库
- C. STD库
- D. WORK 工作库
9. 下列 4 个 VHDL 标识符中对的的是：       **d**
- A. 10#128#
- B. 16#E#E1
- C. 74HC124
- D. X\_16
10. 下列语句中，不属于并行语句的是：       **B**
- A. 进程语句
- B. CASE 语句
- C. 元件例化语句
- D. WHEN···ELSE··语句

写出下列缩写的中文（或者英文）含义：

1. ASIC      专用集成电路
2. FPGA     现场可编程门阵列

3. IP 知识产权核 (软件包)

4. JTAG 联合测试行动小组

HDL 硬件描述语言

1. 基于 EDA 软件的 FPGA / CPLD 设计流程, 如下流程中哪个是对的: \_\_\_\_\_ C \_\_\_\_\_

A. 原理图/HDL 文本输入→适配→综合→时序仿真→编程下载→功能仿真→硬件测试

B. 原理图/HDL 文本输入→功能仿真→综合→时序仿真→编程下载→适配→硬件测试

C. 原理图/HDL 文本输入→功能仿真→综合→适配→时序仿真→编程下载→硬件测试

D. 原理图/HDL 文本输入→适配→时序仿真→编程下载→功能仿真→综合→硬件测试

2. 综合是 EDA 设计流程的关键环节, 综合就是把抽象设计层次中的一种表达转化成另一种表达的过程; 在下面对综合的描述中, \_\_\_\_\_ A \_\_\_\_\_ 是错误的。

A. 综合就是把抽象设计层次中的一种表达转化成另一种表达的过程, 并且该过程与器件硬件构造无关

B. 为实现系统的速度、面积、性能的规定, 需要对综合加以约束, 称为综合约束

C. 综合可以理解为将软件描述与给定的硬件构造用电路网表文

献表达的映射过程，映射成果不唯一

D. 综合就是将电路的高级语言转化成低级的，可与 FPGA / CPLD 的基本构造相映射的网表文献

3. FPGA 的可编程是重要基于什么构造：   A  

A. 查找表 (LUT)

B. ROM 可编程

C. PAL 可编程

D. 与或阵列可编程

4. IP 核在 EDA 技术和开发中具有十分重要的地位；提供用 VHDL 等硬件描述语言描述的功能块，但不波及实现该功能块的详细电路的 IP 核为：   D  

A. 胖 IP

B. 瘦 IP

C. 硬 IP

D. 都不是

5. 串行化设计是一种优化方式，下列哪一项对串行化设计描述对的：  
  C  

A. 面积优化措施，同步有速度优化效果

B. 速度优化措施，不会有面积优化效果

C. 面积优化措施，不会有速度优化效果

D. 速度优化措施，也许会有面积优化效果

6. 在 VHDL 语言中，下列对时钟边缘检测描述中，错误的是：  
  B  

A. if clk'event and clk = '1' then

B. if clk'stable and not clk = '1' then

C. if rising\_edge(clk) then

D. if not clk'stable and clk = '1' then

7. 状态机编码方式中，哪种编码速度较快并且输出没有毛刺？

\_\_\_\_\_C\_\_\_\_\_

A. 一位热码编码                      B. 格雷码编码

C. 状态位直接输出型编码          D. 都不是

8. 不完整的 IF 语句，其综合成果可实现：\_\_\_\_\_D\_\_\_\_\_

A. 三态控制电路                      B. 条件相或的逻辑电路

C. 双向控制电路                      D. 时序逻辑电路

9. 如下对于进程 PROCESS 的说法，对的是：\_\_\_\_\_C\_\_\_\_\_

A. 进程之间可以通过变量进行通信

B. 进程内部由一组并行语句来描述进程功能

C. 进程语句自身是并行语句

D. 一种进程可以同步描述多种时钟信号的同步时序逻辑

10. 有关 VHDL 中的数字，请找出如下数字中数值最小的一种：

\_\_\_\_\_C\_\_\_\_\_

A. 2#1111\_1110#

B. 8#276#

C. 10#170#

D. 16#E#E1

二、EDA 名词解释，写出下列缩写的中文（或者英文）含义：（10分）

1. SOPC :可编程单片系统

2. PCB :

3. RTL : 寄存器传播级
4. LPM 参数可设置模块库
5. CPLD
6. FSM 有限状态机 (Finite State Machine )

JTAG 指的是什么? 大体有什么用途?

10. 下列是 EDA 技术应用时波及的环节:
- A. 原理图/HDL 文本输入; B. 适配; C. 时序仿真; D. 编程下载; E. 硬件测试; F. 综合

请选择合适的项构成基于 EDA 软件的 FPGA / CPLD 设计流程:

A → F → B → C → D → E

11. PLD 的可编程重要基于 A. LUT 构造 或者 B. 乘积项构造:

请指出下列两种可编程逻辑基于的可编程构造:

FPGA 基于 A

CPLD 基于 B

12. 在状态机的详细实现时, 往往需要针对详细的器件类型来选择合适的状态机编码。

对于 A. FPGA B. CPLD 两类器件:

一位热码 状态机编码方式 适合于 A 器件;

次序编码 状态机编码方式 适合于 B 器件;

13. 下列优化措施中那两种是速度优化措施: B、D

A. 资源共享 B. 流水线 C. 串行化 D. 关键途径优化



14. 综合是 EDA 设计流程的关键环节，综合就是把抽象设计层次中的一种表达转化成另一种表达的过程；在下面对综合的描述中，D是错误的。
- A. 综合就是将电路的高级语言转化成低级的，可与 FPGA / CPLD 的基本构造相映射的网表文献；
  - B. 为实现系统的速度、面积、性能的规定，需要对综合加以约束，称为综合约束；
  - C. 综合可理解为，将软件描述与给定的硬件构造用电路网表文献表达的映射过程，并且这种映射关系不是唯一的。
  - D. 综合是纯软件的转换过程，与器件硬件构造无关；
15. 嵌套的 IF 语句，其综合成果可实现D。
- A. 条件相与的逻辑
  - B. 条件相或的逻辑
  - C. 条件相异或的逻辑
  - D. 三态控制电路
16. 在一种 VHDL 设计中 Idata 是一种信号，数据类型为 std\_logic\_vector ，试指出下面那个赋值语句是错误的。D
- A. `idata <= "00001111" ;`
  - B. `idata <= b " 0000_1111 " ;`
  - C. `idata <= X " AB" ;`
  - D. `idata <= B " 21 " ;`
17. 在 VHDL 语言中，下列对时钟边缘检测描述中，错误的是



D。

A. if clk' event and clk = '1' then

B. if falling\_edge(clk) then

C. if clk' event and clk = '0' then

D. if clk' stable and not clk = '1' then

18. 请指出 Altera Cyclone 系列中的 EP1C6Q240C8 这个器件是属于 C

A. ROM B. CPLD C. FPGA D. GAL

二、EDA 名词解释，（10 分）

写出下列缩写的中文（或者英文）含义：

5. ASIC 专用集成电路

6. FPGA 现场可编程门阵列

7. CPLD 复杂可编程逻辑器件

8. EDA 电子设计自动化

9. IP 知识产权核

10. SOC 单芯片系统

简要解释 JTAG，指出 JTAG 的用途

**JTAG, joint test action group**，联合测试行动小组的简称，又意指其提出的一种硬件测试原则，常用于器件测试、编程下载和配置等操作。

19. 下列是 EDA 技术应用时波及的环节：

原理图/HDL 文本输入; B. 适配; C. 时序仿真; D. 编程下载; E. 硬件测试; F. 综合

请选择合适的项构成基于 EDA 软件的 FPGA / CPLD 设计流程:

A → \_\_\_\_\_ → \_\_\_\_\_ → \_\_\_\_\_ → \_\_\_\_\_  
→ E

PLD 的可编程重要基于 A. LUT 构造 或者 B. 乘积项构造:

请指出下列两种可编程逻辑基于的可编程构造:

FPGA 基于 \_\_\_\_\_

CPLD 基于 \_\_\_\_\_

21. 在状态机的详细实现时, 往往需要针对详细的器件类型来选择合适的状态机编码。

对于 A. FPGA B. CPLD 两类器件:

一位热码 状态机编码方式 适合于 \_\_\_\_\_ 器件;

次序编码 状态机编码方式 适合于 \_\_\_\_\_ 器件;

22. 下列优化措施中那两种是速度优化措施: \_\_\_\_\_、  
\_\_\_\_\_

A. 资源共享 B. 流水线 C. 串行化 D. 关键途径优化

单项选择题:

23. 综合是 EDA 设计流程的关键环节, 综合就是把抽象设计层次中的一种表达转化成另一种表达的过程; 在下面对综合的描述中, \_\_\_\_\_ 是错误的。

A. 综合就是将电路的高级语言转化成低级的, 可与 FPGA /

的基本构造相映射的网表文献；

B. 为实现系统的速度、面积、性能的规定，需要对综合加以约束，称为综合约束；

C. 综合可理解为，将软件描述与给定的硬件构造用电路网表文献表达的映射过程，并且这种映射关系不是唯一的。

D. 综合是纯软件的转换过程，与器件硬件构造无关；

. 不完整的 IF 语句，其综合成果可实现\_\_\_\_\_。

A. 时序电路

B. 双向控制电路

C. 条件相或的逻辑电路

D. 三态控制电路

25. 在一种 VHDL 设计中 Idata 是一种信号，数据类型为 std\_logic\_vector ，试指出下面那个赋值语句是错误的。

A.

B.

C.

D.

26. 在 VHDL 语言中，下列对时钟边缘检测描述中，错误的是

\_\_\_\_\_。

A. if clk'event and clk = '1' then

B. if falling\_edge(clk) then

C. if clk ' event and clk = '0' then

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/438130043003006126>