

计算机组成原理习题参考答案

仅供参考，与考试无直接关联

第一章计算机系统概论习题参考答案

1. 比较数字计算机和模拟计算机的特点。

解：模拟计算机的特点：数值由连续量来表示，运算过程是连续的；
数字计算机的特点：数值由数字量（离散量）来表示，运算按位进行。
两者主要区别见 P1 表 1.1。

2. 数字计算机如何分类？分类的依据是什么？

解：分类： 数字计算机分为专用计算机和通用计算机。通用计算机又分为巨型机、大型机、中型机、小型机、微型机和单片机六类。

分类依据：专用和通用是根据计算机的效率、速度、价格、运行的经济性和适应性来划分的。
通用机的分类依据主要是体积、简易性、功率损耗、性能指标、数据存储容量、指令系统规模和机器价格等因素。

3. 数字计算机有那些主要应用？

（略）

4. 冯·诺依曼型计算机的主要设计思想是什么？它包括哪些主要组成部分？

解：冯·诺依曼型计算机的主要设计思想是：存储程序和程序控制。
存储程序：将解题的程序（指令序列）存放到存储器中；
程序控制：控制器顺序执行存储的程序，按指令功能控制全机协调地完成运算任务。

主要组成部分有：控制器、运算器、存储器、输入设备、输出设备。

5. 什么是存储容量？什么是单元地址？什么是数据字？什么是指令字？

解：存储容量：指存储器可以容纳的二进制信息的数量，通常用单位 **KB MB GB**来度量，存储容量越大，表示计算机所能存储的信息量越多，反映了计算机存储空间的大小。

单元地址：单元地址简称地址，在存储器中每个存储单元都有唯一的地址编号，称为单元地址。

数据字：若某计算机字是运算操作的对象即代表要处理的数据，则称数据字。

指令字：若某计算机字代表一条指令或指令的一部分，则称指令字。

6. 什么是指令？什么是程序？

解：指令：计算机所执行的每一个基本的操作。

程序：解算某一问题的一串指令序列称为该问题的计算程序，简称程序。

7. 指令和数据均存放在内存中，计算机如何区分它们是指令还是数据？

解：一般来讲，在取指周期中从存储器读出的信息即指令信息；而在执行周期中从存储器中读出的信息即为数据信息。

8. 什么是内存？什么是外存？什么是 CPU？什么是适配器？简述其功能。

解：内存：一般由半导体存储器构成，装在底版上，可直接和 **CPU**交换信息的存储器称为内存存储器，简称内存。用来存放经常使用的程序和数据。

外存：为了扩大存储容量，又不使成本有很大的提高，在计算机中还配备了存储容量更大的磁盘存储器和光盘存储器，称为外存储器，简称外存。外存可存储大量的信息，计算机需要使用时，再调入内存。

CPU 包括运算器和控制器。基本功能为：指令控制、操作控制、时间控制、数据加工。

适配器：连接主机和外设的部件，起一个转换器的作用，以使主机和外设协调工作。

9. 计算机的系统软件包括哪几类？说明它们的用途。

解：系统软件包括：（1）服务程序：诊断、排错等

（2）语言程序：汇编、编译、解释等

(3) 操作系统

(4) 数据库管理系统

用途：用来简化程序设计，简化使用方法，提高计算机的使用效率，发挥和扩大计算机的功能及用途。

10. 说明软件发展的演变过程。

(略)

11. 现代计算机系统如何进行多级划分？这种分级观点对计算机设计会产生什么影响？

解：多级划分图见 P16 图 1.6。可分为：微程序设计级、一般机器级、操作系统级、汇编语言级和高级语言级。

用这种分级的观点来设计计算机，对保证产生一个良好的系统结构是有很大帮助的。

12. 为什么软件能够转化为硬件？硬件能够转化为软件？实现这种转化的媒介是什么？

(略)

13. 计算机应用 与 应用计算机 在概念上等价吗？用学科角度和计算机系统的层次结构来寿命你的观点。

(略)

第二章运算方法和运算器习题参考答案

1. 写出下列各数的原码、反码、补码、移码表示（用 8 位二进制数）。其中 **MSB** 是最高位（又是符号位）**LSB** 是最低位。如果是小数，小数点在 **MSB** 之后；如果是整数，小数点在 **LSB** 之后。
(1) $-35/64$ (2) $23/128$ (3) -127 (4) 用小数表示 -1 (5) 用整数表示 -1

解：(1) 先把十进制数 $-35/64$ 写成二进制小数：

$$(-35/64)_{10} = (-100011/1000000)_2 = (-100011 \times 2^{-6})_2 = (-0.100011)_2$$

令 $x = -0.100011B$

$$\square [x]_{\text{原}} = 1.1000110 \quad (\text{注意位数为 8 位}) \quad [x]_{\text{反}} = 1.0111001$$

$$[x]_{\text{补}} = 1.0111010$$

$$[x]_{\text{移}} = 0.0111010$$

(2) 先把十进制数 $23/128$ 写成二进制小数：

$$(23/128)_{10} = (10111/1000000)_2 = (10111 \times 2^{-11})_2 = (0.0001011)_2$$

令 $x = 0.0001011B$

$$\square [x]_{\text{原}} = 0.0001011$$

$$[x]_{\text{反}} = 0.0001011$$

$$[x]_{\text{补}} = 0.0001011$$

$$[x]_{\text{移}} = 1.0001011$$

(3) 先把十进制数-127 写成二进制小数:

$$(-127)_{10}=(-1111111)_2$$

$$\text{令 } x = -1111111\text{B}$$

$$\square [x]_{\text{原}} = 1.111111$$

$$[x]_{\text{反}} = 1.000000$$

$$[x]_{\text{补}} = 1.000001$$

$$[x]_{\text{移}} = 1.000001$$

(4) 令 $x = -1.000000\text{B}$

$\therefore$ 原码、反码无法表示

$$[x]_{\text{补}} = 1.000000$$

$$[x]_{\text{移}} = 0.000000$$

(5) 令 $Y = -1 = -0000001\text{B}$

$$\square [Y]_{\text{原}} = 10000001$$

$$[Y]_{\text{反}} = 11111110$$

$$[Y]_{\text{补}} = 11111111$$

$$[Y]_{\text{移}} = 01111111$$

2. 设 $[X]_{\text{补}} = a_0, a_1, a_2 \dots a_6$, 其中 a_i 取 0 或 1, 若要 $x > -0.5$, 求 $a_0, a_1, a_2, \dots, a_6$ 的取值。

解: $a_0 = 1, a_1 = 0, a_2, \dots, a_6 = 1 \dots 1$ 。

3. 有一个字长为 32 位的浮点数, 阶码 10 位 (包括 1 位阶符), 用移码表示; 尾数 22 位 (包括 1 位尾符) 用补码表示, 基数 $R=2$ 。请写出:

- (1) 最大数的二进制表示;
- (2) 最小数的二进制表示;
- (3) 规格化数所能表示的数的范围;
- (4) 最接近于零的正规格化数与负规格化数。

解: (1) 1111111111 011111111111111111111111

(2) 1111111111 100000000000000000000000

(3) 1111111111 011111111111111111111111 $\sim$ 0111111111 100000000000000000000000

(4) 0000000000 000000000000000000000001 $\sim$ 0000000000 111111111111111111111111

4. 将下列十进制数表示成浮点规格化数, 阶码 3 位, 用补码表示; 尾数 9 位, 用补码表示。

- (1) $27/64$
- (2) $-27/64$

解: (1) $27/64 = 11011\text{B} \times 2^{-6} = 0.011011\text{B} = 0.11011\text{B} \times 2^{-1}$

浮点规格化数: 1111 0110110000

(2) $-27/64 = -11011\text{B} \times 2^{-6} = -0.011011\text{B} = -0.11011\text{B} \times 2^{-1}$

浮点规格化数: 1111 1001010000

5. 已知 X 和 Y , 用变形补码计算 $X+Y$, 同时指出运算结果是否溢出。

- (1) $X = 0.11011$ $Y = 0.00011$
- (2) $X = 0.11011$ $Y = -0.10101$
- (3) $X = -0.10110$ $Y = -0.00001$

解：（1）先写出 x 和 y 的变形补码再计算它们的和

$$\begin{aligned}[x]_{\text{补}} &= 00.11011 & [y]_{\text{补}} &= 00.00011 \\ [x+y]_{\text{补}} &= [x]_{\text{补}} + [y]_{\text{补}} = 00.11011 + 00.00011 = 0.11110 \\ \square x+y &= 0.1111B & \square\square\square\square\end{aligned}$$

（2）先写出 x 和 y 的变形补码再计算它们的和

$$\begin{aligned}[x]_{\text{补}} &= 00.11011 & [y]_{\text{补}} &= 11.01011 \\ [x+y]_{\text{补}} &= [x]_{\text{补}} + [y]_{\text{补}} = 00.11011 + 11.01011 = 00.00110 \\ \square x+y &= 0.0011B & \square\square\square\square\end{aligned}$$

（3）先写出 x 和 y 的变形补码再计算它们的和

$$\begin{aligned}[x]_{\text{补}} &= 11.01010 & [y]_{\text{补}} &= 11.11111 \\ [x+y]_{\text{补}} &= [x]_{\text{补}} + [y]_{\text{补}} = 11.01010 + 11.11111 = 11.01001 \\ \square x+y &= -0.10111B & \text{无溢出}\end{aligned}$$

6. 已知 X 和 Y，用变形补码计算 X-Y，同时指出运算结果是否溢出。

(1) $X=0.11011$ $Y=-0.11111$

(2) $X=0.10111$ $Y=0.11011$

(3) $X=0.11011$ $Y=-0.10011$

解：（1）先写出 x 和 y 的变形补码，再计算它们的差

$$\begin{aligned}[x]_{\text{补}} &= 00.11011 & [y]_{\text{补}} &= 11.00001 & [-y]_{\text{补}} &= 00.11111 \\ [x-y]_{\text{补}} &= [x]_{\text{补}} + [-y]_{\text{补}} = 00.11011 + 00.11111 = 01.11010 \\ \because \text{运算结果双符号不相等} & \therefore \text{为正溢出} \\ X-Y &= +1.1101B\end{aligned}$$

（2）先写出 x 和 y 的变形补码，再计算它们的差

$$\begin{aligned}[x]_{\text{补}} &= 00.10111 & [y]_{\text{补}} &= 00.11011 & [-y]_{\text{补}} &= 11.00101 \\ [x-y]_{\text{补}} &= [x]_{\text{补}} + [-y]_{\text{补}} = 00.10111 + 11.00101 = 11.11100 \\ \square x-y &= -0.001B & \text{无溢出}\end{aligned}$$

（3）先写出 x 和 y 的变形补码，再计算它们的差

$$\begin{aligned}[x]_{\text{补}} &= 00.11011 & [y]_{\text{补}} &= 11.01101 & [-y]_{\text{补}} &= 00.10011 \\ [x-y]_{\text{补}} &= [x]_{\text{补}} + [-y]_{\text{补}} = 00.11011 + 00.10011 = 01.01110 \\ \because \text{运算结果双符号不相等} & \therefore \text{为正溢出} \\ X-Y &= +1.0111B\end{aligned}$$

7. 用原码阵列乘法器、补码阵列乘法器分别计算 $X \times Y$

(1) $X=0.11011$ $Y=-0.11111$

(2) $X=-0.11111$ $Y=-0.11011$

解：（1）用原码阵列乘法器计算：

$$[x]_{\text{补}} = 0.11011 \quad [y]_{\text{补}} = 1.00001$$

$$\begin{array}{r}
 \begin{array}{cccccc}
 & (0) & 1 & 1 & 0 & 1 & 1 \\
 \times) & (1) & 0 & 0 & 0 & 0 & 1 \\
 \hline
 & (0) & 1 & 1 & 0 & 1 & 1 \\
 & (0) & 0 & 0 & 0 & 0 & 0 \\
 & (0) & 0 & 0 & 0 & 0 & 0 \\
 & (0) & 0 & 0 & 0 & 0 & 0 \\
 & (0) & 0 & 0 & 0 & 0 & 0 \\
 (0) & (1) & (1) & (0) & (1) & (1) & \\
 \hline
 (1) & 0 & 0 & 1 & 0 & 1 & 1 & 1 & 0 & 1 & 1
 \end{array}
 \end{array}$$

$$\begin{aligned}
 [x \times y]_{\text{补}} &= 1.0010111011 \\
 \square x \times y &= -0.1101000101
 \end{aligned}$$

8. 用原码阵列除法器计算 $X \div Y$
- (1) $X=0.11000$ $Y= -0.11111$
- (2) $X=-0.01011$ $Y=0.11001$

解： (1) $[x]_{\text{原}}=[x]_{\text{补}}=0.11000$ $[-y]_{\text{补}}=1.00001$

$$\begin{array}{l}
 \text{被除数 } X \quad 0.11000 \\
 +[-y]_{\text{补}} \quad 1.00001 \\
 \hline
 \text{余数为负 } 1.11001 \rightarrow q_0=0 \\
 \text{左移 } 1.10010 \\
 +[y]_{\text{补}} \quad 0.11111 \\
 \hline
 \text{余数为正 } 0.10001 \rightarrow q_1=1 \\
 \text{左移 } 1.00010 \\
 +[-y]_{\text{补}} \quad 1.00001 \\
 \hline
 \text{余数为正 } 0.00011 \rightarrow q_2=1 \\
 \text{左移 } 0.00110 \\
 +[-y]_{\text{补}} \quad 1.00001 \\
 \hline
 \text{余数为负 } 1.00111 \rightarrow q_3=0 \\
 \text{左移 } 0.01110 \\
 +[y]_{\text{补}} \quad 0.11111 \\
 \hline
 \text{余数为负 } 1.01101 \rightarrow q_4=0 \\
 \text{左移 } 0.11010 \\
 +[y]_{\text{补}} \quad 0.11111
 \end{array}$$

$$\begin{array}{r}
 \text{余数为负 } 1.11001 \rightarrow q_5=0 \\
 +[y]_{\text{补}} \quad 0.11111 \\
 \hline
 \text{余数 } 0.11000
 \end{array}$$

故 $[x \div y]_{\text{原}} = 1.11000$ 即 $x \div y = -0.11000B$

余数为 $0.11000B \times 2^{-101}$

9. 设阶为 5 位(包括 2 位阶符)，尾数为 8 位(包括 2 位数符)，阶码、尾数均用补码表示，完成下列取值的 $[X+Y]$ ， $[X-Y]$ 运算：

(1) $X=2^{-011} \times 0.100101$ $Y=2^{-010} \times (-0.011110)$

(2) $X=2^{-101} \times (-0.010110)$ $Y=2^{-100} \times (0.010110)$

解： (1) 将 y 规格化得： $y=2^{-011} \times (-0.111100)$

$[x]_{\text{浮}}=1101, 00.100101$ $[y]_{\text{浮}}=1101, 11.000100$ $[-y]_{\text{浮}}=1101, 00.111100$

① 对阶
 $[\Delta E]_{\text{补}}=[Ex]_{\text{补}}+[-Ey]_{\text{补}}=1101+0011=0000$
 $\square E_x=E_y$

② 尾数相加

相加	相减
00.100101	00.100101
+ 11.000100	+ 00.111100
-----	-----
11.101001	01.100001

$[x+y]_{\text{浮}}=1101, 11.101001$ 左规 $[x+y]_{\text{浮}}=1100, 11.010010$

$\square x+y=2^{-100} \times (-0.101110)$

$[x-y]_{\text{浮}}=1101, 01.100001$ 右规 $[x-y]_{\text{浮}}=1110, 00.1100001$
舍入处理得 $[x-y]_{\text{浮}}=1110, 00.110001$

$\square x-y=2^{-10} \times 0.110001$

(2) $[x]_{\text{浮}}=1011, 11.101010$ $[y]_{\text{浮}}=1100, 00.010110$ $[-y]_{\text{浮}}=1100, 11.101010$

① 对阶
 $[\Delta E]_{\text{补}}=[Ex]_{\text{补}}+[-Ey]_{\text{补}}=1011+0100=1111$
 $\square E=-1$ $[x]_{\text{浮}}=1100, 11.110101(0)$

② 尾数相加

相加	相减
----	----

$$\begin{array}{r}
11.110101(0) \\
+ 00.010110 \\
\hline
00.001011(0)
\end{array}
\quad
\begin{array}{r}
11.110101(0) \\
+ 11.101010 \\
\hline
11.011111(0)
\end{array}$$

$[x+y]_{\text{浮}}=1100, 00.001011(0)$ 左规 $[x+y]_{\text{浮}}=1010, 00.1011000$
 $\square x+y=2^{-110} \times 0.1011B$
 $[x-y]_{\text{浮}}=1100, 11.011111(0)$
 $\square x-y=2^{-100} \times (-0.100001B)$

13. 某加法器进位链小组信号为 $C_4C_3C_2C_1$ ，低位来的信号为 C_0 ，请分别按下述两种方式写出 $C_4C_3C_2C_1$ 的逻辑表达式。

(1) 串行进位方式 (2) 并行进位方式

解：(1) 串行进位方式：

$$\begin{aligned}
C_1 &= G_1 + P_1 C_0 \quad \text{其中: } G_1 = A_1 B_1, \quad P_1 = A_1 \oplus B_1 \\
C_2 &= G_2 + P_2 C_1 \quad G_2 = A_2 B_2, \quad P_2 = A_2 \oplus B_2 \\
C_3 &= G_3 + P_3 C_2 \quad G_3 = A_3 B_3, \quad P_3 = A_3 \oplus B_3 \\
C_4 &= G_4 + P_4 C_3 \quad G_4 = A_4 B_4, \quad P_4 = A_4 \oplus B_4
\end{aligned}$$

(2) 并行进位方式：

$$\begin{aligned}
C_1 &= G_1 + P_1 C_0 \\
C_2 &= G_2 + P_2 G_1 + P_2 P_1 C_0 \\
C_3 &= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0 \\
C_4 &= G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0
\end{aligned}$$

其中 G_1-G_4 ， P_1-P_4 表达式与串行进位方式相同。

14. 某机字长 16 位，使用四片 74181 组成 ALU 设最低位序标注为 0 位，要求：

- (1) 写出第 5 位的进位信号 C_6 的逻辑表达式；
- (2) 估算产生 C_6 所需的最长时间；
- (3) 估算最长的求和时间。

解：(1) 组成最低四位的 74181 进位输出为： $C_4=G_4+P_4C_0$ ， C_0 为向第 0 位的进位

$$\begin{aligned}
\text{其中: } G &= x_3y_2+x_2x_3y_1+x_1x_2x_3y_0, \quad P=x_0x_1x_2x_3 \\
\text{所以: } C_5 &= y_4+x_4C_4
\end{aligned}$$

$$C_6=y_5+x_5C_5=y_5+x_5y_4+x_5x_4C_4$$

(2) 设标准门延迟时间为 T ，与或非门延迟时间为 $1.5T$ ，则进位信号 C_0 由最低位传送到 C_6 需经一个反相器，两级与或非门，故产生 C_6 的最长延迟时间为：

$$T+2 \times 1.5T=4T$$

(3) 最长求和时间应从施加操作数到 ALU 算起：第一片 74181 有 3 级与或非门（产生控制参数 x_0, y_0C_{n+4} ），第二、第三片 74181 共 2 级反相器和 2 级与或非门（进位链），第四片 74181 求和逻辑（1 级与或非门和 1 级半加器，其延迟时间为 $3T$ ），故总的加法时间为：

$$T=3 \times 1.5T+2T+2 \times 1.5T+1.5T+1.5T+3T=14T$$

- 2) $(1000/512) \times (32/8) = 8$ (片)
- (3) 需要 1 位地址作为芯片选择。

2. 已知某 64 位机主存采用半导体存储器，其地址码为 26 位，若使用 256K×16 位的 DRAM 芯片组成该机所允许的最大主存空间，并选用模块板结构形式，问：

- (1) 每个模块板为 1024K×64 位，共需几个模块板？
- (2) 个模块板内共有多少 DRAM 片？
- (3) 主存共需多少 DRAM 片？CPU 如何选择各模块板？

解：(1). 共需模块板数为 m

$$m = 2^{26} \div 2^{20} = 64 \text{ (块)}$$

(2). 每个模块板内有 DRAM 片数为 n:

$$n = (2^{20} / 2^{18}) \times (64 / 16) = 16 \text{ (片)}$$

(3) 主存共需 DRAM 片为：16×64=1024 (片)

每个模块板有 16 片 DRAM 片，容量为 1024K×64 位，需 20 根地址线(A19~A0)完成模块

板内存储单元寻址。一共有 64 块模块板，采用 6 根高位地址线(A25~A20)，通过 6: 64 译码器译码产生片选信号对各模块板进行选择。

3. 用 16K×8 位的 DRAM 芯片组成 64K×32 位存储器，要求：

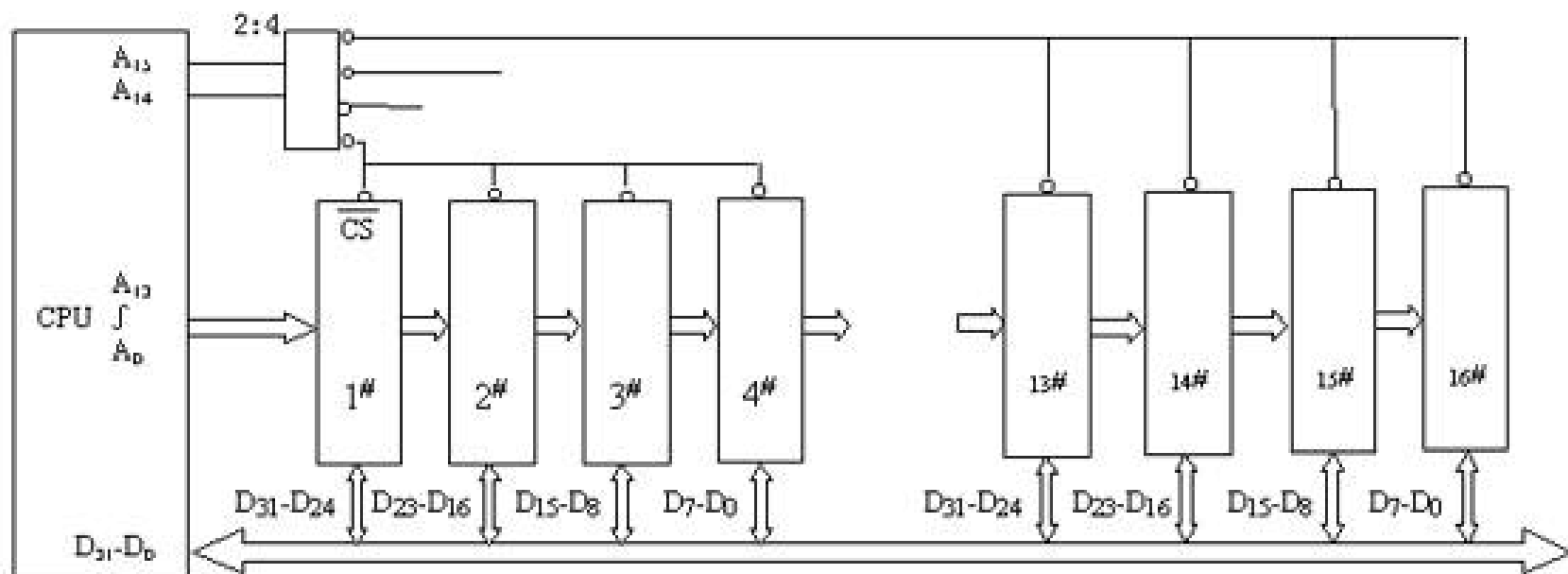
- (1) 画出该存储器的组成逻辑框图。
- (2) 设存储器读/写周期为 CPU 在 1μS 内至少要访问一次。试问采用哪种刷新方式比较合理？两次刷新的最大时间间隔是多少？对全部存储单元刷新一遍所需的实际刷新时间是多少？

解：(1) 组成 64K×32 位存储器需存储芯片数为

$$N = (64K / 16K) \times (32 \text{ 位} / 8 \text{ 位}) = 16 \text{ (片)}$$

每 4 片组成 16K×32 位的存储区，有 A₁₃~A₀ 作为片内地址，用 A₁₅ A₁₄ 经 2: 4 译码器

产生片选信号 $\overline{CS_0} - \overline{CS_3}$ ，逻辑框图如下所示：

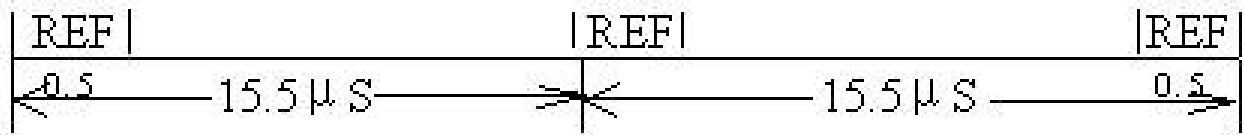


(2) 依题意，采用异步刷新方式较合理，可满足 CPU 在 1μS 内至少访问内存一次的要求。

设 16K×8 位存储芯片的阵列结构为 128 行×128 列，按行刷新，刷新周期 T=2ms，则异步

t = 2ms / 128 = 15.5 (μS)

则两次刷新的最大时间间隔发生的示意图如下



可见，两次刷新的最大时间间隔为 t_{max}

t_{max} = 15.5 - 0.5 = 15 (μS)

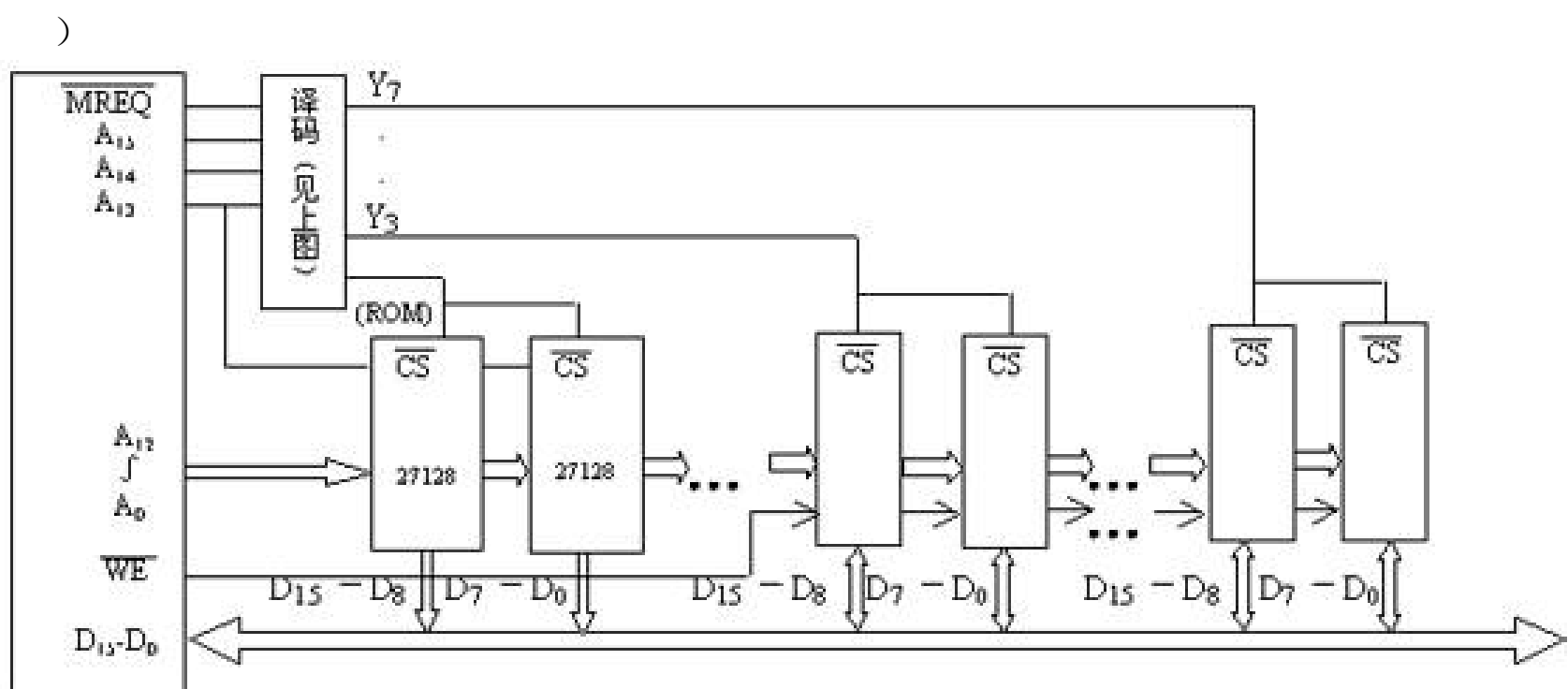
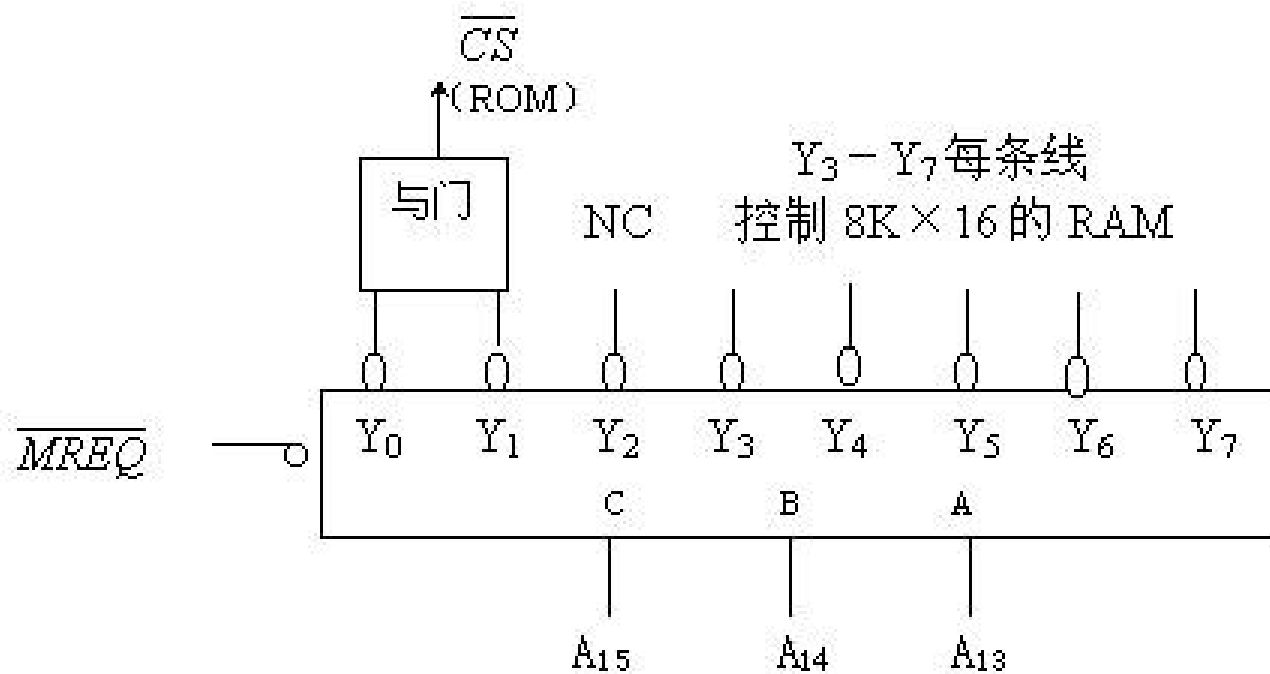
对全部存储单元刷新一遍所需时间为 t_R

t_R = 0.5 × 128 = 64 (μS)

7. 某机器中, 已知配有一个地址空间为 0000H-3FFFH 的 ROM 区域。现在再用一个 RAM (8K×8) 形成 40K×16 位的 RAM 区域, 起始地址为 6000H, 假定 RAM 芯片有 $\overline{CS}$ 和 $\overline{WE}$ 信号控制端。CPU 的地址总线为 A₁₅-A₀, 数据总线为 D₁₅-D₀, 控制信号为 R/ $\overline{W}$ (读/写), $\overline{MREQ}$ (访存), 要求:
- (1) 画出地址译码方案。
 - (2) 将 ROM 与 RAM 同 CPU 连接。

解: (1) 依题意, 主存地址空间分布如右图所示, 可选用 2 片 27128 (16K×8 位) 的 EPROM 作为 ROM; 10 片的 8K×8 位 RAM 片组成 40K×16 位的 RAM。27128 需 14 位片内地址, 而 RAM 需 13 位片内地址, 故可用 A₁₅-A₁₃ 三位高地址经译码产生片选信号, 方案如下:

0000H	16K×16 位
3FFFH	ROM
4000H	8K×16 位
5FFFH	留空
6000H	40K×16 位
FFFFH	RAM



8. 存储器容量为 64M 字长 64 位，模块数 $m=8$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T=100\text{ns}$ ，数据总线宽度为 64 位，总线周期 $\tau=10\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少？

解：信息总量： $q=64 \text{ 位} \times 8=512 \text{ 位}$

顺序存储器和交叉存储器读出 8 个字的时间分别是：

$$t_2 = mT = 8 \times 100\text{ns} = 8 \times 10^{-7} \text{ (s)}$$

$$t_1 = T + (m-1)\tau = 100 + 7 \times 10 = 1.7 \times 10^{-7} \text{ (s)}$$

顺序存储器带宽是：

$$W_2 = q/t_2 = 512 \div (8 \times 10^{-7}) = 64 \times 10^7 \text{ (位/S)}$$

交叉存储器带宽是：

$$W_1 = q/t_1 = 512 \div (1.7 \times 10^{-7}) = 301 \times 10^7 \text{ (位/S)}$$

9. CPU 执行一段程序时, cache 完成存取的次数为 2420 次，主存完成存取的次数为 80 次，已知 cache 存储周期为 40ns，主存存储周期为 240ns，求 cache/ 主存系统的效率和平均访问时间。

解：先求命中率 h

$$h = n_c / (n_c + n_m) = 80 / 80 = 0.968$$

则平均访问时间为 t_a

$$t_a = 0.968 \times 40 + (1 - 0.968) \times 240 = 46.4(\text{ns})$$

$$r = 240 \div 40 = 6$$

Cache/主存系统的效率为 e

$$e = 1 / [r + (1 - h) \times 0.968] = 86.2\%$$

10. 已知 Cache 存储周期 40ns，主存存储周期 200ns，Cache/主存系统平均访问时间为 50ns，求 Cache 的命中率是多少？

解：

$$t_a = t_c \times h + t_r \times (1 - h)$$

$$h = (t_a - t_r) / (t_c - t_r) = (50 - 200) / (40 - 200) = 15 / 16 = 0.94$$

11. 主存容量为 4MB，虚存容量为 1GB，则虚存地址和物理地址各为多少位？如页面大小为 4KB，则页表长度是多少？

解：已知主存容量为 4MB，虚存容量为 1GB

$$\therefore 2^{22} \times 4\text{M} = 4\text{M} \times 2^{22} \quad 22 \text{ 位}$$

又 $\therefore 2^{30} \times 1\text{G} = 1\text{G} \times 2^{30} \quad 30 \text{ 位}$

页表长度为 $1\text{GB} \div 4\text{KB} = 2^{30} \div 2^{12} = 2^{18} = 256\text{K}$

14. 假设主存只有 a,b,c 三个页框，组成 a 进 c 出的 FIFO 队列，进程访问页面的序列是 0,1,2,4,2,3,0,2,1,3,2 号。用列表法求采用 LRU 替换策略时的命中率。

解：

页面访问序列		0	1	2	4	2	3	0	2	1	3	2
LRU	A	0	1	2	4	2	3	0	2	1	3	2
	B		0	1	2	4	2	3	0	2	1	3
	C			0	1	1	4	2	3	0	2	1
						命中			命中			命中

$\therefore$ 命中率为

$$n = \frac{3}{11} = 27.3\%$$

15. 从下列有关存储器的描述中，选择出正确的答案：
- A. 多体交叉存储主要解决扩充容量问题；
 - B. 访问存储器的请求是由 CPU 发出的；
 - C. Cache 与主存统一编址，即主存空间的某一部分属于 Cache；
 - D. Cache 的功能全由硬件实现。

解： D

- A. 在虚拟存储器中，外存和主存一相同的方式工作，因此允许程序员用比主存空间大得多的外存空间编程；
- B. 在虚拟存储器中，逻辑地址转换成物理地址是由硬件实现的，仅在页面失效时才由操作系统将被访问页面从外存调到内存，必要时还要先把被淘汰的页面内容写入外存；
- C. 存储保护的目的是：在多用户环境中，既要防止一个用户程序出错而破坏系统软件或其他用户程序，又要防止一个用户访问不是分配给他的主存区，以达到数据安全和保密的要求。

解：C

第四章指令系统习题参考答案

1. ASCII 码是 7 位，如果设计主存单元字长为 32 位，指令字长为 12 位，是否合理？为什么？

解：指令字长设计为 12 位不是很合理。主存单元字长为 32 位，一个存储单元可存放 4 个 ASCII 码，余下 4 位可作为 ASCII 码的校验位（每个 ASCII 码带一位校验位），这样设计还是合理的。但是，设计指令字长为 12 位就不合理了，12 位的指令码存放在字长 32 位的主存单元中，造成 19 位不能用而浪费了存储空间。

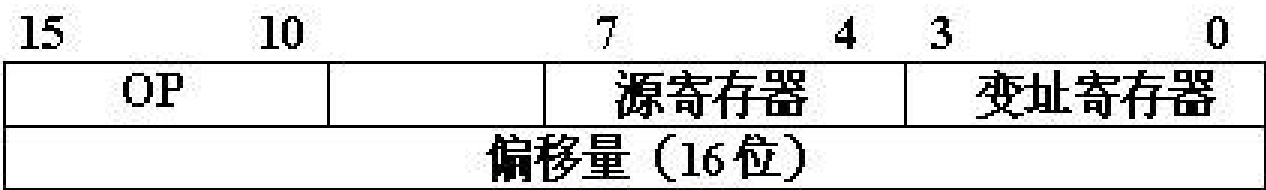
2. 假设某计算机指令长度为 20 位，具有双操作数、单操作数、无操作数三类指令形式，每个操作数地址规定用 6 位表示。问：
若操作码字段固定为 8 位，现已设计出 m 条双操作数指令，n 条无操作数指令，在此情况下，这台计算机最多可以设计出多少条单操作数指令？

解：这台计算机最多可以设计出 256-m-n 条单操作数指令

3. 指令格式结构如下所示，试分析指令格式及寻址方式特点。

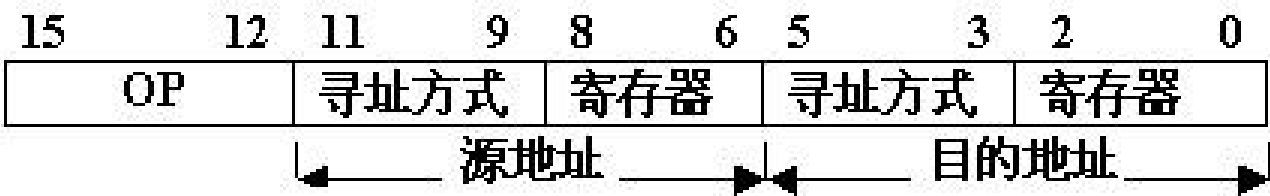


- 解：指令格式及寻址方式特点如下：
- ① 单字长二地址指令；
 - ② 操作码 OP可指定 $2^6=64$ 条指令；
 - RR 型指令，两个操作数均在寄存器中，源和目标都是通用寄存器（可分别指定 16 个寄存器之一）；
 - ④ 这种指令格式常用于算术逻辑类指令。



- 解：指令格式及寻址方式特点如下：
- ① 双字长二地址指令；
 - ② 操作码 OP可指定 $2^6=64$ 条指令；
 - RS 型指令，两个操作数一个在寄存器中（16 个寄存器之一），另一个在存储器中；
 - ④ 有效地址通过变址求得： $E=\square\square\square\square\square\square\pm D\square\square\square\square\square\square\square$ 16 个。

5. 指令格式结构如下所示，试分析指令格式及寻址方式特点。



- 解：指令格式及寻址方式特点如下：
- ① 单字长二地址指令；
 - ② 操作码 OP可指定 $2^4=16$ 条指令；
 - ③ 有 8 个通用寄存器，支持 8 种寻址方式；
 - ④ 可以是 RR型指令、SS型指令、RS型指令、

6. 一种单地址指令格式如下所示，其中 I 为间接特征，X为寻址模式，D为形式地址。I，X，D 组成该指令的操作数有效地址 E。设 R为变址寄存器，R1 为基值寄存器，PC为程序计数器，请在下表中第一列位置填入适当的寻址方式名称。

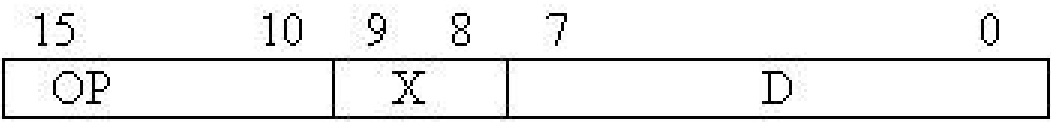
	OP	I	X	D
寻址方式名称		I	X	有效地址 E
①		0	00	$E = D$
②		0	01	$E = (PC) + D$
③		0	10	$E = (R) + D$
④		0	11	$E = (R_1) + D$
⑤		1	00	$E = (D)$
⑥		1	01	$E = ((R_1) + D), D = 0$

- 解：
- ① 直接寻址
 - ② 相对寻址
 - ③ 变址寻址
 - ④ 基址寻址
 - ⑤ 间接寻址
 - ⑥ 基址间址寻址

7. 某计算机字长 16 位，主存容量为 64K 字，采用单字长单地址指令，共有 40 条指令，试采用直接、立即、变址、相对四种寻址方式设计指令格式。

解：40 条指令需占用操作码字段 (OP) 6 位，这样指令余下长度为 10 位。为了覆盖主存 640K 字的地

址空间，设寻址模式 (X) 2 位，形式地址 (D) 8 位，其指令格式如下：



寻址模式定义如下：

X=00 直接寻址 有效地址 E=D (直接寻址为 256 个存储单元)

X=01 立即寻址 D 字段为操作数

X=10 变址寻址 有效地址 E=(R_X)+D (可寻址 64K 个存储单元)

X=11 相对寻址 有效地址 E=(PC)+D (可寻址 64K 个存储单元)

其中 R_X 为变址寄存器 (16 位)，PC 为程序计数器 (16 位)，在变址和相对寻址时，位移量 D 可正可负。

8. 某机字长为 32 位，主存容量为 1M 单字长指令，有 50 种操作码，采用页面寻址、立即、直接等寻址方式。CPU 中有 PC, IR, AR, DR 和 16 个通用寄存器，页面寻址可用 PC 高位部分与形式地址部分拼接成有效地址。问：

- (1) 指令格式如何安排？
- (2) 主存能划分成多少页面？每页多少单元？
- (3) 能否增加其他寻址方式？

解：(1) 依题意，指令字长 32 位，主存 1M 字，需 20 位地址 A19-A0 50 种操作码，需 6 位 OP，指令

寻址方式 Mode 为 2 位，指定寄存器 Rn 需 4 位。设有单地址指令、双地址指令和零地址指令，

现只讨论前二种指令。

单地址指令的格式为：



Mode=00 时为立即寻址方式，指令的 23—0 位为立即数；
Mode=01 时为直接寻址方式，指令的 19—0 位为有效地址。

双地址指令的格式为：



Mode1=01 时为寄存器直接寻址方式，操作数 S=(Rn)；
Mode1=11 时为寄存器间址寻址方式，有效地址 E=(Rn)。

Mode2=00 时为立即寻址方式，指令的 13—0 位为立即数；
Mode2=01 时为页面寻址方式；

Mode2=10时为变址寻址方式, $E=(Rn)+D$

Mode2=11时为变址间址寻址方式, $E=((Rn)+D)$ 。

(2) 由于页面寻址方式时, D 为 14 位, 所以页面大小应为 $2^{14}=16K$ 字, 则 1M 字可分为 $2^6=64$ 个页面。可由 PC 的高 6 位指出页面号。

(3) 能增加其它寻址方式, 例上述间址方式、变址间址寻址方式。

14. 从以下有关 RISC 的描述中, 选择正确答案。

- A. 采用 RISC 技术后, 计算机的体系结构又恢复到早期的比较简单的情況。
- B. 为了实现兼容, 新设计的 RISC, 是从原来 CISC 系统的指令系统中挑选一部分实现的。
- C. RISC 的主要目标是减少指令数, 提高指令执行效率。
- D. RISC 设有乘、除法指令和浮点运算指令。

解: C

15. 根据操作数所在位置, 指出其寻址方式 (填空):

- (1) 操作数在寄存器中, 为 (A) 寻址方式。
- (2) 操作数地址在寄存器, 为 (B) 寻址方式。
- (3) 操作数在指令中, 为 (C) 寻址方式。
- (4) 操作数地址 (主存) 在指令中, 为 (D) 寻址方式
- (5) 操作数的地址, 为某一寄存器内容与位移量之和可以是 (E, F, G) 寻址方式。

解: A: 寄存器直接; B: 寄存器间接; C: 立即;

D: 直接; E: 相对; F: 基值; G: 变址

第五章中央处理器习题参考答案

1. 请在括号内填入适当答案。在 CPU 中:

- (1) 保存当前正在执行的指令的寄存器是 (指令寄存器 IR);
- (2) 保存当前正要执行的指令地址的寄存器是 (程序计数器 PC);
- (3) 算术逻辑运算结果通常放在 (通用寄存器) 和 (数据缓冲寄存器 DR)。

2. 参见下图 (课本 P166 图 5.15) 的数据通路。画出存数指令, 的指令周期流程图, 其含义是将寄存器 R1 的内容传送至 (R2) 为地址的主存单元中。标出各微操作信号序列。

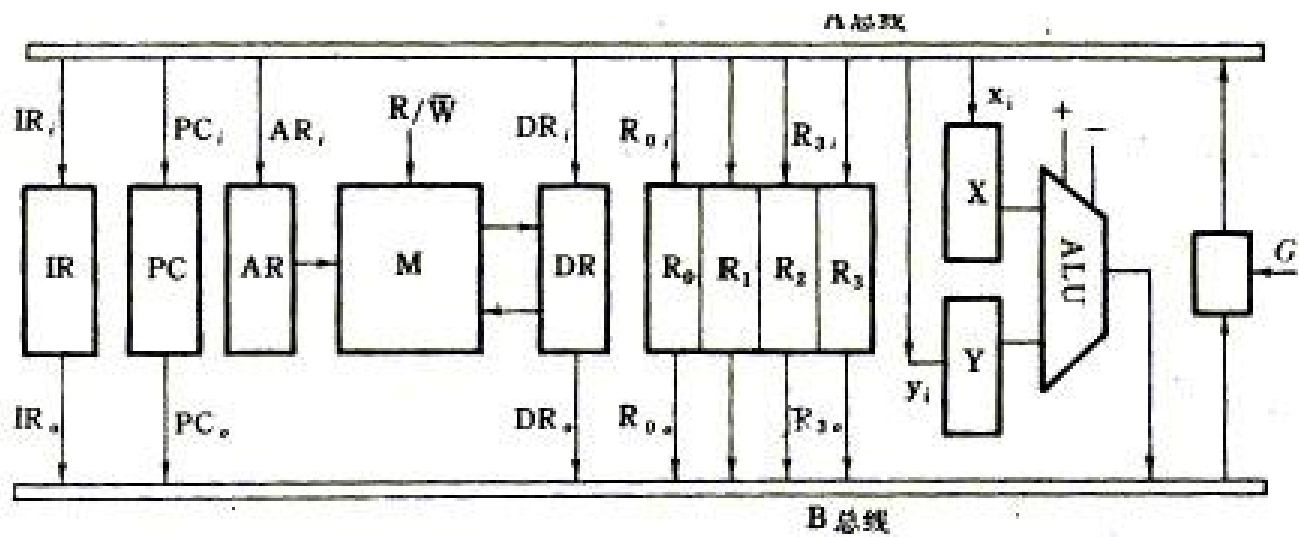
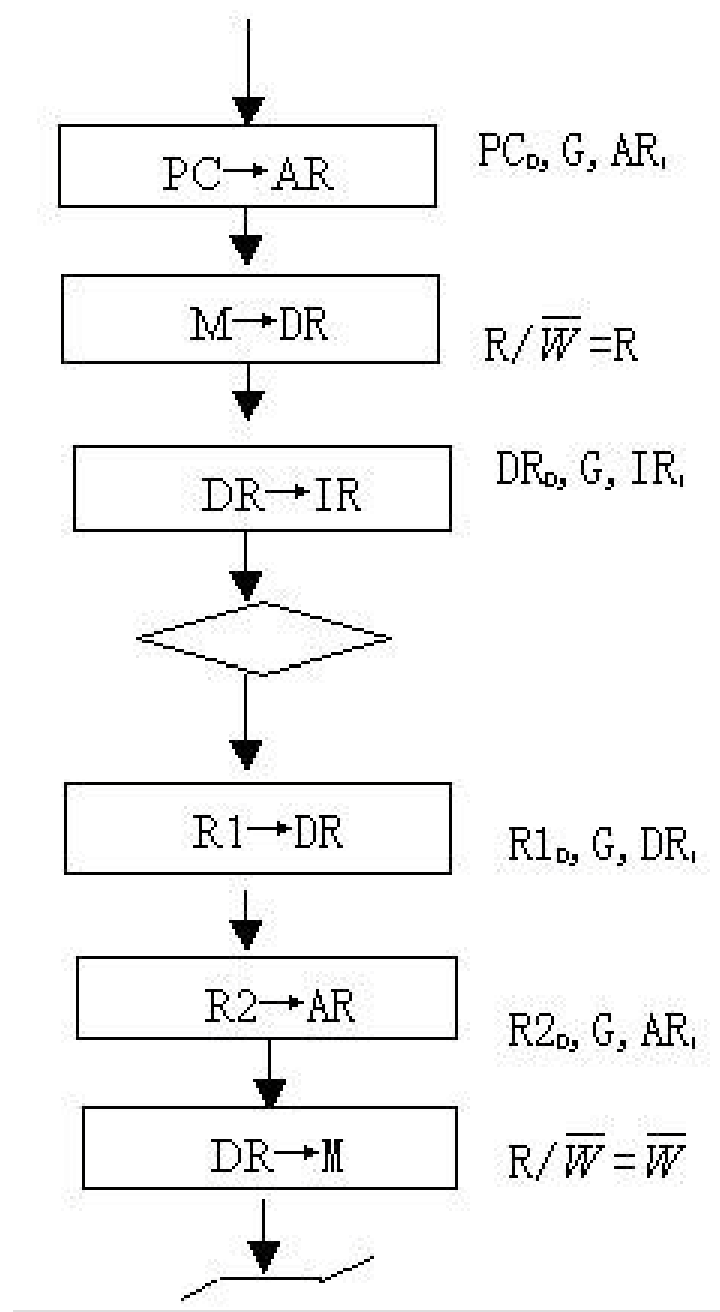


图 B12. 1

解： ， 指令是一条存数指令，其指令周期流程图如下图所示：



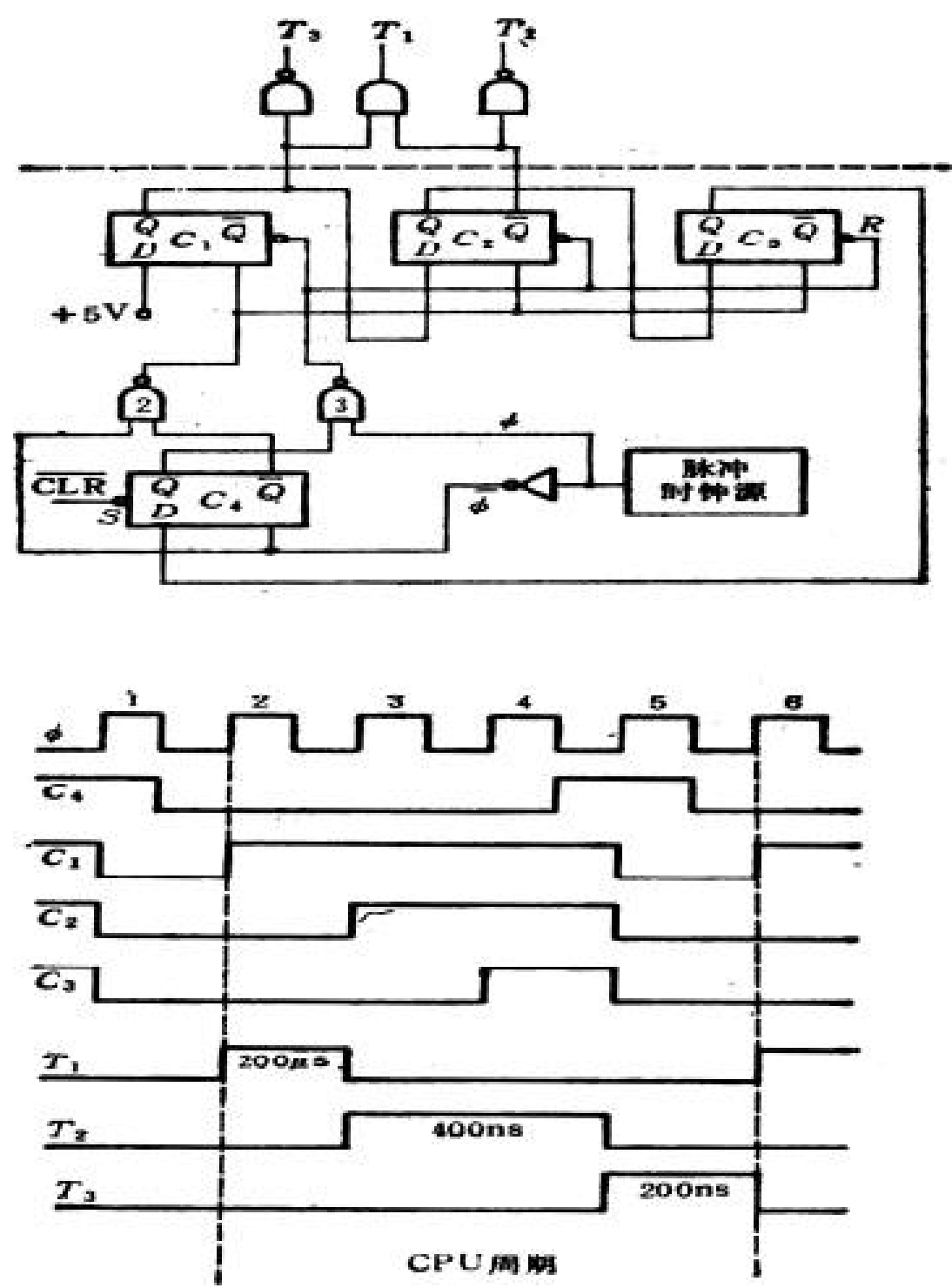
3. 参见课本 P166 图 5.15 的数据通路，画出取数指令 (R3) 的指令周期流程图，其含义是将(R3)为地址的主存单元的内容取至寄存器 R0中，标出各微操作控制信号序列。

5. 如果在一个 CPU周期中要产生 3 个脉冲 $T_1 = 200\text{ns}$, $T_2 = 400\text{ns}$, $T_3 = 200\text{ns}$ ，试画出时序产生器逻辑图。

解：节拍脉冲 T_1 ， T_2 ， T_3 的宽度实际等于时钟脉冲的周期或是它的倍数，此时 $T_1 = T_3 = 200\text{ns}$ ， $T_2 = 400\text{ns}$ ，所以主脉冲源的频率应为 $f = 1/T_1 = 5\text{MHz}$ 。为了消除节拍脉冲上的毛刺，环

型脉冲发生器可采用移位寄存器形式。下图画出了题目要求的逻辑电路图和时序信号关系。
根据关
系，节拍脉冲 T_1 , T_2 , T_3 的逻辑表达式如下：

$$T_1 = C_1 \cdot \overline{C_2} \quad , \quad T_2 = \overline{C_2} \quad , \quad T_3 = \overline{C_1}$$



6. 假设某机器有 80 条指令，平均每条指令由 4 条微指令组成，其中有一条取指微指令是所有指令公用的。已知微指令长度为 32 位，请估算控制存储器容量。
解：微指令条数为： $(4-1) \times 80 + 1 = 241$ 条
取控存容量为： $256 \times 32 \text{ 位} = 1\text{KB}$

7. 某 ALU 器件使用模式控制码 M, S3, S2, S1, C 来控制执行不同的算术运算和逻辑操作。
下表列出各条指令所要求的模式控制码，其中 y 为二进制变量，F 为 0 或 1 任选。
试以指令码 (A, B, H, D, E, F, G) 为输入变量，写出控制参数 M, S3, S2, S1, C 的逻辑表达式。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/478003136042006024>