

《接口与通讯技术》课程考试考前辅导资料

一、考试复习所用教材

李育贤
微机接口技术及其应用 2007年6月第1版 西安电子科技大学出版社 书
楼顺天

教材封面如下图所示，如学员使用其他版本教材，请参考相关知识点和考点



二、考试题型介绍

考试题型分为四类型：共计 20 题

- 第一大题为单选题，每题 4 分 共 10 题 总分值 40 分。题目范围涉及每个章节。（难度：较易）
- 第二大题为判断题，每题 2 分 共 5 题 总分值 10 分。题目范围涉及每个章节。
(难 度 : 容 易)

- 第三大题为综合题，一般是按照题目要求进行简单命令编写，每题 10 分 共 1 题 总分值 10 分。（难度：较困难）
- 第四大题为简答题，一般都是重要概念的简述和简单应用相结合，不过涉及范围比较广。每题 10 分 共 4 题 总分值 40 分。（难度：适中）

三、考试知识点

第一章 微机接口技术概述（重点）

1、知识点及相应例题解析

1. 微机在与外设进行数据交换或是控制外设时必须通过 I/O 接口。

注意接口是架起 CPU 与外设间的桥梁这个概念。CPU 通过 I/O 口与外设交换的信息有数据信息、控制信息、状态信息。

例题： CPU 通过 I/O 口与外设交换的信息有（ D ）

- A. 数据信息
- B. 控制信息
- C. 状态信息
- D. 以上三者都是

解析：参见知识点 1.1 微机在与外设进行数据交换或是控制外设时必须通过接口。

2. 接口的基本作用：（重点）

输入缓冲：输出端的状态不会随输入端的状态变化而变化，只有在有锁存信号时输入的状态被保存到输出，直到下一个锁存信号。

输出缓冲器：用来暂时存放处理器送往外设的数据。有了数据缓冲器，就可以使高速工作的 CPU 与慢速工作的外设起协调和缓冲作用，实现数据传送的同步。由于缓冲器接在数据总线上，故必须具有三态输出功能。

3. 接口的编址的方式（重点）

I/O 接口电路采用统一编址时对微处理器无特殊要求只需将 I/O 接口电路当作存储对于一样对待即可，而独立编址时则对微处理器有特殊要求。一个 I/O 地址称为一个端口。在给接口芯片设计地址时，应使接口芯片的片选控制端与译码器的输出端连接。**需要注意的是通常采用 74LS139, 154, 138 这三种常见的译码器来进行地址译码，还有直接由地址和控制信号译码得到的命令称为软命令，就是只要对特定的地址进行一次写操作（即 CS、IO 及内部寄存器地址同时有效），命令就生效，与写入的具体数据无关。**

例题：I/O 端口的编址有哪几种方法？各有什么利弊？80X86 系列 CPU 采用哪种方法？

答：I/O 端口的编址有两种方法：独立编址、与存储器统一编址。

(1) 独立编址：需要专门的输入输出指令访问 I/O 端口，但不占用内存范围，程序可读性好。

(2) 统一编址：不需要专门的输入输出指令访问 I/O 端口，寻址灵活，但 I/O 端口占用内存范围，程序可读性不好。

(3) 80X86 系列 CPU 采用独立编址。

解析：参见知识点 1.3 接口的编址的方式。

4. 输入/输出传送控制方式（重点掌握三种数据交换方式的特点及区别）（重点）

- DMA 方式：在 DMA 方式下，CPU 处于不工作状态，由 DMA 控制器来实现外设与存储器间的直接数据交换，这时总线上的各种信号（地址、控制、数据）都是由 DMA 控制器发出的。总线请求可以打断中断服务程序，所以，DMA 的优先级比中断的优先级要高。为了转入 DMA 方式，首先由 DMA 控制器向 8086 发总线请求信号 HOLD，8086 在执行完现行指令后响应 DMA 请求，让出三类总线由 DMA 控制使用。在 DMA 方式下，CPU 不用像中断方式那样保护现场和恢复现场，其内部寄存器的值都保持不变，等 DMA 方式结束后，会立即从断点处继续执行。
- 查询方式又称为条件传送方式：在查询输入/输出方式下，接口电路应有两个 I/O 地址，一个是数据口地址，另一个是状态口地址。外设的状态输入到 CPU 中时，也应经过一个缓冲器再接到数据总线上。这时状态线的定义对输入一般是数据准备好，主机可以取走数据；而对输出一般是接收缓冲区空，主机可以向其输出数据。
- 中断方式：CPU 平时可以执行主程序，只有当输入设备将数据准备好，或者输出端口的数据缓冲器已空时，才向 CPU 发中断请求。CPU 响应中断后，暂停执行当前程序，转去执行管理外设的中断服务程序。

5. 接口电路的设计（重点）

接口电路的硬件一般由以下几部分组成：（1）基本逻辑电路：包括命令寄存器、状态寄存器和数据缓冲寄存器，是接口电路中的核心（2）端口地址译码电路：实现设备的选择功能（3）供选电路：根据不同任务和功能要求而添加的功能模块电路。

接口电路的软件控制程序一般包括以下的程序段，各部分程序是相互渗透、融为一体的：（1）初始化程序段：对可编程接口芯片进行初始化编程（2）传送方式处理程序段：不同的传送方式（查询、中断、DMA 方式）程序段不同（3）主控程序段：完成接口任务的程序段（4）程序终止与退出程序段：程序退出前对接口电路中硬件进行保护的程序段（5）辅助程序段：人一机对话、菜单等

接口电路的结构主要有四种：

- （1）固定式结构：不可编程的接口电路，结构简单、功能单一、固定

(2) 半固定式结构：由 PAL 或 GAL 器件构成的接口电路，功能和工作方式可以通过改写内部的逻辑表达式来改变，但逻辑表达式一旦烧入芯片，其功能和工作方式就固定下来了

(3) 可编程结构：其功能和工作方式可由编程指定，使用灵活、适应面广，且种类繁多

(4) 智能型结构：芯片本身就是一个微处理器，外设的全部管理都由智能接口完成，如 I/O 处理器 I0809 或通用单片机。

设计接口电路的一般步骤如下：

- (1) 分析设计要求；
- (2) 选择合适的接口芯片；
- (3) 完成硬件设计；
- (4) 完成软件设计；
- (5) 软硬件调试

第二章总线接口（重点）

1、知识点及相应例题解析

1. 总线的有关概念（重点）

- 总线即各个部件之间进行信息传输的公共通道，它是由若干信号线组成的。采用总线可使计算机系统结构简化，可靠性提高，构成方便，易于扩充，升级。
- 根据总线传送的信号不同，总线可分为控制总线、地址总线和数据总线，地址总线用于指出数据的来源或去向；数据总线提供了模块间数据传输的路径；控制总线用来传送各种控制信号以便控制数据、地址总线的操作及使用。
- 根据总线所在物理的位置不同，总线又可分为分成四种：① 片内总线；② 模板内部总线；③ 板间总线；④ 模板与设备之间、计算机与设备之间、计算机与计算机之间的总线。
- 总线的宽度（传送数据的位数）。总线（传送数据）的速度。微机主板上的插槽——系统总线。
- 总线的工作速度还与工作频率有关，工作频率越高，速度越快。

- 总线带宽（宽度），是指在单位时间内总线上传输的数据总量。通常用数据总线的条数表示。其单位是位。
- 总线的标准传输率一般用 MB/S 表示
- 总线通信协议主要有同步方式、异步方式、半同步方式和分离方式。
- Intel 8086CPU 所有的内部寄存器、内部及外部数据总线都是 16 位宽，因此是完全的 16 位微处理器。20 位外部地址总线。
- 8086 能够访问的存储空间的大小是 $2^{20}=1M$ 。
- 总线完成一次数据传输的周期一般分为四个阶段，分别是 申请阶段，数据传送阶段，结束阶段

2. PCI 总线

1) 概述:PCI 总线是不依附于某个具体处理器的总线,是在 CPU 和原来的 ISA 系统总线之间插入的另一级总线,支持总线主控技术.

2) PCI 总线主要特点:

1. 多总线控制
2. 即插即用的实现
3. 中断共享的实现

3) PCI 接口的配置寄存器:

一个 PCI 接口包括一系列的寄存器，它们位于 PCI 接口上的一个小容量的存储器中，其中包含了 PCI 接口的信息。根据这些寄存器中的信息，计算机就可以把 PCI 接口自动配置到系统中，这个特性被称为即插即用 (PnP) 特性，这也是 PCI 总线在最新的计算机系统中变得如此流行的原因之一。

需要注意的是 PCI 总线是不能直接进行 I/O 控制信号的读写的。

4) I/O 寻址:

标准 PC 的 I/O 寻址范围是 0000H ~ 0FFFFH 的 64KB 空间, 只需要 16 位地址线, 而 PCI 总线可以支持 32 位或 64 位寻址。

5) PCI 总线的发展:

当前 PCI 总线的最高版本是 2.1 版, 为了满足系统对总线的带宽的需求, Intel 推出的新一代 PCI 总线规范称为 PCI-X, 目前出现了更新型的 PCI-X 2.0。目前微机系统中最流行的总线是 PCI 总线。

例题: 标准 PC 只需要 16 位地址线, 而 PCI 总线可以支持 32 位或 64 位寻址。

PCI 总线不能直接 I/O 读写控制信号。

解析: 参见知识点 2.2 PCI 总线。

3. RS232 的基本概念 (重点)

- RS-232-C 是美国电子工业协会 EIA (Electronic Industry Association) 制定的一种串行物理接口标准。RS 是英文“推荐标准”的缩写, 232 为标识号, C 表示修改次数。RS-232-C 总线标准设有 25 条信号线, 包括一个主通道和一个辅助通道, 在多数情况下主要使用主通道, 对于一般双工通信, 仅需几条信号线就可实现, 如一条发送线、一条接收线及一条地线。RS-232-C 是微机与 Modem 间的标准。
- RS-232-C 标准规定的波特率为 50、75、100、150、300、600、1200、2400、4800、9600、19200。RS-232-C 标准规定, 驱动器允许有 2500pF 的电容负载, 通信距离将受此电容限制, 例如, 采用 150pF/m 的通信电缆时, 最大通信距离为 15m; 若每米电缆的电容量减小, 通信距离可以增加。传输距离短的另一原因是 RS-232 属单端信号传送, 存在共地噪声和不能抑制共模干扰等问题, 因此一般用于 20m 以内的通信。

- RS-232-缺点：

(1) 接口的信号电平值较高，易损坏接口电路的芯片，又因为与 TTL 电平不兼容故需使用电平转换电路方能与 TTL 电路连接。

(2) 传输速率较低，在异步传输时，波特率为 20Kbps，相较于其他的总线，可以说 RS232 是数据传送速率最慢的总线。

(3) 接口使用一根信号线和一根信号返回线而构成共地的传输形式，这种共地传输容易产生共模干扰，所以抗噪声干扰性弱。

(4) 传输距离有限，最大传输距离标准值为 50 英尺，实际上也只能用在 15 米左右。

例题：RS-232-C 是 微机 与 Modem 间的标准。

解析：参见知识点 2.3 RS232 的基本概念。

第三章 可编程定时器/计数器接口芯片 8253 (重点)

1、知识点及相应例题解析

1. 定时器/计数器的概念

当计数器的输入计数脉冲频率一定时，计数器可作为定时器用，但计数脉冲频率不是一定时，计数器不能作为定时器使用。定时器的定时时间与计数脉冲频率和计数初值及定时方式有关。

可以利用计数器计数到 0，输出端被 CPU 进行状态查询，也可将该引脚作为中断请求信号。

微机系统中的定时分为内部定时和外部定时两类。

2. 可编程定时器/计数器 8253 (重点)

8253 的六种工作方式及特点：

- 方式 0：计数结束中断，GATE 保持高电平，输出 $N \cdot T$ 的低电平，后变为高电平并保持不变。计数中如果 GATE 突然变成低电平，然后变回高电平，则延长低电平输出时间，延长时间为 GATE 变为低电平的时间。
- 方式 1：可编程单个触发信号。与方式 0 一样，只是 GATE 是上升沿触发。计数期间如果 GATE 变为低电平再变高电平，则重新开始计数。
- 方式 2：速率发生器。GATE 保持高电平。输出 $(N-1) \cdot T$ 的高电平，之后输出一个 T 的低电平。
- 方式 3：方波发生器。如果 N 为偶数，输出占空比 50%，周期 $N \cdot T$ 的方波，如果 N 为奇数，输出的方波中高电平为 $(N+1)/2 \cdot T$ ，低电平为 $(N-1)/2 \cdot T$ 。
- 方式 4：软件触发选通。如同方式 2，只是，只计数一个周期，即输出 $(N-1) \cdot T$ 的高电平和 $1 \cdot T$ 的低电平之后保持高电平不变。
- 方式 5：硬件触发选通。如同方式 4，GATE 改为上升沿触发。

8253 有 6 种不同工作方式的根本在于：

计数器的触发方式不同、过程中门控信号 GATE 对计数操作的控制作用不同、计数/定时到时输出端 OUT 输出的波形不同、在计数过程中，写入新的计数初值的处理方式不同。方式 3 由于具有自动重新装载计数初值，能输出重复波形，且输出波形的高低电平比为 1:1 或近似 1:1（方波或近似方波），所以在实际中应用最广泛。

需要特别注意的是 8253 芯片无论工作在什么方式，在初始化编程写入控制字后输出端 OUT 便会变为相应的高电平或低电平！

第四章 可编程中断控制器接口芯片 8259A (重点)

1、知识点及相应例题解析

1. 中断的有关概念 (重点)

1) 中断：中断是事件引起 CPU 中断正在执行的现行的程序，而转去执行一段触发事件而编写的子程序。CPU 在转去执行中断服务程序前先下条要执行的指令的存放地址（称为断点）自动存入堆栈保存，等中断服务程序执行完后返回到断点处继续执行。

中断向量：就是中断服务程序的入口地址。

2) 中断向量表：把系统中所有的中断类型码及其对应的中断向量按一定的规律存放在一个区域内，这个存储区域就叫中断向量表。中断向量表中存储的不是中断类型码，也不是中断请求信号，而是 256 个中断服务程序的入口地址，类型码为 N 的中断服务程序入口地址放在 $N*4$ 起始的 4 个存储单元中，其中 $N*4$ 当中放的是入口地址的偏移地址， $N*4+2$ 中放的是入口地址的段地址。中断向量表的长度是 1024 字节。

3) 中断的响应过程：中断请求、中断响应、中断返回。

需要注意的是 8086 响应中断时，累加器 AX 是没用进入自动入栈保存的。而且也没有将通用寄存器和地址指针寄存器入栈保存！

2. 8086 采用中断矢量中断结构。

中断过程：当中断源产生中断申请后，不论是内中断、非屏蔽中断，还是可屏蔽中断，只要满足响应条件，在执行完当前指令后，CPU 内部硬件会自动完成下列响应中断的过程：

1) 取中断类型号 N ；

2) 前 FLAGS 的内容入栈；

- 3) 当前 CS 的内容入栈；
- 4) 当前 IP 的内容入栈；
- 5) 清 IF、TF 标志为 0；
- 6) 取内存单元($0 : N \times 4$)字内容送 IP 取中断子程序入口地址，取内存单元($0 : N \times 4 + 2$)字内容送 CS；
- 7) 转中断子程序：此时 CS:IP 指向中断程序的入口，开始执行中断程序；

中断向量表：把系统中所有的中断类型码及其对应的中断向量按一定的规律存放在一个区域内，这个存储区域就叫中断向量表。需要特别注意的是我们的 8086 系统中规定 00000H~003FFH 单元来存放中断向量表！

解析：参见知识点 1.1 中断的有关概念。

3. 8086 系统的中断分类

- 8086 采用中断矢量结构；
- 8086 微处理器的可屏蔽中断请求信号来自于 INTR；
- 8086 微处理器的非屏蔽中断请求信号来自于 NMI；
- 非屏蔽中断的中断类型码是 2；
- 8086/8088 前五个中断为专用中断；
- 8086/8088 系统中中断优先级从低到高依次为：单步中断、INTR、NMI、内部中断；

4. 8086 响应一个外部的 INTR 中断请求过程：

在 INTR 中断请求响应条件满足的情况下，

- (1) 8086 在连续的两个总线周期中发出 INTA# 中断请求响应信号；

- (2) 在第二个 INTA#信号期间，中断源经数据总线向 8086 发出一字节的中断类型码，8086 收到类型码后放入暂存器；
- (3) 8086 保护现场：标志寄存器入栈，清除 IF、TF 标志位，断点 CS、IP 值入栈；
- (4) 8086 将类型码乘 4 后得到中断向量表的入口地址，从此地址开始的 4 个单元中读出中断服务程序的入口地址 (IP, CS)；
- (5) 8086 从此地址取指令执行，使控制转向中断处理过程。

5. 可编程中断控制器 8259A(重点)

- 8259A 用于管理可屏蔽中断，一片 8259A 可管理 8 个可屏蔽中断。8259A 只能管理可屏蔽中断，而不能也没有必要管理其它类型的中断。管理内容为设置中断优先级（完全嵌套方式和自动循环方式）、中断结束方式、设置中断类型码、中断屏蔽方式等，但不能设置中断向量（中断服务程序入口地址），中断服务程序入口地址要用指令单独设置。
- 一片 8259A 可管理 8 个可屏蔽中断，但 2 片 8259A 接成级联缓冲方式最多可管理不是 16 个可屏蔽中断源，而是 15 个，原因是从片 8259A 的 INT 引脚要接到主片的某一个中断请求引脚上，占用了主片的一个中断源位置。由此还可知，如果 8086 系统中使用了两片 8259A，总的中断源个数就达不到 256 个。
- 8259 自动循环优先权方式
- 在自动循环优先权方式中，IR7 ~ IR0 优先权级别是可以改变的。
- 其变化规律是：当某一个中断请求 IR_i 服务结束后，该中断的优先权自动降为最低，而紧跟其后的中断请求 IR_(i+1) 的优先权自动升为最高，IR7 ~ IR0 优先权级别按如下所示的右循环方式改变。（重点）
- 8259A 的中断屏蔽寄存器 IMR 与中断标志 IF 之间的关系
IF 是 8086 微处理器内部标志寄存器的一位，若 IF=0，8086 就不响应外部

可屏蔽中断请求 INTR 引线上的请求信号。8259A 有 8 个中断请求输入线，IMR 中的某位为 1，就把对应这位的中断请求 IR 禁止掉，无法被 8259A 处理，也无法向 8086 处理器产生 INTR 请求。

第五章 可编程并行接口芯片 8255A (必考)

1、知识点及相应例题解析

1. 并行接口和并行通信的概念

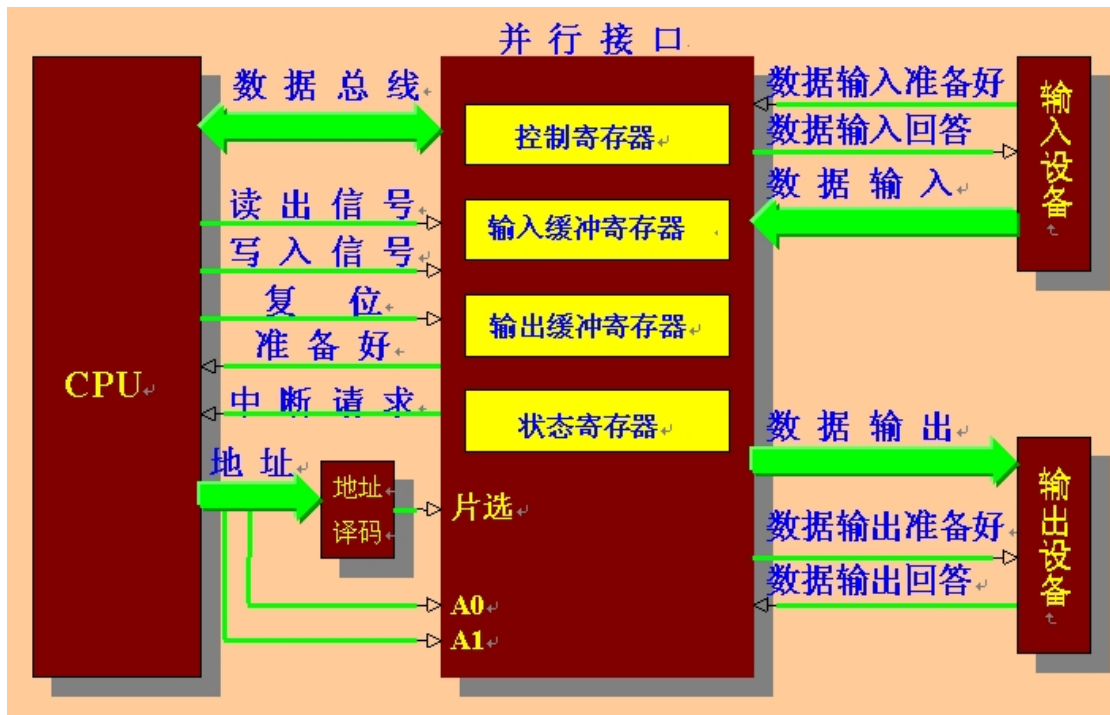
- 并行通信是把传送数据的各数位用几条线同时进行传输，传输速度快，信息率高。但它比串行通信所用的电缆多。
- 实现并行通信的接口就是并行接口。
- 一个并行接口可设计为只作为输出接口；还可设计为只作为输入接口；另外，还可以设计成既作为输入又作为输出的接口。可用两种方法实现：一种是利用同一个接口中的两个通路，输入输出分开；另一种是用一个双向通路，既作为输入又作为输出。
- 并行传送是 8 位或 16 位数据同时传送。并行传送速度较串行传送速度快。并行接口只适用于主机与外设相距较近的情况下进行数据传送。
- 由于我们现在常用的微机系统均以并行方式处理数据，所以，并行接口也是最常用的接口电路。并行接口有以下几方面的特点：

(1) 并行接口是在多根数据线上，以数据字节（字）为单位与输入 / 输出设备或被控对象传送信息的，如打印机接口、A / D、D / A 转换器接口、IEEE - 488 接口、开关量接口、控制设备接口等。在实际应用中，凡在 CPU 与外设之间同时需要两位以上信息传送时，就要采用并行口。并行口适用于近距离传送的场合。由于各种 I / O 设备和被控对象多为并行数据线连接，CPU 用并行口来组成应用系统很方便，故使用十分普遍。

(2) 并行传送的信息，不要求固定的格式，这与串行传送的信息有数据格式的要求不同。例如，异步串行通信的格式是一个数据，它包括起始位、数据位、校验位和停止位。

(3) 从并行接口的电路结构来看，并行口有硬线连接接口和可编程接口之分。硬线连接接口的工作方式及功能用硬线连接来设定，用软件编程序的方法不能加以改变；如果接口的工作方式及功能可以用软件编程序的方法加以改变，则就叫可编程接口。

● 并行接口连接外设的示意图：



2. 可编程并行接口芯片 8255A

所谓可编程，实际上就是具有可选择性。例如，选择芯片中的哪一个或哪几个数据端口与外设连接；选择端口中的哪一位或哪几位作输入，哪一位或哪几位作输出；选择端口与 CPU 之间采用哪种方式传送数据等，均可由用户在程序中写入方式字或控

制字来进行指定。因此，它们具有广泛的适应性及很高的灵活性，在微机系统中得到广泛应用。

(1) Inter 8255A 的基本特性

1) 具有两个 8 位 (A 口和 B 口) 和两个 4 位 (C 口高 / 低四位) 并行输入 / 输出端口, C 口可按位操作。

2) 具有 3 种工作方式 :

方式 0——基本输入 / 输出 (A, B, C 口均有), 输出有锁存功能, 输入有缓冲功能, 2 个 8 位口和 2 个 4 位口, 24 根 I/O 信号线, 单向 I/O。

方式 1——选通输入 / 输出 (A, B 口具有), 输入、输出都具有锁存功能, A、B 口作为数据口, C 口部分引脚作专用联络信号线, 这些信号线用户不能指定为其他用途; 单向 I/O。

方式 2——双向选通输入 / 输出 (A 口具有), 有固定时序; 有确定的状态字; 联络线定义、时序及状态字都是方式 1 输入和输出的组合。

3) 可用程序设置各种工作方式并查询各种工作状态。

4) 在方式 1 和方式 2 时, C 口作 A 口、B 口的联络线。

5) 内部有控制寄存器、状态寄存器和数据寄存器供 CPU 访问。

6) 有中断申请能力, 但无中断管理能力

7) 40 根引脚, +5V 供电, 与 TTL 电平兼容。

(2) 8255A 的外部引线与内部结构

8255A 是一个单 + 5V 电源供电，40 个引脚的双列直插式组件，其外部引线如图 7-2 所示。

(2) 外部引线

作为接口电路的 8255A 具有面向主机系统总线和面向外设两个方向的连接能力，它的引脚正是为了满足这种连接要求而设置的。

① 面向系统总线的信号线有：

D7 ~ D0：双向数据线。CPU 通过它向 8255A 发送命令、数据；8255A 通过它向 CPU 回送状态、数据。

CS：选片信号线，该信号低电平有效，由系统地址总线经 I/O 地址译码器产生。CPU 通过发高位地址信号使它变成低电平时，才能对 8255A 进行读写操作。当 CS 为高电平时，切断 CPU 与芯片的联系。

A1, A0：芯片内部端口地址信号线，与系统地址总线低位相连。该信号用来寻址 8255A 内部寄存器。两位地址，可形成片内 4 个端口地址。

RD：读信号线，该信号低电平有效。CPU 通过执行 IN 指令，发读信号将数据或状态信号从 8255A 读至 CPU。

WR：写信号线，该信号低电平有效。CPU 通过执行 OUT 指令，发写信号，将命令代码或数据写入 8255A。

RESET：复位信号线，该信号高电平有效。它清除控制寄存器并将 8255A 的 A、B、C3 个端口均置为输入方式；输出寄存器和状态寄存器被复位，并且屏蔽中断请求；24 条面向外设的信号线呈现高阻悬浮状态。这种状态一直维持，直到用方式命令才能改变，使其进入用户所需的工作方式。

②面制 I / O 设备的信号线有：

PA0 ~ PA7：端口 A 的输入 / 输出线

PB0 ~ PB7：端口 B 的输入 / 输出线

PC0 ~ PC7：端口 C 的输入 / 输出线

这 24 根信号线均可用来连接 I / O 设备，通过它们可以传送数字量信息或开关量信息。

(3) 8255A 的内部结构

8255A 的内部结构如图 7 - 3 所示。（JAVA 动画图说明）它由以下 4 个部分组成：

①数据总线缓冲器

这是一个三态双向 8 位缓冲器，它是 8255A 与 CPU 系统数据总线的接口。所有数据的发送与接收，以及 CPU 发出的控制字和 8255A 来的状态信息都是通过该缓冲器传送的。

②读写控制逻辑

读写控制逻辑由读信号 RD，写信号 WR，选片信号 CS 以及端口选择信号 A1A0 等组成。读写控制逻辑控制了总线的开放与关闭和信息传送的方向，以便把 CPU 的控制命令或输出数据送到相应的端口；或把外设的信息或输入数据从相应的端口送到 CPU。

8255A 的基本操作及在 TP86A、PC / XT 和扩展板上的端口地址如表 7 - 2 所示。

③数据端口 A、B、C

8255A 包括 3 个 8 位输入 / 输出端口（PORT）。每个端口都有一个数据输入寄存器和一个数据输出寄存器，输入时端口有三态缓冲器的功能，输出时端口有数据锁存器

功能。在实际应用中，PC 口的 8 位可以分为两个 4 位端口（方式 0 下），也可以分成一个 5 位端口和一个 3 位端口（方式 1 下）来使用。

④A 组和 B 组控制电路

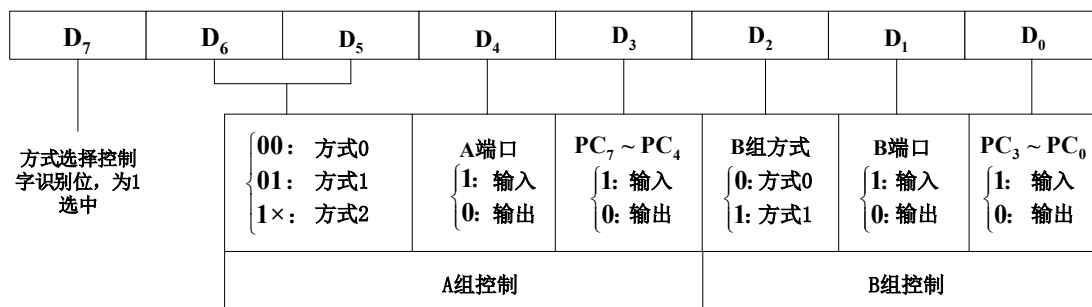
控制 A、B 和 C3 个端口的工作方式，A 组控制 A 口和 C 口的上半部（PC7 ~ PC4），B 组控制 B 口和 C 口的下半部（PC3 ~ PC0）的工作方式和输入 / 输出。A 组、B 组的控制寄存器还接收按位控制命令，以实现 PC 口的按位置位 / 复位操作。

3. 8255A 的编程命令

8255A 的编程命令包括工作方式控制字和对 PC 口的按位操作控制字两个命令，它们是用户使用 8255A 来组建各种接口电路的重要工具。由于这两个命令都是送到 8255A 的同一个控制端口，为了让 8255A 能识别是哪个命令，故采用特征位的方法。若写入的控制字的最高位 $D_7 = 1$ ，则是工作方式控制字；若写入的控制字 $D_7 = 0$ ，则是 PC 口的按位置位 / 复位控制字。

(1) 工作方式控制字

作用：指定 3 个并行端口（PA、PB、PC）是作输入还是作输出端口以及选择 8255 的工作方式。下图为 8255 方式控制字。



格式及每位的定义如下：

例如，要把 A 口指定为方式 1，输入；C 口上半部定为输出；B 口指定为方式 0，输出；C 口下半部定为输入。于是，工作方式字是：10110001B 或 B1H。

若将此控制字的内容写到 8255A 的控制寄存器，即实现了对 8255A 工作方式的指定，或叫做完成了对 8255A 的初始化。初始化的程序段为：

```
MOV DX, 303H      ; 8255A 控制口地址  
  
MOV AL, 0B1H      ; 初始化 (工作方式) 控制字  
  
OUT DX, AL        ; 送到控制口
```

(2) PC 口按位置 / 复位控制字

作用：指定 PC 口的某一位输出高电平还是低电平。

格式及每位的定义如下：

利用按位置位 / 复位控制字可以使 PC 口的 8 根线中的任意一根置成高电平输出或低电平输出。

例如，若要把 C 口的 PC2 引脚置高（置位），则命令字应该为 00000101B 或 05H。

将该命令字的内容写入 8255A 的命令寄存器，就实现了将 PC 口的 PC2 引脚置位的操作：

```
MOV DX, 303H      ; 8255A 控制口地址  
  
MOV AL, 05H       ; 使 PC2 = 1 的控制字  
  
OUT DX, AL        ; 送到控制口
```

按位置位 / 复位命令产生的输出信号，可作为控制开关的通 / 断、继电器的吸合 / 释放、马达的启 / 停等操作的选通信号。

另外，8255A 的状态字中的中断允许位 INTE 的置位和复位，即允许 8255A 提出中断与禁止 8255A 提出中断，也是采用这个按位控制的命令字来实现的。

第六章 串行通信和可编程串行接口芯片 8251A

1、知识点及相应例题解析

1. 串行通信的基本概念

- 在通信领域内，数据通信中按每次传送的数据位数，通信方式可分为：并行通信和串行通信。
- 串行通信是指计算机主机与外设之间以及主机系统与主机系统之间数据的串行传送。使用一条数据线，将数据一位一位地依次传输，每一位数据占据一个固定的时间长度。其只需要少数几条线就可以在系统间交换信息，特别适用于计算机与计算机、计算机与外设之间的远距离通信。
- 串行通信可不必使用 MODEM，只使用 3 条线 TXD、RXD、GND 即可实现两台设备间的串行通信。
- 按数据传输方向可分为：
 - 1) 单工通信：只有一根数据线，通信只在一个方向上进行，这种方式的应用实例有：监视器、打印机、电视机等。
 - 2) 半双工通信：只有一根数据线，它与单工的区别是这根数据线既可作发送又可作发接收，虽然数据可在两个方向上传送，但通信双方不能同时收发数据。
 - 3) 全双工通信：数据的发送和接收用两根不同的数据线，通信双方在同一时刻都能进行发送和接收，这一工作方式称为全双工通信。在这种方式下，通信双方都有发送器和接收器，发送和接收可同时进行，没有时间延迟。
- 单工、半双工和全双工的区别：

在串行通信中，数据通常是在两个终端（如电脑和外设）之间进行传送，根据数据流的传输方向可分为 3 种基本传送方式：单工、半双工和全双工。单工通信的传输方向只有一个方向，半双工通信可以双向通信但只能轮流传输，全双工通信可以同时双向传输数据。

- 将各种基带信号转换成适合信道传输的调制信号称为调制，在接收端将调制信号还原成基带信号或者电信号称为解调，由于长距离的串行通信易发生信号失真，单纯的电信号无法传输，故而需要用 MODEM 进行调制。

2. 基本工作方式

1) 同步通信：是一种连续串行传送数据的通信方式，一次通信只传送一帧信息。这里的信息帧与异步通信中的字符帧不同，通常含有若干个数据字符。它们均由同步字符、数据字符和校验字符（CRC）组成。其中同步字符位于帧开头，用于确认数据字符的开始。数据字符在同步字符之后，个数没有限制，由所需传输的数据块长度来决定；校验字符有 1 到 2 个，用于接收端对接收到的字符序列进行正确性的校验。同步通信的缺点是要求发送时钟和接收时钟保持严格的同步。

异步通信：在异步通信中有两个比较重要的指标：字符帧格式和波特率。数据通常以字符或者字节为单位组成字符帧传送。字符帧由发送端逐帧发送，通过传输线被接收设备逐帧接收。发送端和接收端可以由各自的时钟来控制数据的发送和接收，这两个时钟源彼此独立，互不同步。接收端检测到传输线上发送过来的低电平逻辑“0”（即字符帧起始位）时，确定发送端已开始发送数据，每当接收端收到字符帧中的停止位时，就知道一帧字符已经发送完毕。

3. 波特率：波特率是指每秒传输的符号数，若每个符号所含的信息量为 1 比特，则波特率等于比特率。在计算机中，一个符号的含义为高低电平，它们分别代表逻辑“1”和逻辑“0”，所以每个符号所含的信息量刚好为 1 比特，因此在计算机通信中，常将比特率称为波特率，即：

$$1 \text{ 波特 (B)} = 1 \text{ 比特 (bit)} = 1 \text{ 位/秒 (1bps)}$$

4. 常用的串行接口芯片：一种是仅用于异步通信的接口芯片，称为通用异步收发器 (UART, Universal Asynchronous Receiver/Transmitter)，另一种芯片既可以工作于异步方式，又可以工作于同步方式，称为通用同步/异步收发器 (USART, Universal Synchronous/Asynchronous Receiver/Transmitter)。

5. 可编程串行接口芯片 8251A

(1) 8251A 的基本功能

8251A 是一种可编程的通用同步/异步接收发送器，通常作为串行通信接口使用，被广泛应用 Intel80X86 为 CPU 的微型计算机中。其基本功能为：

- 1) 它是全双工、双缓冲器的接收/发送器。
- 2) 有两种工作方式，可工作在同步或异步工作方式。同步方式工作时，波特率在 0~64K 范围内；异步方式时，波特率在 0~9.2K 范围内。
- 3) 同步方式时，字符可选择为 5~8bit，可加奇偶校验位，可自动检测同步字符。
- 4) 异步方式时，字符可选择为 5~8bit，可加奇偶校验位，自动为每个字符添加一个启动位，并允许通过编程选择 1、1.5、或 2 位停止位。

(2) 8251A 的内部结构

(1) 接收器

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。
如要下载或阅读全文，请访问：

<https://d.book118.com/486133112142011030>