

# 第四章 S3C2410的中断系统

# 主要内容:

- ❖ 4.1 S3C2410的中断源
- ❖ 4.2 S3C2410的中断处理
- ❖ 4.3 中断控制
- ❖ 4.4 子中断源的中断控制
- ❖ 4.5 中断向量设置
- ❖ 4.6 其它常用寄存器
- ❖ 4.7 中断程序编写中需注意问题
- ❖ 4.8 中断实验和中断程序编写

## 4.1 S3C2410的中断源

- ❖ **S3C2410有56个中断源。在56个中断源中，有32个中断源提供中断控制器，其中，外部中断EINT4~EINT7通过“或”的形式提供一个中断源送至中断控制器，EINT8~EINT23也通过“或”的形式提供一个中断源送至中断控制器。**

❖ 通过表4-1可以看到这些中断源之间的逻辑关系。

表 4-1 S3C2410 的中断源

中断源	中断源描述	仲裁组	中断源	中断源描述	仲裁组
INT_ADC	数模转换结束	ARB5	INT_UART2	串行通信 2 通道	ARB3
INT_RTC	实时时钟	ARB5	INT_TIMER4	定时器	ARB2
INT_SPI1	串行外围设备 1 中断	ARB5	INT_TIMER3	定时器	ARB2
INT_UART0	串行通信 0 通道	ARB5	INT_TIMER2	定时器	ARB2
INT_IIC	IIC 中断	ARB4	INT_TIMER1	定时器	ARB2
INT_USBH	USB 主机	ARB4	INT_TIMER0	定时器	ARB2
INT_USBD	USB 设备	ARB4	INT_WDT	看门狗	ARB2
Reserved	不用	ARB4	INT_TICK	时钟滴答	ARB1
INT_UART1	串行通信 1 通道	ARB4	nBATT_FLT	电池	ARB1
INT_SPI0	串行外围设备 0 中断	ARB4	Reserved	不用	Reserved
INT_SDI	SDI	ARB3	EIN[8:23]	外部中断	ARB1
INT_DMA3	DMA3 通道中断	ARB3	EIN[4:27]	外部中断	ARB1
INT_DMA2	DMA2 通道中断	ARB3	EIT3	外部中断	ARB0
INT_DMA1	DMA1 通道中断	ARB3	EIT2	外部中断	ARB0
INT_DMA0	DMA0 通道中断	ARB3	EIT1	外部中断	ARB0
INT_LCD	LCD 帧同步	ARB3	EIT0	外部中断	ARB0

## 4.2 S3C2410的中断处理

- ❖ S3C2410的中断控制逻辑如图4-1所示，S3C2410的中断控制可以处理56个中断源的中断请求。这些中断源可以是来自片内的中断，比如DMA、UART和I2C等；也可以来自处理器外部中断输入引脚。在这些中断源中，有如下11个中断源通过分支中断控制器来申请使用中断（与其它中断共用一个中断向量）

。

- ❖ **INT\_ADC** A/D转换中断;
- ❖ **INT\_TC** 触摸屏中断;
- ❖ **INT\_ERR2** UART2收发错误中断;
- ❖ **INT\_TXD2** UART2发送中断;
- ❖ **INT\_RXD2** UART2接受中断;
- ❖ **INT\_ERR1** UART1收发错误中断;
- ❖ **INT\_TXD1** UART1发送中断;
- ❖ **INT\_RXD1** UART1接受中断;
- ❖ **INT\_ERR0** UART0收发错误中断;
- ❖ **INT\_TXD0** UART0发送中断;
- ❖ **INT\_RXD0** UART0接受中断。

- ❖ 中断控制逻辑（interrupt controller logic）的任务是在片内和外部中断源组成的多重中断发生时，选择其中一个中断，通过FIQ（快速中断请求）或IRQ（通用中断请求）向CPU内核发出中断请求。

❖ 图4-1中，中断源是指给出中断向量的那些中断，子中断源是指与其它中断共用一个中断向量的中断。例如UART0是一个中断源，而TXD0和RXD0就是子中断源。子中断源向CPU申请中断，子中断源挂起寄存器中相应位要置1，如果该子中断没被屏蔽，则该子中断源所归属的总中断源挂起寄存器中相应位也要置1。

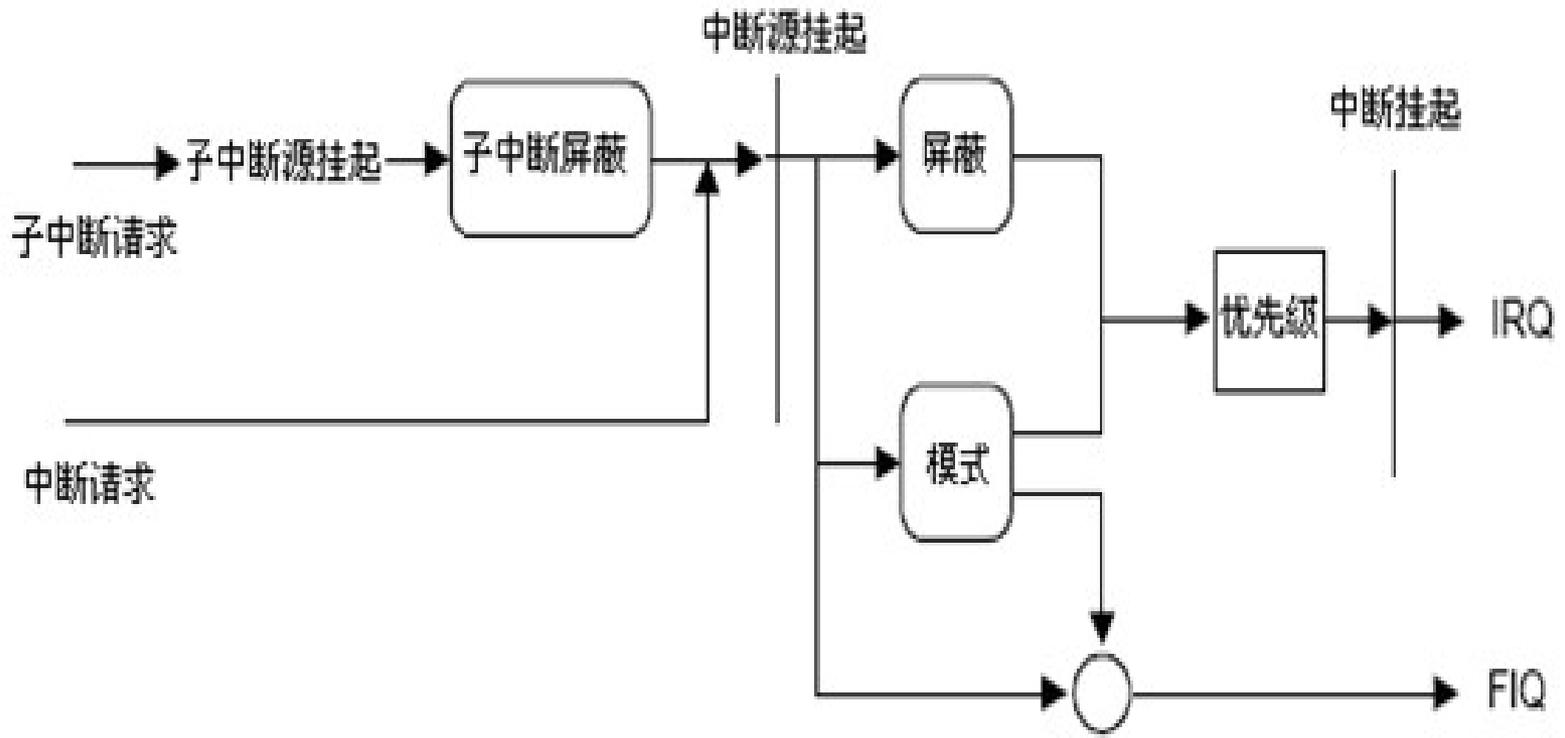


图 4-1 S3C2410 的中断逻辑

## 4.3 中断控制

### 4.3.1 中断模式（INTMOD）寄存器

- ❖ **ARM920T**提供了两种中断模式，即**FIQ**模式（快速模式）和**IRQ**模式（通用模式）。所有的中断源在中断请求时都要确定使用那一种中断模式。中断模式控制寄存器设置如表4-2所示，因为复位时各位等于0，如果我们采用通用中断，中断模式寄存器可以不用设置。

表 4-2 中断模式寄存器(INTMOD)

中断源	模式寄存器相应位	中断源中断模式	初值		中断源	模式寄存器相应位	中断源中断模式	初值
INT_ADC	[31]	0=IRQ 1=FIQ	0		INT_UART2	[15]	0=IRQ 1=FIQ	0
INT_RTC	[30]	同上	0		INT_TIMER4	[14]	同上	0
INT_SPI1	[29]	同上	0		INT_TIMER3	[13]	同上	0
INT_UART0	[28]	同上	0		INT_TIMER2	[12]	同上	0
INT_IIC	[27]	同上	0		INT_TIMER1	[11]	同上	0
INT_USBH	[26]	同上	0		INT_TIMER0	[10]	同上	0
INT_USBD	[25]	同上	0		INT_WDT	[9]	同上	0
Reserved	[24]	没用	0		INT_TICK	[8]	同上	0
INT_UART1	[23]	0=IRQ 1=FIQ	0		NBATT_FLT	[7]	同上	0
INT_SPI0	[22]	同上	0		保留	[6]	没用	0
INT_SDI	[22]	同上	0		EINT[8:23]	[5]	0=IRQ 1=FIQ	0
INT_DMA3	[20]	同上	0		EINT[4:7]	[4]	同上	0
INT_DMA2	[19]	同上	0		EINT3	[3]	同上	0
INT_DMA1	[18]	同上	0		EINT2	[2]	同上	0
INT_DMA0	[17]	同上	0		EINT1	[1]	同上	0
INT_LCD	[16]	同上	0		EINT0	[0]	同上	0

表 4-3 中断挂起寄存器

中断源	挂起寄存器相应位	中断源状态	初值		中断源	挂起寄存器相应位	中断源状态	初值
INT_ADC	[31]	0= 申请的 中断没响应 1= 申请的 中断响应	0		INT_UART2	[15]	0= 申请的 中断没响应 1= 申请的 中断响应	0
INT_RTC	[30]	同上	0		INT_TIMER4	[14]	同上	0
INT_SPI1	[29]	同上	0		INT_TIMER3	[13]	同上	0
INT_UART0	[28]	同上	0		INT_TIMER2	[12]	同上	0
INT_IIC	[27]	同上	0		INT_TIMER1	[11]	同上	0
INT_USBH	[26]	同上	0		INT_TIMER0	[10]	同上	0
INT_USBD	[25]	同上	0		INT_WDT	[9]	同上	0
Reserved	[24]	没用	0		INT_TICK	[8]	同上	0
INT_UART1	[23]	0= 申请的 中断没响应 1= 申请的 中断响应	0		NBATT_FLT	[7]	同上	0
INT_SPI0	[22]	同上	0		保留	[6]	没用	0
INT_SDI	[22]	同上	0		EINT[8:23]	[5]	0= 申请的 中断没响应 1= 申请的 中断响应	0
INT_DMA3	[20]	同上	0		EINT[4:7]	[4]	同上	0
INT_DMA2	[19]	同上	0		EINT3	[3]	同上	0
INT_DMA1	[18]	同上	0		EINT2	[2]	同上	0
INT_DMA0	[17]	同上	0		EINT1	[1]	同上	0
INT_LCD	[16]	同上	0		EINT0	[0]	同上	0

## 4.3.2 中断挂起寄存器和中断源挂起寄存器

- ❖ **S3C2410**有两个中断挂起寄存器：中断挂起寄存器（**INTPND**）见表4-3；中断源挂起寄存器（**SRCPND**）见表4-4。当中断源向**CPU**申请中断时，**SRCPND**寄存器的相应位被置1，表明哪一个中断源向**CPU**申请了中断；如果当前没有优先级与此中断源相等或高于的中断服务在执行，并该中断没被屏蔽，此中断会被响应，**INTPND**相应位会被置1

## 4.3.3 中断屏蔽寄存器 (INTMSK)

- ❖ 当INTMSK寄存器的屏蔽位为1时，对应的中断被禁止；当INTMSK寄存器的屏蔽位为0时，则相应的中断正常执行，INTMSK定义见表4-5。如果一个中断的屏蔽位为1，则该中断请求不被受理

## 4.3.4 中断优先级寄存器 (PRIORITY)

- ❖ 上面已介绍过，S3C2410共有56个中断源，有32个中断控制器，外部中断EXTIN8~23共用一个中断控制器，外部中断EXTIN4~7共用一个中断控制器，9个UART中断分成3组，共用3个中断控制器，ADC和触摸屏共用一个中断控制器。系统对中断优先级实行由中断优先寄存器 (PRIORITY) 和7个中断仲裁器组组成的两级控制，这7个中断仲裁器组由6个子中断仲裁器组 (ARBITER0~ ARBITER5) 和一个主中断仲裁器组 (ARBITER6) 组成，每个中断仲裁器下面有4~6个中断源，这些中断源对应着REQ0~REQ5这6个优先级。仲裁器具体分组见图4-2。中断优先寄存器 (PRIORITY) 的定义见表4-6。

- ❖ 当一个中断源向CPU申请中断时，它首先要  
在自己所在的子中断仲裁器组进行仲裁比较，  
如果此中断仲裁器组中没有和它同级别或高  
于它的中断源向CPU申请中断，则它进入主  
中断仲裁器组和其他组的优先中断源进行仲  
裁比较，决定能否向CPU申请中断。

表 4-5 中断屏蔽寄存器 (INTMSK)

中断源	屏蔽控制 bit	屏蔽位定义	初值	中断源	屏蔽控制 bit	屏蔽位定义	初值
INT_ADC	[31]	0=开中断 1=屏蔽中断	1	INT_UART2	[15]	0=开中断 1=屏蔽中	1
						断	
INT_RTC	[30]	同上	1	INT_TMER4	[14]	同上	1
INT_SPI1	[29]	同上	1	INT_TMER3	[13]	同上	1
INT_UART0	[28]	同上	1	INT_TMER2	[12]	同上	1
INT_IIC	[27]	同上	1	INT_TMER1	[11]	同上	1
INT_USBH	[26]	同上	1	INT_TMER0	[10]	同上	1
INT_USBD	[25]	同上	1	INT_WDT	[9]	同上	1
保留	[24]	不用	1	INT_TICK	[8]	同上	1
INT_UART1	[23]	同上	1	NBATT_FLT	[7]	同上	1
INT_SPI0	[22]	同上	1	保留	[6]	不用	1
INT_SDI	[21]	同上	1	EINT[8:23]	[5]	同上	1
INT_DMA3	[20]	同上	1	EINT[4:7]	[4]	同上	1
INT_DMA2	[19]	同上	1	EINT3	[3]	同上	1
INT_DMA1	[18]	同上	1	EINT2	[2]	同上	1
INT_DMA0	[17]	同上	1	EINT1	[1]	同上	1
INT_LCD	[16]	同上	1	EINT0	[0]	同上	1

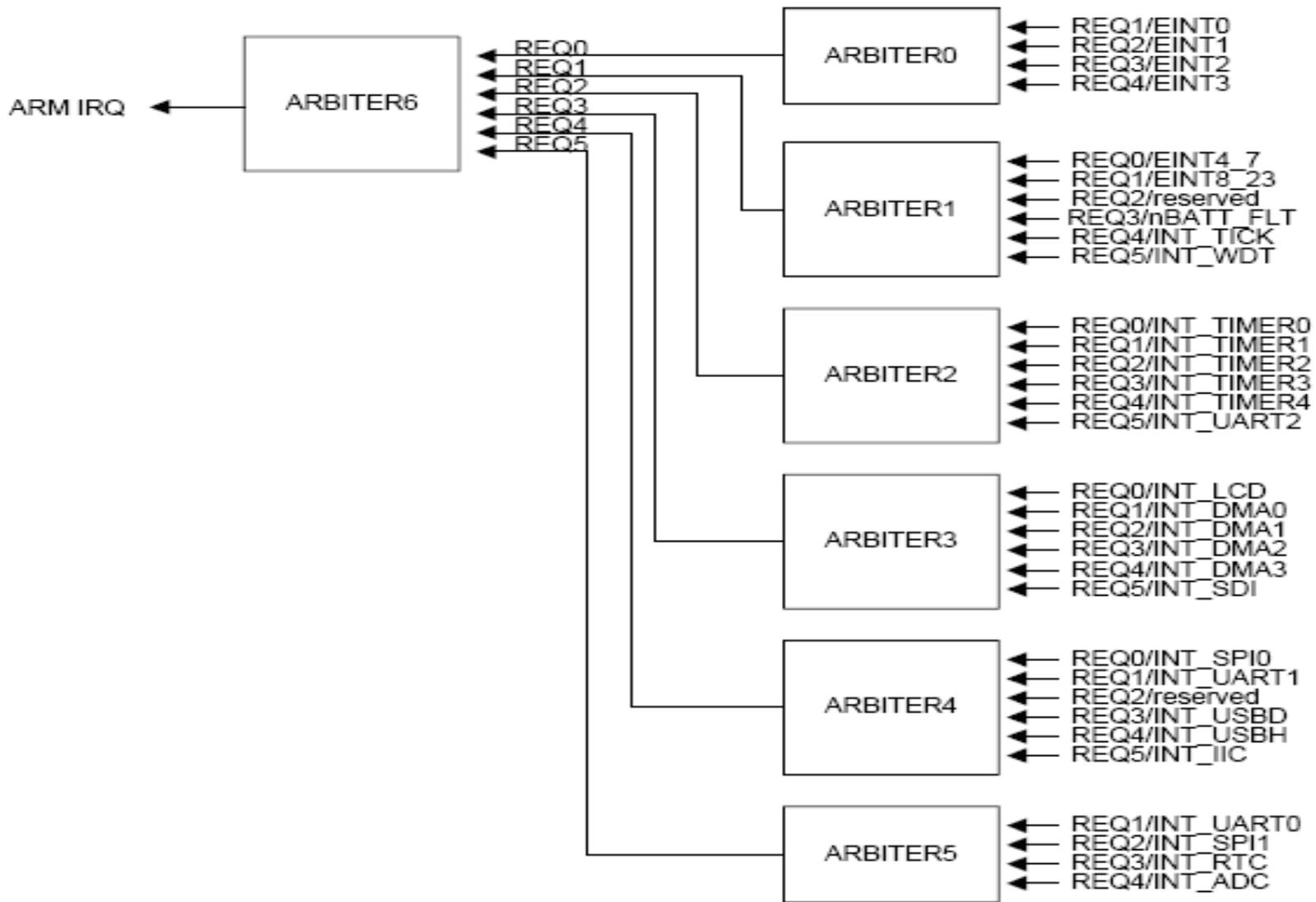


图4-2 中断仲裁器分组

## ❖ 表4-6 优先级寄存器设定

中断仲裁组	PRIORITY位	定义	初值	中断仲裁组	PRIORITY位	定义	初值
ARB-SEL6	[20:19]	优先顺序: 00=0,1,2,3,3,5		ARB-SEL1	[10:9]	优先顺序: 00=0,1,2,3,3,5	
		01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00			01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00
ARB-SEL5	[18:17]	优先顺序: 00=0,1,2,3,3,5 01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00	ARB-SEL0	[8:7]	优先顺序: 00=0,1,2,3,3,5 01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00
ARB-SEL4	[16:15]	优先顺序: 00=0,1,2,3,3,5 01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00	ARB-MOD6	[6]	仲裁组 6 优先顺序 循环允许: 0=不允许, 1=允许	1
				ARB-MOD5	[5]	仲裁组 5 优先顺序 循环允许: 0=不允许, 1=允许	1
ARB-SEL3	[14:13]	优先顺序: 00=0,1,2,3,3,5 01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00	ARB-MOD4	[4]	仲裁组 4 优先顺序 循环允许: 0=不允许, 1=允许	1
				ARB-MOD3	[3]	仲裁组 3 优先顺序 循环允许: 0=不允许, 1=允许	1
ARB-SEL2	[12:11]	优先顺序: 00=0,1,2,3,3,5 01=0,2,3,4,1,5 10=0,3,4,1,2,5 11=0,4,1,2,3,5	00	ARB-MOD2	[2]	仲裁组 2 优先顺序 循环允许: 0=不允许, 1=允许	1
				ARB-MOD1	[1]	仲裁组 1 优先顺序 循环允许: 0=不允许, 1=允许	1
				ARB-MOD0	[0]	仲裁组 0 优先顺序 循环允许: 0=不允许, 1=允许	1

- ❖ 由表4-6可以看到，中断优先寄存器 (PRIORITY)的 [20: 19]位控制中断仲裁器组ARB-SEL6的优先级。  
[20: 19]=00，优先级REQ0-1-2-3-4-5； [20: 19]=01，优先级REQ0-2-3-4-1-5；
- ❖ [20: 19]=10，优先级REQ0-3-4-1-2-5； [20: 19]=11，优先级0-4-1-2-3-5，其中，REQ0中断优先级总是最高的，REQ5中断优先级总是最低的。
- ❖ 中断优先寄存器 (PRIORITY)的 [18: 17]位控制中断仲裁器组ARB-SEL5的优先级，中断优先寄存器 (PRIORITY)的 [16: 15]位控制中断仲裁器组ARB-SEL4的优先级，等等。

## 4.4 子中断源的中断控制

- ❖ 上面讲过，有一些中断源和其它中断共用一个中断向量，我们称它们为子中断源，**S3C2410**使用子中断源挂起寄存器（**SUBSRCPND**）和子中断屏蔽寄存器（**INTSUBMSK**）来对它们中断控制和反馈工作状态。
- ❖ 子中断源挂起寄存器（**SUBSRCPND**）各位功能如表4-7所示，子中断屏蔽寄存器（**INTSUBMSK**）各位功能如表4-8所示。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/507021066026010003>