

基于 FPGA 的等精度频率计的设计

基于 FPGA 的等精度频率计的设计

学生姓名：罗雪晶

指导教师：梁西银

学生届别：2009 届

专业：电子信息工程

班级：2005 级（1）班

学号：2

摘 要

本文提出了一种采用 VHDL 语言在 FPGA（EP1C12Q240C8）平台上设计实现等精度频率计的方法。该方法设计的频率测量系统在对频率变化范围较大的信号进行频率测量时能够满足高速度、高精度的测频要求。系统的软件设计、编译、调试、仿真与下载工作采用 Quartus II 6.1 完成。该等精度频率计的测量频率值采用 VGA 显示，同时显示 10 秒内频率的测量情况，具有良好的人机界面。

关键词：

FPGA 、VHDL、等精度、频率计、VGA

ABSTRACT

This paper mainly introduces a method which uses VHDL language in the FPGA (EP1C12Q240C8) platform designed to achieve the frequency accuracy. This method is designed frequency measurement system in the frequency range of the signal frequency measurements to meet the high-speed, high-precision frequency measurement requirements. System software designing, compiling, debugging, simulation, and downloading the work are all completed by the use of Quartus II 6.1. The system uses VGA display to show the measured value of the frequency of precision, at the same time it shows the frequency of measurements in 10 seconds. This design has a good man-machine interface. And has realized broad band measurement and can meet the request of high speed and high degree of accuracy.

Keywords

FPGA, VHDL, Precision survey, frequency meter, VGA

基于 FPGA 的等精度频率计的设计

目录

引言.....	3 -
1. 原理分析.....	4 -
1.1 等精度频率测量原理.....	4 -
1.2 误差分析.....	5 -
2. 概述.....	6 -
2.1 FPGA 可编程逻辑器件.....	6 -
2.2 VHDL 硬件描述语言.....	7 -
2.3 Quartus II 开发环境.....	8 -
2.4 E-PLAY-SOPC 系列开发板.....	9 -
2.5 EP1C12Q240C8 芯片.....	9 -
2.6 IP Core.....	10 -
3. 总体设计.....	10 -
3.1 流程图设计.....	10 -
3.2 系统设计框图.....	11 -
4 详细设计.....	13 -
4.1 前端信号处理.....	13 -
4.2 分频器的设计.....	13 -
4.3 除法器的 IP Core 调用.....	14 -
4.3.1 设计中的除法器应用.....	14 -
4.3.2 除法器 IP Core 的调用方法如下:.....	14 -
4.4 译码电路的实现.....	15 -
4.5 显示模块的设计实现.....	16 -
4.5.1 方案选择.....	16 -
4.5.2 VGA 接口的原理.....	17 -
4.5.3 VGA 接口的时序分析.....	18 -
4.5.4 VGA 接口驱动波形仿真.....	19 -
4.5.5 VGA 接口的驱动程序的设计实现.....	20 -
4.6 系统综合与布局布线.....	22 -
4.7 引脚分配.....	22 -
5. 测试.....	23 -
5.1 测试仪器.....	23 -
5.2 测试数据.....	24 -
结论.....	24 -
致谢.....	25 -
参考文献.....	26 -
附录 1.....	27 -

基于 FPGA 的等精度频率计的设计

引言

频率是常用的物理量，频率测量是电子测量技术中最基本的测量之一。在现代信号分析和处理领域中，高精度的频率测量有非常重要的意义。

常用的测频方法有计数法和周期法。计数法是在预制的闸门时间 T_w 内测量被测信号的脉冲个数 N_x ，进行换算得出被测信号的频率为 $f_x=N_x/T_w$ 。这种测量方法的测量精度取决于闸门时间和被测信号频率。当被测信号频率较低时将产生较大误差，除非闸门时间取得很大。周期法是在被测信号的一个周期 T_x 内，测量标准信号(周期 T_c) $\Delta F_s/F_s$ 的周期个数 N_s ，进行换算得出被测信号的频率为 $f_x=f_c/N_s$ 。这种测量方法的测量精度取决于被测信号的周期和计时精度。测量以频率为参数的被测信号，通常采用的是测频法或测周法。但是，当频率变化较大，如范围为 $100\text{Hz}\sim 100\text{kHz}$ 时，测频法和测周法就存在着很大的局限性，难以实现宽频带、高精度的测量。所以，当要求有一种测频方法能对频率变化范围较大的信号进行高精度的测量时，就必须采用等精度的测频技术。

本文采用的测量方法克服了以上两种方法的缺点，测频精度与被测信号的频率大小无关，从而保证了频率的等精度测量。本文运用等精度测量原理，采用基于 FPGA 的 VHDL 语言设计了一款数字频率计，该频率计可在较宽定的频率范围内对频率进行测量，并可通过调整闸门时间预置测量精度。选取的这种综合测量法作为数字频率计的测量算法，提出了基于 FPGA 的数字频率计的设计方案。给出了该设计方案的实际测量效果，证明该设计方案切实可行，能达到较高的频率测量精度。

基于 FPGA 的等精度频率计的设计

1. 原理分析

1.1 等精度频率测量原理

基于传统测频原理的频率计的测量精度将随被测信号频率的下降而降低,在实用中有较大的局限性。而等精度频率计不但具有较高的测量精度,并且在整个频率区域保持恒定的测量精度。

等精度频率测量技术又叫做多周期同步测量计算,是在直接测频方法的基础上发展起来的。它的闸门时间不是固定的值。而是被测信号周期的整数倍,即与被测信号同步,消除了对被测信号计数所产生 ± 1 个字的误差,测量精度大大提高,而且达到了在整个测量频段的等精度测量。其测频原理图如图 1 所示。

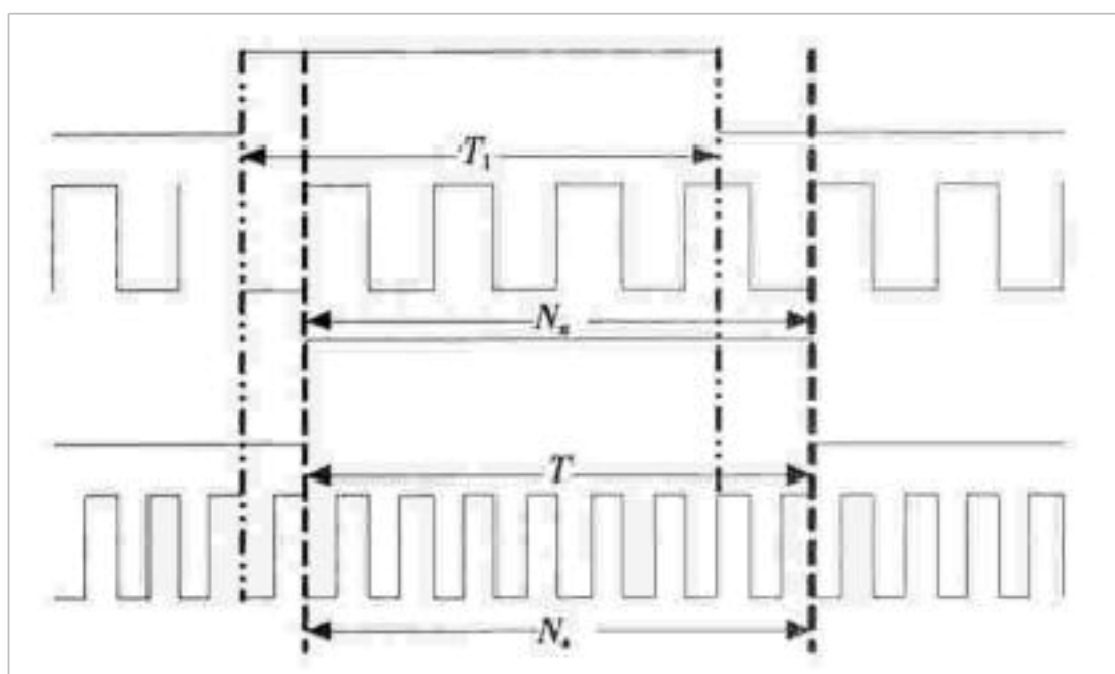


图 1 等精度测量原理波形图

由图可知,等精度测量法的机理是在标准频率比较测量法的基础上改变计数器的计数开始和结束与闸门门限的上升沿和下降沿的严格关系。在测量过程中,有两个计数器分别对标准频率信号和被测频率信号同时计数。首先给出闸门开启信号(预置闸门上升沿),当闸门门限的上升沿到来时,如果待测量信号的上升沿未到时两组计数器也不计数,只有在待测量信号的上升沿到来时,两组计数器才开始计数;然后预置闸门关闭信号(下降沿)到时,如果待测量信号的一个周期未结束时两组计数器也不停止计数,只有在待测量信号的一个周期结束时两组计数器才停止计数。完成一次测量过程。可以看出,实际闸门时间 T 与预置闸门时间 T_1 并不严格相等,但差值不超过被测信号的一个周期。这样就克服了待测量信号的脉冲周期不完整的问题,其误差只由标准频率信号产生,与待测量信号的频率无关。因此可以实现精度的恒定。

基于 FPGA 的等精度频率计的设计

等精度频率计的原理图如图 2 所示

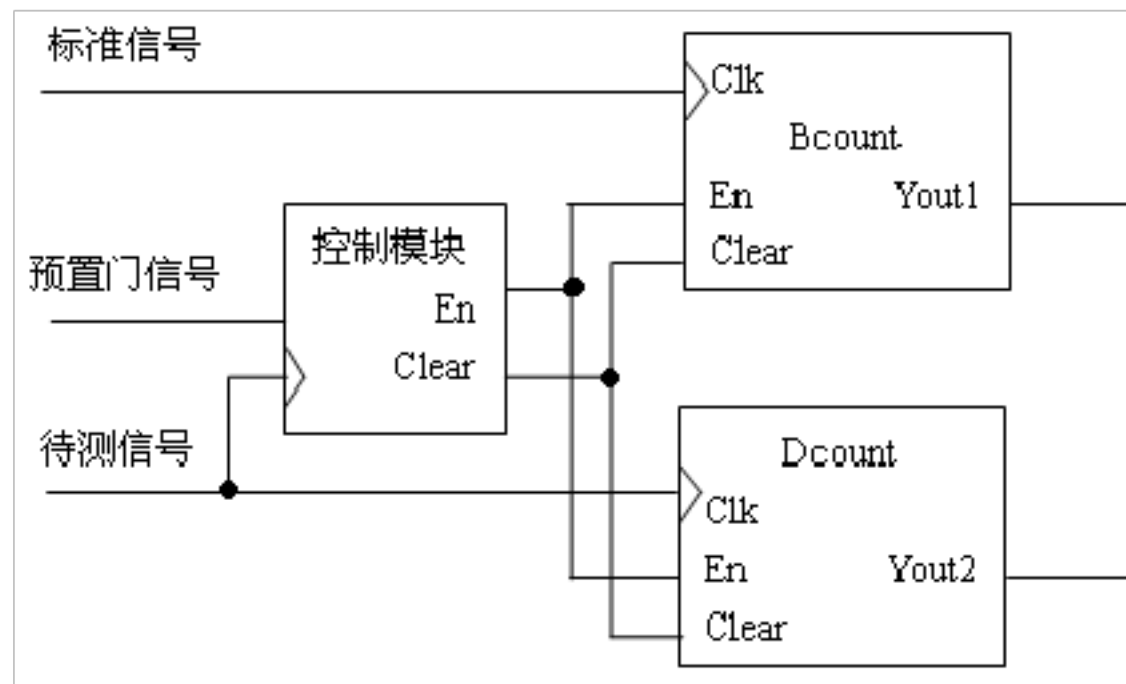


图 2 等精度频率计原理图

图中预置门控信号是宽度为 T 的一个脉冲，Bcount 和 Dcount 是两个可控计数器，标准频率信号从 Bcount 的时钟输入端 clk 输入，其频率为 F_s ；经整形后的被测信号从 Dcount 的时钟输入端 clk 输入，当预置门控信号为高电平时，经整形后的被测信号的上沿通过控制模块的 en 端同时启动计数器 Bcount 和 Dcount。Bcount、Dcount 分别对被测信号（频率为 F_x ）和标准频率信号（频率为 F_s ）同时计数。当预置门信号为低电平时，随后而至的被测信号的上沿将使这两个计数器同时关闭。设在一次预置门时间 T 中对被测信号计数值为 N_x ；对标准频率信号的计数值为 N_s ，则下式成立：

$$N_x/F_x = N_s/F_s \quad (1)$$

则待测频率信号的频率值为：

$$F_x = (N_x/N_s) F_s \quad (2)$$

1.2 误差分析

设在 1 次实际闸门时间 T 中计数器对被测信号的计数值为 N_x ，对标准信号的计数值为 N_s 。标准信号的频率为 F_s ，则有：

$$N_x/F_x = N_s/F_s \quad (1)$$

$$F_x = (N_x/N_s) F_s \quad (2)$$

有式（2）可知，若忽略标额的误差 F_s ，则等精度频率测量可能产生的相对误差为

$$\delta = (|F_x - F_e|/F_e) \times 100\% \quad (3)$$

基于 FPGA 的等精度频率计的设计

其中， F_e 为被测信号频率的准确值。在测量中，由于 F_x 计数的起停时间都是由该信号的上升沿触发的，在闸门时间 T 内对 F_x 的计数 N_x 无误差 ($T=N_x-t_x$)；对 F_s 的计数 N_s 最多相差 1 个数的误差，即 $|\Delta N_s| \leq 1$ ，其测量频率为：

$$F_e = [N_x / (N_s + \Delta N_s)] / F_s \quad (4)$$

由以上 (1)、(2)、(3) 式可得

$$\delta = |\Delta N_s| / N_s \quad (5)$$

测量的相对误差小于 $1/N_s$ ，而 $N_s = T \times F_s$ (T 为实际闸门时间)，所以，只要选定标准频率和时间闸门，相对误差是个确定的值，和被测频率的大小无关，从而实现了等精度测量。

由相对误差公式可以得出以下结论：

- (1) 相对测量误差与频率无关。
- (2) 增大 T 或提高 F_s ，可以增大 N_s ，减少测量误差，提高测量精度。
- (3) 标准频率误差为 $\Delta F_s / F_s$ 。
- (4) 等精度测频方法测量精度与预置门宽度和标准频率有关，与被测信号的频率无关。在预置门时间和常规测频闸门时间相同，而被测信号频率不同的情况下，等精度测量法的测量精度不变，而常规的直接测频法精度随着被测信号频率的下降而下降。

2. 概述

2.1 FPGA 可编程逻辑器件

FPGA 是现场可编程门阵列 (Field Programmable Gate Array) 的简称。FPGA 器件与其开发系统是开发大规模数字集成电路的新技术。它利用计算机辅助设计，绘制出实现用户逻辑的原理图、编辑布尔方程式或用硬件描述语言等方式作为设计输入；然后经一系列转换程序、自动布局布线、模拟仿真的过程；然后生成配置 FPGA 器件的数据文件，对 FPGA 器件初始化。这样就实现了满足用户要求的专用集成电路，真正达到了用户自行设计、自行研制和自行生产集成电路的目的。

FPGA 自 1985 年由美国 Xilinx 公司发明以来，得到非常迅速的发展。FPGA 显著的优点是开发周期短、投资风险小、产品上市速度快、市场适应能力强和硬

基于 FPGA 的等精度频率计的设计

件升级回旋余地大，而且当产品定型和产量扩大后，可将在生产中达到充分检验的 VHDL 设计迅速实现 ASIC 投产。由于它的诸多优点，日益受到系统设计工程师的青睐。它将定制 ASIC 的高集成度，高性能的优点与用户可编程器件 (PAL, GAL) 的灵活方便的特点结合在一起，从而避免了用定制 ASIC 设计的高成本、高风险、设计周期长和使用可编程器件低密度的缺点。可以说，FPGA 的出现是电路器件和电路设计领域的一场革命。

FPGA 具有硬件结构可重构的特点。适合于算法结构固定、运算量大的前端数字信号处理。新近推出的 FPGA 产品都采用多层布线结构，更低的核心电压，更丰富的 IO 管脚，容量可达到 100 k 个逻辑单元 (LES)，内置嵌入式 RAM 资源，内部集成多个数字锁相环，多个嵌入的硬件乘法器，所有这一切都使得 FPGA 在数字信号处理领域显示出自己特有的优势。

FPGA 作为专用集成电路 (ASIC) 领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

FPGA 采用了逻辑单元阵列 LCA (Logic Cell Array) 这样一个新概念，内部包括可配置逻辑模块 CLB (Configurable Logic Block)、输出输入模块 IOB (Input Output Block) 和内部连线 (Interconnect) 三个部分。

目前 FPGA 的品种很多，有 XILINX 的 XC 系列、TI 公司的 TPC 系列、ALTERA 公司的 FLEX 系列等，本设计使用 ALTERA 公司的 EP1C12Q240C8 芯片。

2.2 VHDL 硬件描述语言

VHDL (Very-High-Speed Integrated Circuit Hardware Description Language) 诞生于 1982 年，1987 年底，VHDL 被 IEEE 和美国国防部确认为标准硬件描述语言。1993 年，IEEE 对 VHDL 进行了修订，从更高的抽象层次和系统描述能力上扩展 VHDL 的内容，公布了新版本的 VHDL，即 IEEE 标准的 1076-1993 版本 (简称 93 版)。现在，VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言，又得到众多 EDA 公司的支持，在电子工程领域，已成为事实上的通用硬件描述语言。

VHDL 主要用于描述数字系统的结构，行为，功能和接口。除了含有许多具有硬件特征的语句外，VHDL 的语言形式和描述风格与句法是十分类似于一般的计算机高级语言。VHDL 的程序结构特点是将一项工程设计，或称设计实体 (可

基于 FPGA 的等精度频率计的设计

以是一个元件，一个电路模块或一个系统）分成外部（或称可视部分与端口）和内部（或称不可视部分），既涉与实体的内部功能和算法完成部分。在对一个设计实体定义了外部界面后，一旦其内部开发完成后，其他的设计就可以直接调用这个实体。这种将设计实体分成内外部分的概念是 VHDL 系统设计的基本点。应用 VHDL 进行工程设计的优点是多方面的。

与其他的硬件描述语言相比，VHDL 具有更强的行为描述能力：

VHDL 丰富的仿真语句和库函数，使得在设计早期就能查验设计系统的功能可行性，随时可对设计进行仿真模拟；

VHDL 语句的行为描述能力和程序结构决定了它具有支持大规模设计的分解和已有设计的再利用功能；

对于用 VHDL 完成的一个确定的设计，可以利用 EDA 工具进行逻辑综合和优化，并自动的把 VHDL 描述设计转变成门级网表；

VHDL 对设计的描述具有相对独立性，设计者可以不懂硬件的结构，也不必管理最终设计实现的目标器件是什么，而进行独立的设计。

2.3 Quartus II 开发环境

Altera Quartus II 设计软件提供完整的多平台设计环境，能够直接满足特定设计需要，为可编程芯片系统(SOPC)提供全面的设计环境。Quartus II 软件含有 FPGA 和 CPLD 设计所有阶段的解决方案（图 3）。此外，Quartus II 软件为设计流程的每个阶段提供 Quartus II 图形用户界面、EDA 工具界面以与命令行界面。可以在整个流程中只使用这些界面中的一个，也可以在设计流程的不同阶段使用不同界面。

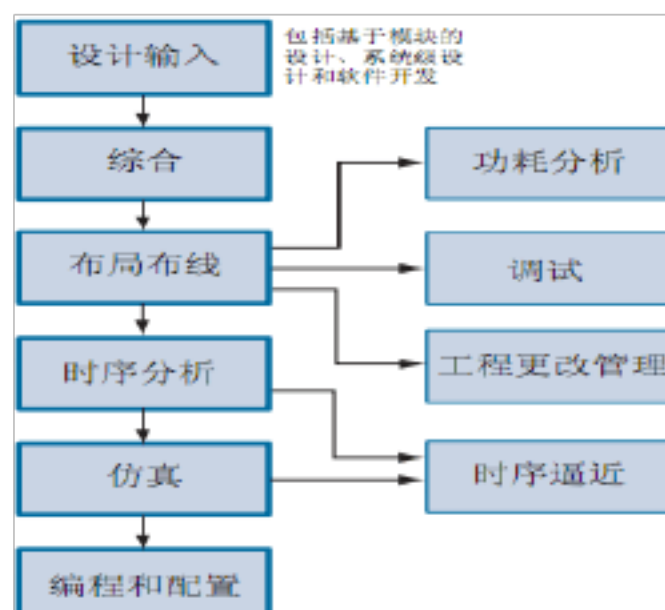


图 3 Quartus II 的设计流程

基于 FPGA 的等精度频率计的设计

2.4 E-PLAY-SOPC 系列开发板

E-Play-SOPC 适配器为符合 E_Play 总线标准的 SOPC 适配器，同时作为 EDA-VI 的标准适配器使用,通过 E_Play 总线插槽可以方便的外扩多种功能板，用户也可以自行制作开发适合自己功能板,通过 E_Play 总线插槽方便的与适配器与其它功能板进行连接组成一个小型应用系统。

E_Play-SOPC适配器布局如图4：

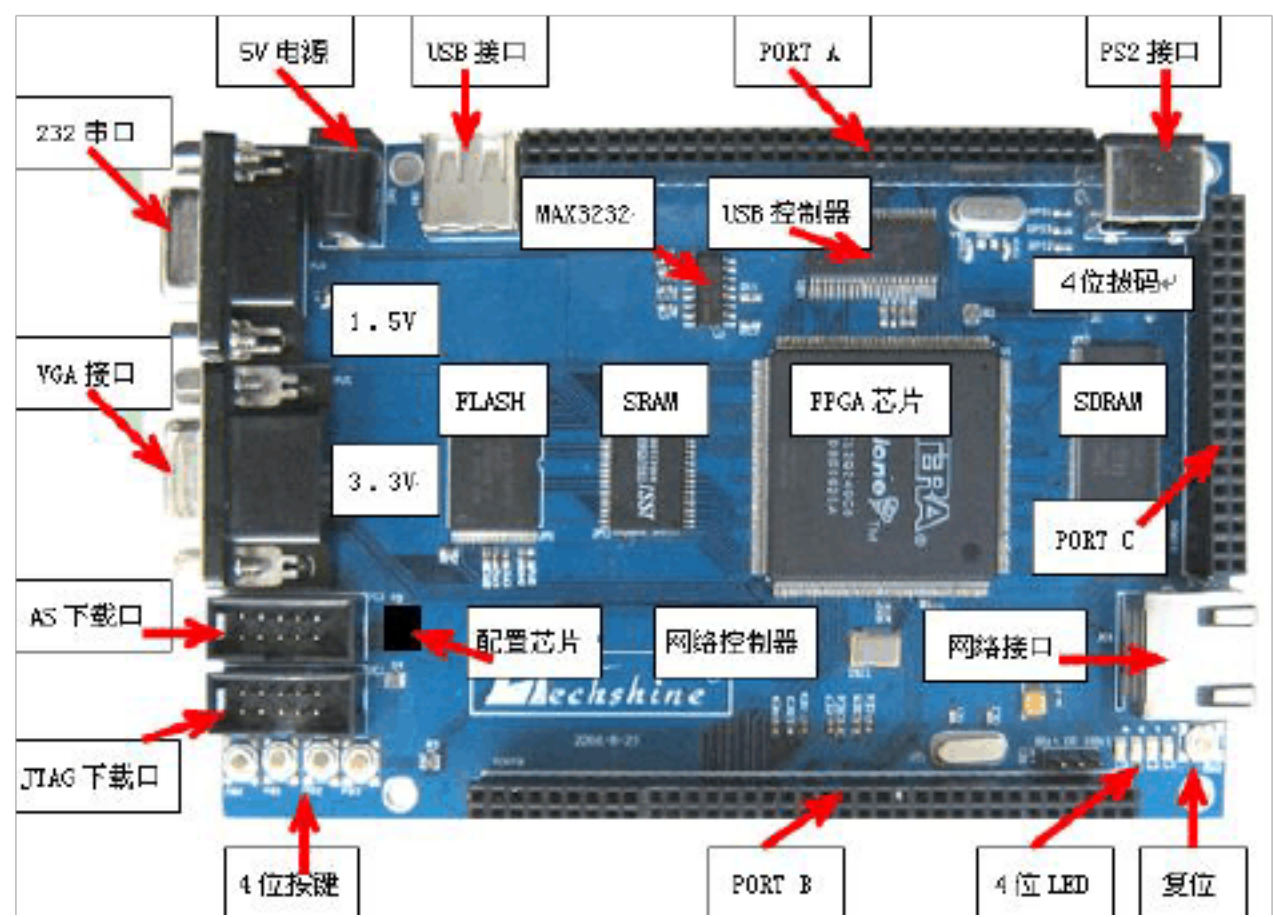


图 4 E_Play-SOPC适配器布局图

2.5 EP1C12Q240C8 芯片

EP1C12Q240C8 是 ALTERA 公司的 Cyclone 系列芯片，它支持50MHZ的内部时钟频率，可以提供2060个逻辑单元,239616 bit的存储器单元，内嵌 2 个锁相环。其型号标识和参数如下表所示。

EP1C12Q240C8 / EP1C12Q240C8N 的型号标识

EP1C	系列标识，属于 Cyclone
12	器件型号
Q	封装为 PQFP (1)
240	引脚数
C	应用级别为商业级 (2)
8	速度等级
N	符合无铅标准

EP1C12Q240C8 / EP1C12Q240C8N 其他参数

家族	FPGA
I/O 口数目	173

基于 FPGA 的等精度频率计的设计

工作电压	1.4V~3.6V
工作温度	0℃ ~ 85℃

2.6 IP Core

随着 FPGA 技术的发展，芯片的性能越来越强、规模越来越大、开发的周期越来越长，使得芯片设计业正面临一系列新的问题：设计质量难以控制，设计成本也越来越高。IP (Intelligence Property) 技术解决了当今芯片设计业所面临的难题。IP 是指可用来生成 ASIC 和 PLD 的逻辑功能块，又称 IP 核 (IP Core) 或虚拟器件 (VC)。设计者可以重复使用已经设计并经过验证的 IP 核，从而专注于整个系统的设计，提高设计的效率和正确性，降低成本。

IP 核 (IP Core) 是指用于产品应用专用集成电路 (ASIC) 或者可编辑逻辑器件 (FPGA) 的逻辑块或数据块。将一些在数字电路中常用但比较复杂的功能块，如 FIR 滤波器，SDRAM 控制器，PCI 接口等等设计成可修改参数的模块，让其他用户可以直接调用这些模块，这样就大大减轻了工程师的负担，避免重复劳动。随着 CPLD/FPGA 的规模越来越大，设计越来越复杂，使用 IP 核是一个发展趋势。理想地，一个知识产权核应该是完全易操作的——也就是说，易于插入任何一个卖主的技术或者设计方法。

丰富的 IP 内核模块库为快速地设计专用集成电路和单片系统以与尽快占领市场提供了基本保证。

3. 总体设计

3.1 流程图设计

根据等精度测频的基本原理，本文设计方案的基本思想是分为十个模块来实现其功能，如图 5 所示，并且分别用 VHDL 硬件描述语言对其进行编程，并在 EDA (电子设计自动化) 工具的帮助下，用 FPGA (EP1C12Q240C8) 实现等精度频率计的设计原理与相关程序。

首先，预置闸门时间，然后使标准频率输入标准频率计数器，待测频率通过施密特触发器整形后输入待测频率计数器，在同一个闸门时间的控制下，令两个计数器开始计数，闸门时间关闭后计数器停止计数，并在下一个闸门时间到来之前将计数器清零；将读取的待测计数器和标频计数器的计数值分别送入乘法器和

基于 FPGA 的等精度频率计的设计

除法器，运算的最终结果四舍五入后送入译码器进行BCD 转换，将结果送入锁存器，最后做柱形换算和显示。

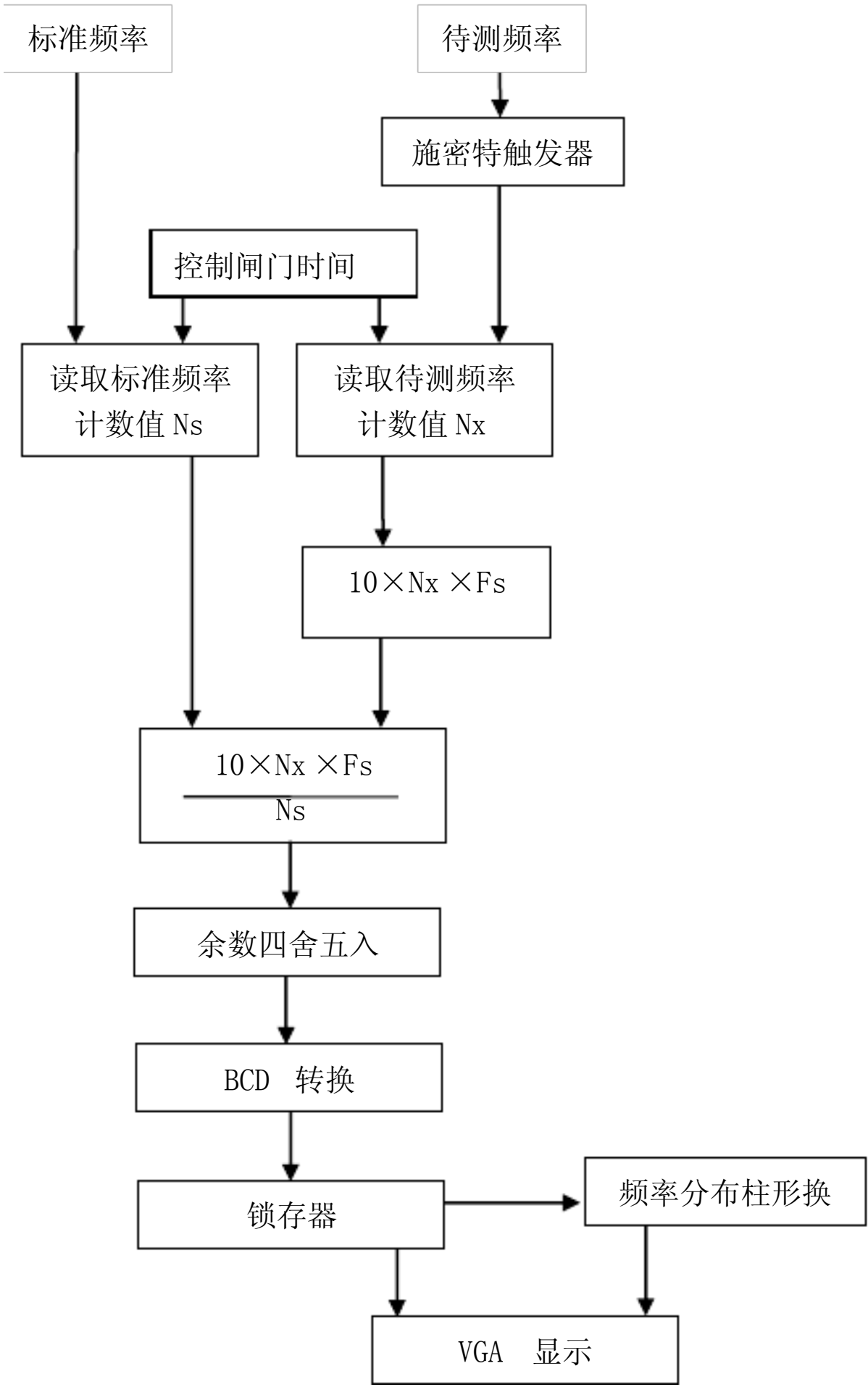


图 5 设计流程图

3.2 系统设计框图

根据系统设计流程图拟定系统框图。

由于等精度频率计是一个需对频率信号进行等精度测量和显示的系统，因此它需要设置控制电路、计数电路、计算电路、译码显示电路等。控制电路的功能是对计数电路进行工作和时序的控制。其控制要求为：先使标准频率计数电路和

基于 FPGA 的等精度频率计的设计

待测频率计数电路在 2s 内进行计数，计数结果分别送入乘法器和除法器。在第一个测量显示周期结束后，控制电路将再次发出控制信号，先对功能电路清零，然后使系统开始第二个测量周期的工作。计数电路是对被测频率信号进行频率计数测量的主功能电路。由于被测信号频率是未知的，因此用计数电路测量时，使用 27 位的二进制计数器（由于闸门时间设定为 2s，因此，频率最大可测 67MHz）。根据公式 $F_x = (N_x / N_s) F_s$ ，将读取的待测频率计数值乘以标准频率（50MHz），并扩大 10 倍，再除以标准频率计数值，将余数四舍五入，最终结果送入译码电路进行 BCD 码转换，最后送入显示电路进行显示。在显示电路中，显示的数值左移一位，以显示频率值小数点后一位数。

根据拟定的系统框图，用 VHDL 语言对各个模块进行编程，经过编译和仿真，确认无误后，生成 Symbol，利用生成的 Symbol 组成系统框图。

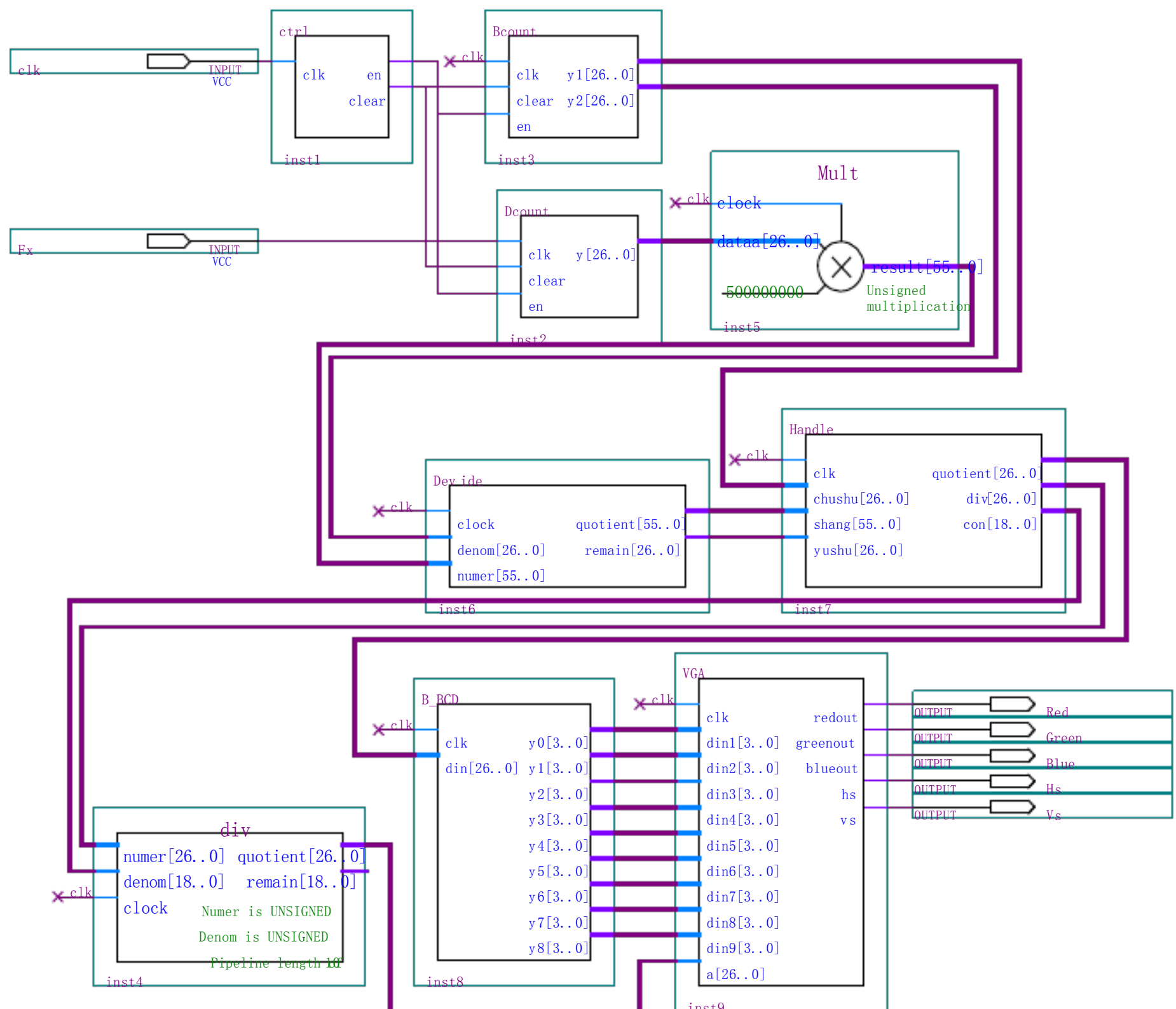


图 6 系统框图

基于 FPGA 的等精度频率计的设计

4 详细设计

4.1 前端信号处理

由于施密特除法器具有波形整形的作用,因此在信号输入端加入一个施密特触发器,以便可以测量正弦信号和三角波信号等信号。

本设计中采用专用施密特触发器 74HC14 来进行波形变换。

74HC14 是非门施密特触发器,供电电压为 2~6V,各引脚功能如下:

1-1A, 2-1Y, 3-2A, 4-2Y, 5-3A, 6-3Y, 7-电源【地】

8-4Y, 9-4A, 10-5Y, 11-5A, 12-6Y, 13-6A, 14-电源【+】

接好电源和地 6 组 A Y 就是 6 个非门, A 为输入端, Y 为输出端

4.2 分频器的设计

分频器是 FPGA 设计中使用频率非常高的基本单元之一。尽管目前在大部分设计中还广泛使用集成锁相环(如 altera 的 PLL, Xilinx 的 DLL)来进行时钟的分频、倍频以与相移设计,但是,对于时钟要求不太严格的设计,通过自主设计进行时钟分频的实现方法仍然非常流行。首先这种方法可以节省锁相环资源,再者,这种方式只消耗不多的逻辑单元就可以达到对时钟操作的目的。

本系统的系统时钟为 50MHz,需分频得到 0.5Hz、1Hz 的频率,分别用于门闸时间和显示器的显示时间。

本设计主要采用的分频方法的主程序如下:

```
process(clk) is                                --clk 为系统时钟, 50MHz
variable q:integer range 0 to 24999999; --q 为计数值
begin
    if clk'event and clk='1' then
        if q=24999999 then                    --当计数到 2499999 时将 q 归零
            q<=0;                               --使 gate 信号取反, 这样就得
            gate<=not gate;                    --到了 1Hz 的频率信号
        else
            q:=q+1;
        end if;
    end if;
end process;
```

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/508040065033007004>