

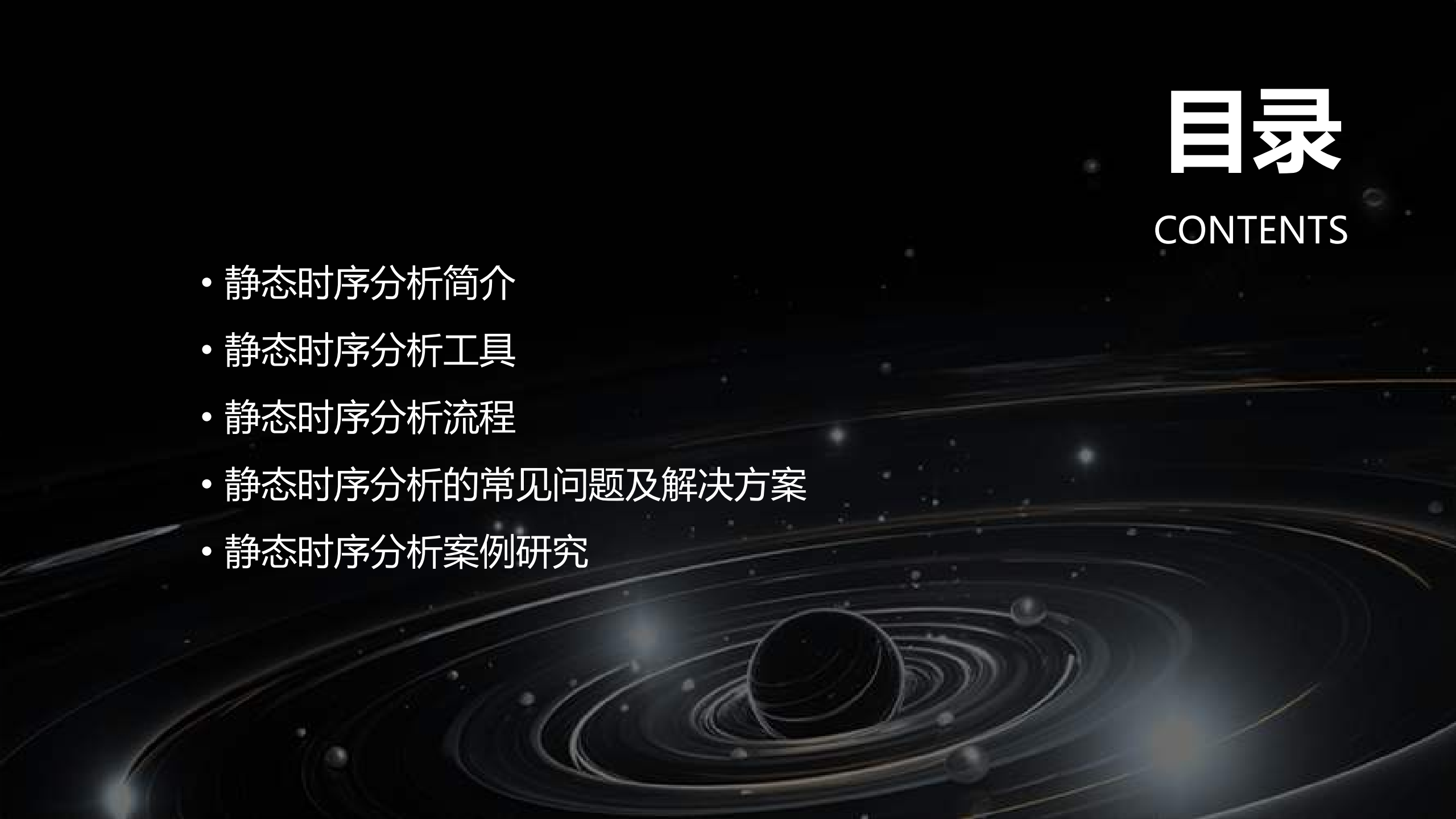
BIG DATA EMPOWERS
TO CREATE A NEW
ERA

静态时序分析课件



目录

CONTENTS

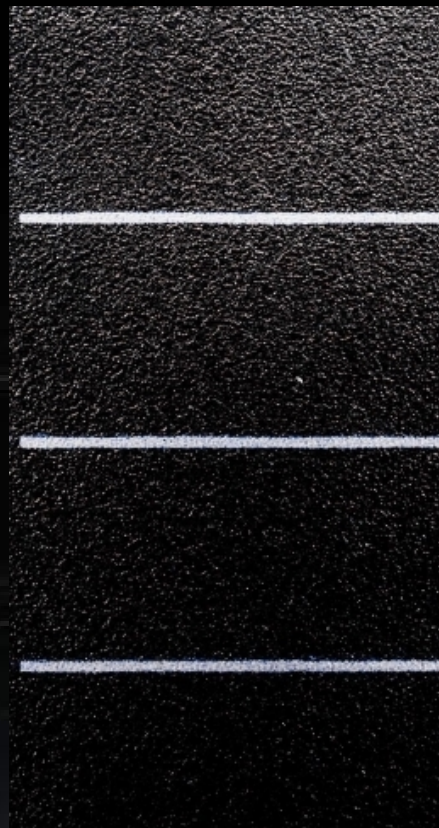
- 静态时序分析简介
 - 静态时序分析工具
 - 静态时序分析流程
 - 静态时序分析的常见问题及解决方案
 - 静态时序分析案例研究
- 

BIG DATA EMPOWERS
TO CREATE A NEW
ERA

01

静态时序分析简介

定义与目的



定义

静态时序分析是一种用于验证数字集成电路或系统是否满足时序要求的方法。



目的

确保数字电路在所有可能的工作条件下都能正常工作，避免因时序违规导致的功能错误或系统崩溃。



工作原理

● 阶段一

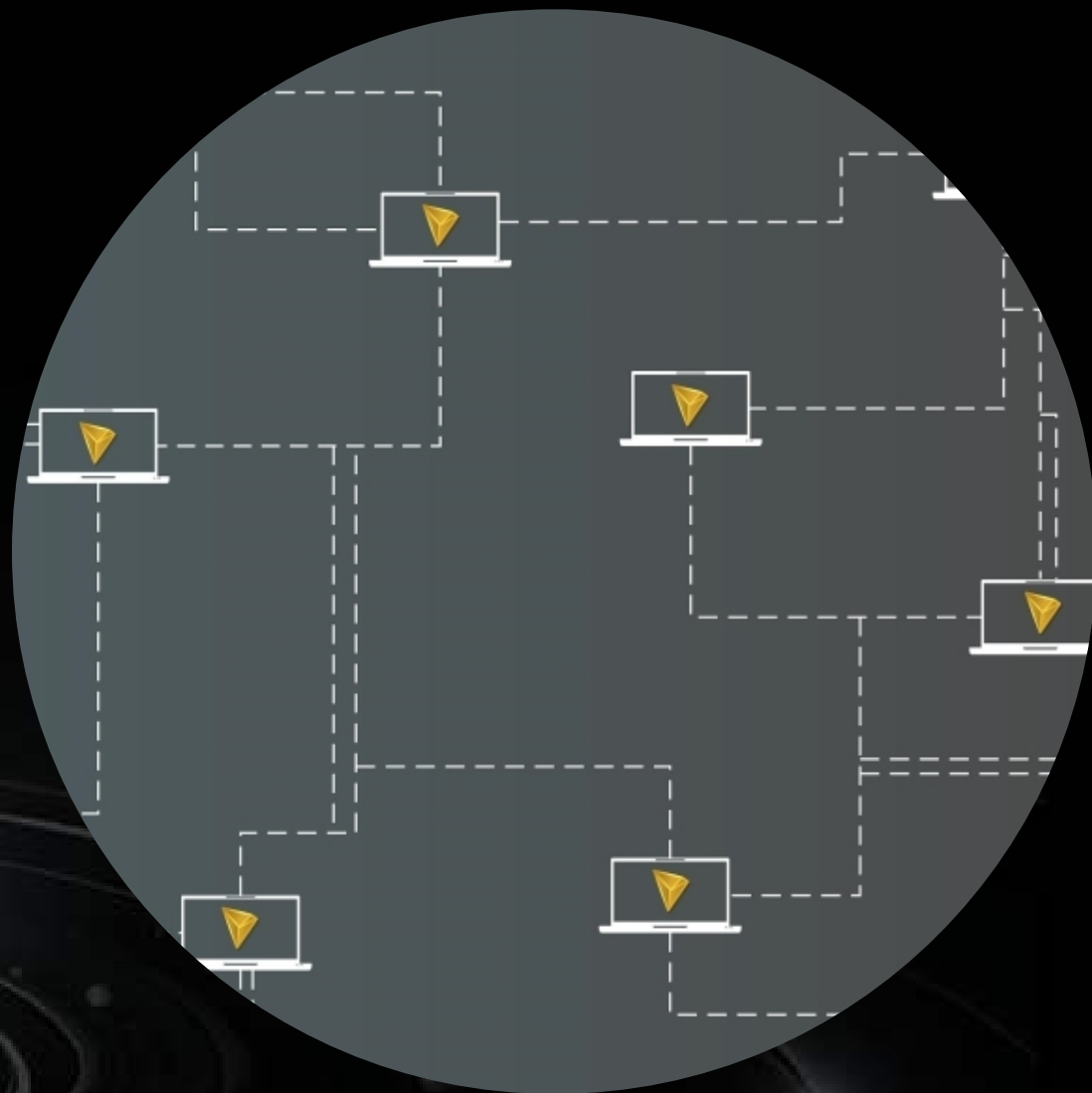
将设计转换为时间形式，以便于分析。

● 阶段二

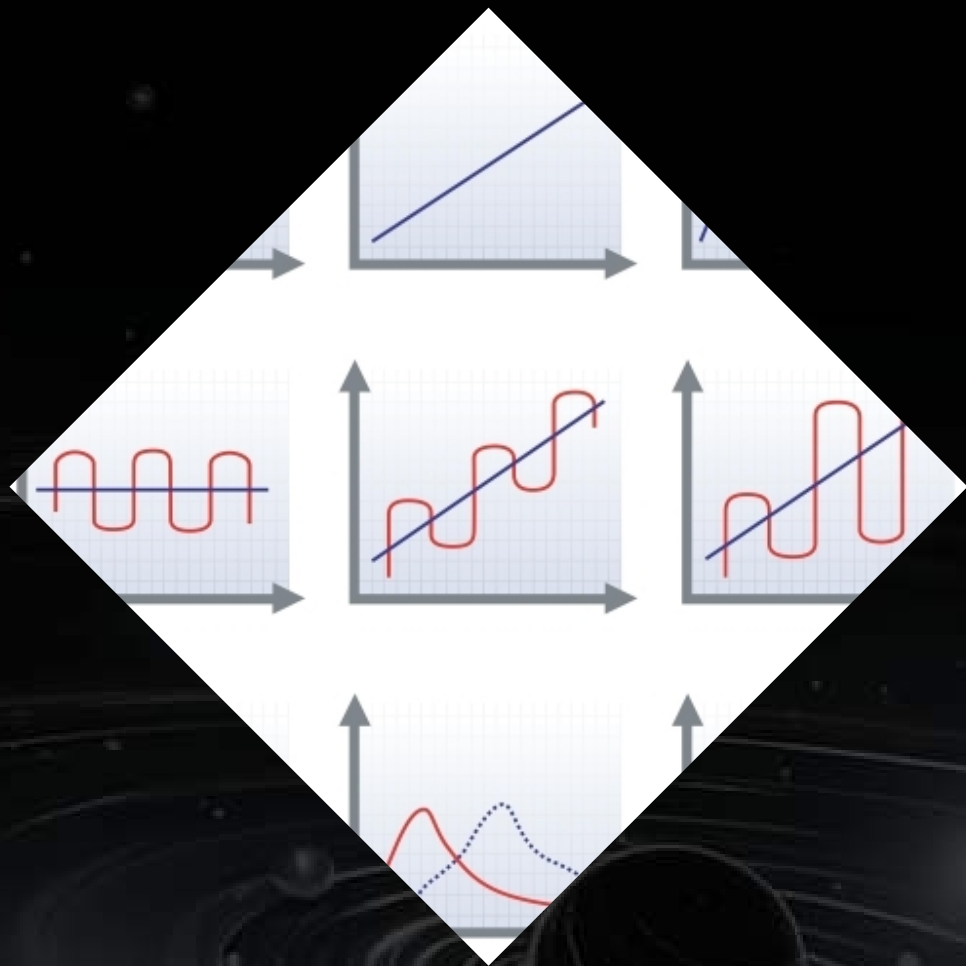
使用逻辑方程和时序约束来模拟电路的行为。

● 阶段三

检测潜在的时序违规，如建立时间和保持时间违例。



静态时序分析的重要性



提高设计的可靠性

通过提前发现并修复时序问题，可以显著提高数字电路的可靠性。

减少测试工作量

静态时序分析可以在早期发现设计中的问题，从而减少后期测试和调试的工作量。

降低成本

通过在早期阶段发现并修复问题，可以避免在后期阶段进行昂贵的修复工作，从而降低开发成本。

BIG DATA EMPOWERS
TO CREATE A NEW
ERA

02

静态时序分析工具



静态时序分析工具介绍

01

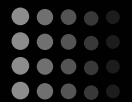
静态时序分析工具是一种用于检查数字电路设计是否满足时序要求的工具。

02

它通过分析电路的逻辑和时序关系，检测潜在的时序问题，如建立时间、保持时间违例等。

03

静态时序分析工具在数字电路设计中具有重要的作用，能够提高设计的可靠性和稳定性。



静态时序分析工具的使用方法

选择合适的静态时序分析工具，如Cadence、Synopsys等公司的产品。

01

准备设计数据，包括网表文件、库文件等。

02

03

设定分析参数，如时钟周期、时钟偏斜等。

04

运行分析，生成时序报告。

05

根据报告结果进行修正和优化。





静态时序分析工具的优缺点



优点

能够全面检查设计的时序问题，提供详细的时序报告，有助于快速定位问题并优化设计。

缺点

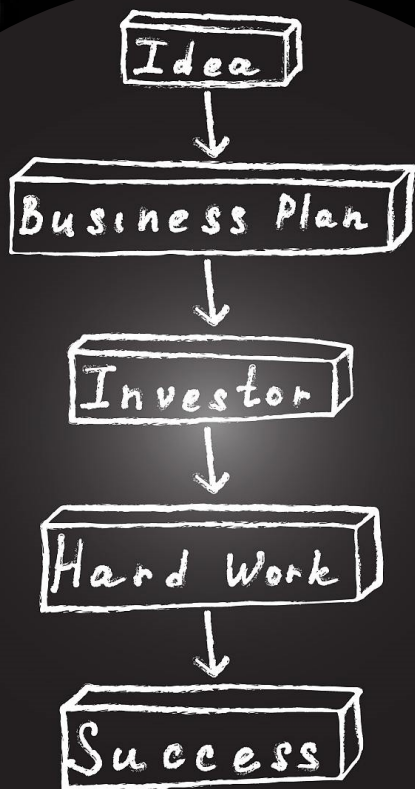
对于大型设计，分析时间较长，需要较高的计算资源。同时，对于一些复杂的设计问题，静态时序分析工具可能无法完全覆盖所有的情况。

03

静态时序分析流程



建立时间约束



建立路径约束

根据设计要求，确定关键路径和时序要求，为每个路径设置约束条件。

建立时钟约束

定义时钟源、时钟网络和时钟域，确保时钟信号的正确传递和同步。

建立时序例外

针对特定条件下的时序要求，设置时序例外，如时钟偏斜、时钟分频等。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：
<https://d.book118.com/525224242033011142>