

电子技术课程设计

——数字钟



学院：华科学院

专业、班级：电气 062201H

姓名：范晓晶

学号：200622050104

指导教师：柴婷婷

2008 年 12 月

目 录

一、设计任务与要求.....	2
二、总体框图.....	2
三、选择器件.....	5
四、功能模块.....	16
五、总体设计电路.....	21
六、设计体会.....	24

一、设计要求及任务

数字钟是一种用数字显示秒、分、时的计时装置，与传统的机械钟相比，它具有走时准确、显示直观、无机械传动装置等优点，因而得到了广泛的应用：小到人们日常生活中的电子手表，大到车站、码头、机场等公共场所的大型数显电子钟。多功能数字钟由以下几部分组成：555 定时器组成的多谐振荡器构成秒脉冲发生器；校正电路；六十进制的秒、分计数器和十二进制的时计数器；秒、分、时的数码显示部分；报时电路等。具体要求如下：钟是一种用数字电路技术实现时、分、秒计时的装置。通过数字钟的制作进一步了解中小规模集成电路。

设计指示：

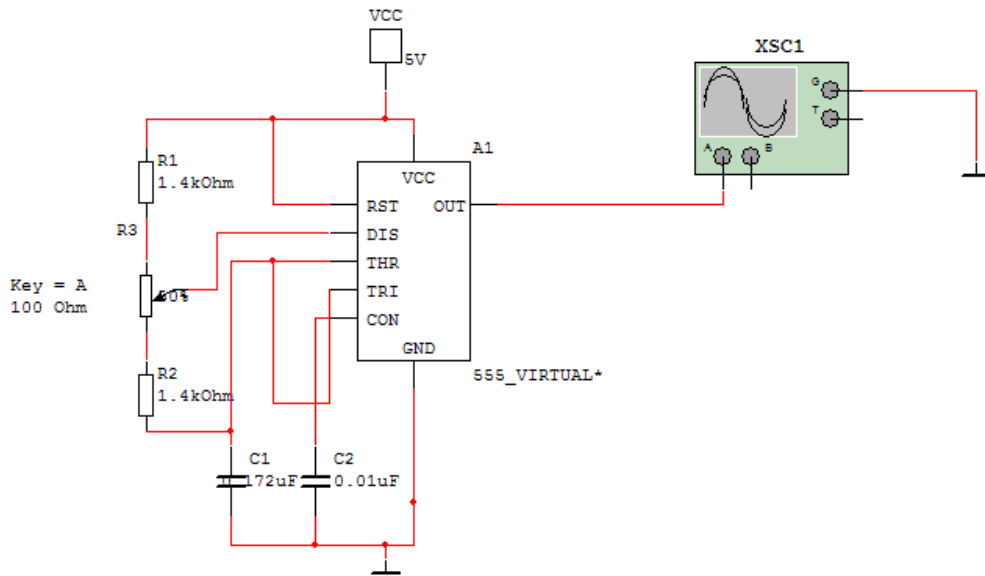
- 1、时间以 12 小时为一个周期；
- 2、显示时、分、秒；
- 3、具有校时功能，可以分别对时、分进行单独校时，使其校正到标准时间；
- 4、计时过程具有报时功能，当时间到达正点前 10 秒进行蜂鸣报时；
- 5、用 555 多振荡器提供表针时间基准信号。

设计要求：

- 1、画出电路原理图（或仿真电路图）
- 2、元器件及参数选择；
- 3、电路仿真；
- 4、接线及调试。

二、总体框图

- 1.数字钟组成电路的总体框图如下图所示：



图二、秒脉冲发生器

2. 计数译码显示

秒、分、时分别为 60、60 和 12 进制计数器。秒、分均为六十进制，即显示 00~59，它们的个位为十进制，十位为六进制。时为十二进制计数器，显示为 00~11，个位仍为十进制，而十位为二进制，但当十进位计到 1，而个位计到 2 时清零，就为十二进制了。

所有计数器的显示均采用 DCD-HEX 译码显示器。

3. 校正电路

在刚刚开机接通电源时，由于时、分为任意值，所以，需进行调整。置开关在手动位置，分别对时、分、秒进行单独计数，计数脉冲由秒脉冲输入。

4. 整点报时电路

当时计数器在每次计到整点时，需要报时，这可采用译码电路来解决，即当分为 59 时，且秒计数到 50 时，输出一高电平，经过一三极管驱动喇叭鸣叫，完成整点报时，时间持续十秒。

三、选择器件

实验所用器件如下：

表一 实验所用器件

序号	器件	功能	器件数
1	74LS160	可预置 BCD 异步清零十进制加法计数器	6 片
2	74LS04	反相器	4 片
3	74LS00	2 输入端四与非门	1 片
4	74LS08	2 输入端四与门	1 片
5	555	用于构成多谐振荡器	1 片
7	三极管 8099	放大驱动	1 个
8	扬声器 1/4W,8Ω	鸣叫报时	1 个
9	电容 (0.172 uF)	用于构成多谐振荡器	1 个
10	电容 (0.01uF)		1 个
11	电阻 (1.4KΩ)		2 个
12	电阻 (100Ω)		1 个
13	电位器(4.7KΩ)	用于构成连续脉冲电路	1 个
14	电阻(200Ω)		1 个
15	单刀双掷开关	用于校正电路	4 个
16	数字电子技术实验箱	搭接硬件调试结果	1 个
17	直流稳压电源		各一个

各器件的逻辑框图、逻辑符号、逻辑功能表、内部原理图及逻辑功能分别如下：

1.74LS04

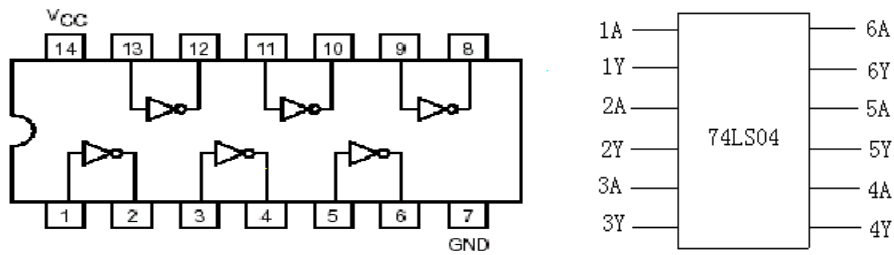
仔细观察一下三极管组成的开关电路即可发现，当输入为高电平时输出等于低电平，而输入为低电平时输出等于高电平。因此输出与输入的电平之间是反向关系，它实际上就是一个非门。(亦称反向器)。

在一些实用的反向器电路中，为了保证在输入低电平时三极管可靠地截止，常在三极管的基极连接一个电阻 R 和一个负电源 V_{EE} 。由于接入了电阻 R_2 和负电源 V_{EE} ，即使输入的低电平信号稍大于零，也能使三极管的基极为负电位，从而

使三极管能可靠地截止，输出为高电平。

当输入信号为高电平时，应保证三极管工作在深度饱和状态，以使输出电平接近于零。为此，电路参数的配合必须合适，保证提供给三极管的基极电流大于深度饱和的基极电流。

所用芯片 74LS04 是一个有六个反相器的芯片，其逻辑框图如下图所示：



图三、芯片 74LS04 管脚图

逻辑功能表如下图：

输入	输出
L	H
H	L

表二 74LS04 逻辑功能表



$$\text{逻辑函数式 } Y = \bar{A}$$

逻辑功能描述如下：

当输入端为低电平 0 时，输出端为高电平 1；

当输入端为高电平 1 时，输出端为低电平 0；

即输出端的电平与输入端的电平总是相反的。

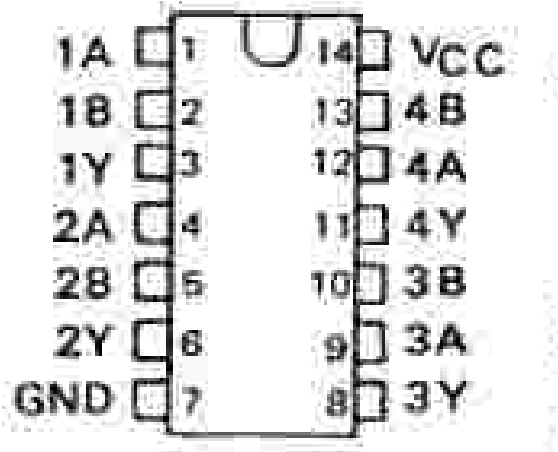
2.74LS00

74 系列与非门的电线电缆与三极管组成的 TTL 反相器的典型电路的区别在于输入端改成了射极三极管。

多发射极三极管的基区和集电区是共用的，而在 P 区的基区上制作了两个（或多个）高掺杂的 N 型区，形成了两个互相独立的发射极。我们可以把多发

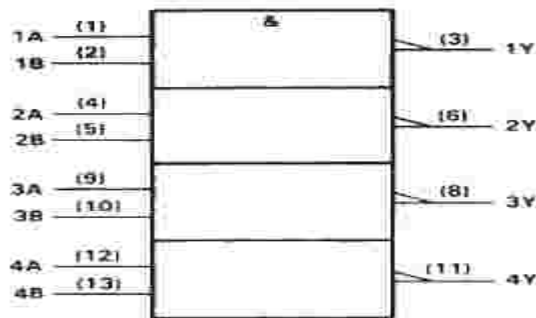
射极三极管看作两个发射极独立而基极和集电极分别并联在一起的三极管多发射极三极管可实现与运算。

所用芯片 74LS00，其逻辑框图如下图所示：



图四、芯片 74LS00 逻辑框图

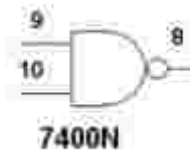
逻辑符号图：



图五、芯片 74LS00 逻辑符号

逻辑功能表如下图：

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H



表三 74LS00 逻辑功能表

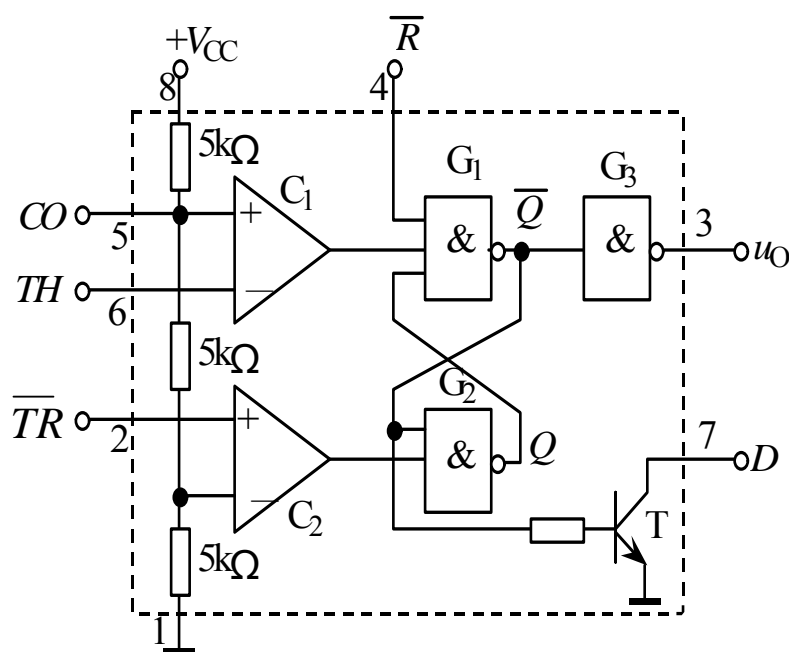
$$\text{逻辑函数式 } Y = \overline{AB}$$

逻辑功能描述如下：

其中 A、B 为输入端，Y 为输出端。

当输入端 $A=0$ ， $B=0$ 时，输出端 Y 为高电平，即 $Y=1$ ；
 当输入端 $A=0$ ， $B=1$ 时，输出端 Y 为高电平，即 $Y=1$ ；
 当输入端 $A=1$ ， $B=0$ 时，输出端 Y 为高电平，即 $Y=1$ ；
 当输入端 $A=1$ ， $B=1$ 时，输出端 Y 为低电平，即 $Y=0$ ；
 即两个输入端 A 、 B 的输入电平只要有一个是低电平 0 ，输出端 Y 就为高电平 1 ；只有 A 、 B 两个输入端的电平同时为 1 时，输出端 Y 才为低电平 0 。

3.555



图六、555 芯片内部结构

图六为国产双极型定时器 CB555 内部电路结构原理图。它是由比较器 C_1 和 C_2 ，基本 RS 触发器和集电极开路的放电三极管 T_D 三部分组成。

其中 V_H 是比较器 C_1 的输入端， v_{I2} 是比较器 C_2 的输入端。 C_1 和 C_2 的参考电压 V_{R1} 和 V_{R2} 由 V_{CC} 经三个五千欧电阻分压给出。在控制电压输入端 V_{CO} 悬空时， $V_{R1}=2/3V_{CC}$ ， $V_{R2}=1/3V_{CC}$ 。如果 V_{CO} 外接固定电压，则 $V_{R1}=V_{CO}$ ， $V_{R2}=1/2V_{CO}$ 。

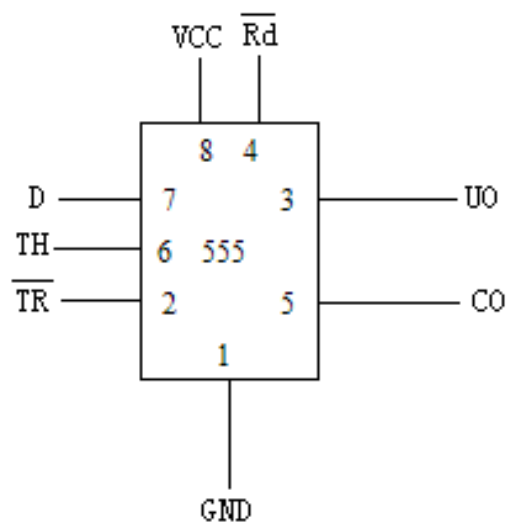
R_D 是置零输入端。只要在 R_D 端加上低电平，输出端 v_o 便立即被置成低电平，不受其他输入端状态的影响。正常工作时必须使 R_D 处于高电平。图中的数码 1—8 为器件引脚的编号。

555 定时器是一种中规模集成电路，只要在外围配上适当阻容元件，就可以方便地构成脉冲产生和整形电路。

555 集成定时器由五个部分组成：

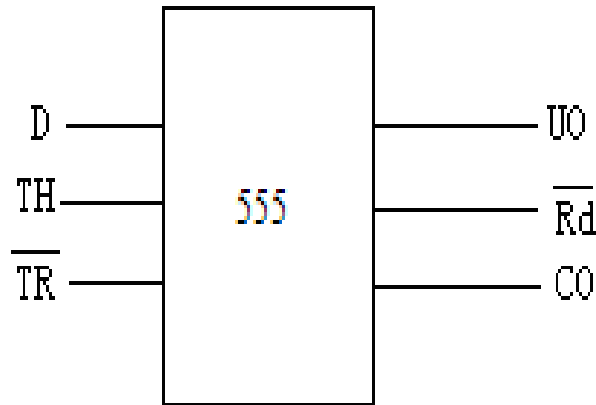
- 1、基本 RS 触发器：由两个“与非”门组成
- 2、比较器：C1、C2 是两个电压比较器
- 3、分压器：阻值均为 5 千欧的电阻串联起来构成分压器，为比较器 C1 和 C2 提供参考电压。
- 4、晶体管开关和输出缓冲器：晶体管 VT 构成开关，其状态受 \bar{Q} 端控制。输出缓冲器就是接在输出端的反相器 G3，其作用是提高定时器的带负载能力和隔离负载对定时器的影响。

其逻辑框图如下：



图七、逻辑框图

逻辑符号如下：



图八、555 逻辑符号

逻辑功能表如下图：

表四 555 逻辑功能表

输入			输出	
阈值输入(v_{I1})	触发输入(v_{I2})	复位(R_D)	输出(v_O)	放电管 T
×	×	0	0	导通
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	1	截止
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	0	导通
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	不变	不变

逻辑功能描述如下：

555 定时器的主要功能取决于比较器，比较器的输出控制 RS 触发器和放电管 T 的状态。图中 R_D 为复位输入端，当 R_D 为低电平时，不管其他输入端的状态如何，输出 v_O 为低电平。因此在正常工作时，应将其接高电平。

由图可知，当 5 脚悬空时，比较器 C_1 和 C_2 比较电压分别为 $2/3V_{CC}$ 和 $1/3V_{CC}$ 。

当 $v_{I1} > 2/3V_{CC}$ ， $v_{I2} > 1/3V_{CC}$ 时，比较器 C_1 输出低电平，比较器 C_2 输出高电平，基本 RS 触发器被置 0，放电三极管 T 导通，输出端 v_O 为低电平。

当 $v_{I1} < 2/3V_{CC}$ ， $v_{I2} < 1/3V_{CC}$ 时，比较器 C_1 输出高电平，比较器 C_2 输出低电平，基本 RS 触发器被置 1，放电三极管 T 截止，输出端 v_O 为高电平。

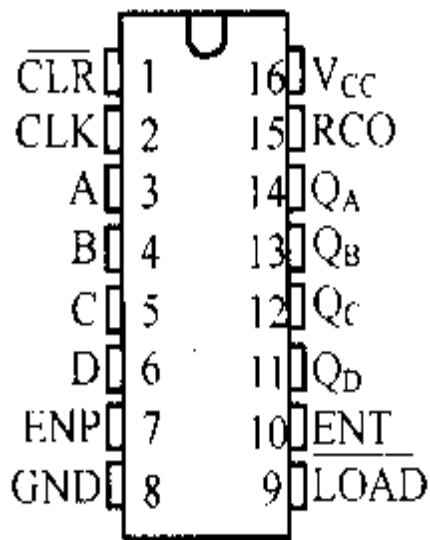
当 $v_{I1} < 2/3V_{CC}$ ， $v_{I2} > 1/3V_{CC}$ 时，基本 RS 触发器 $R=1$ 、 $S=1$ ，触发器状态不变，

电路亦保持原状态不变。综合上述分析，可得 555 定时器功能表如表 10.11.1 所示。如果在电压控制端（5 脚）施加一个外加电压（其值在 $0-V_{CC}$ 之间），比较器的参考电压将发生变化，电路相应的阈值、触发电平也将随之变化，进而影响电路的工作状态。

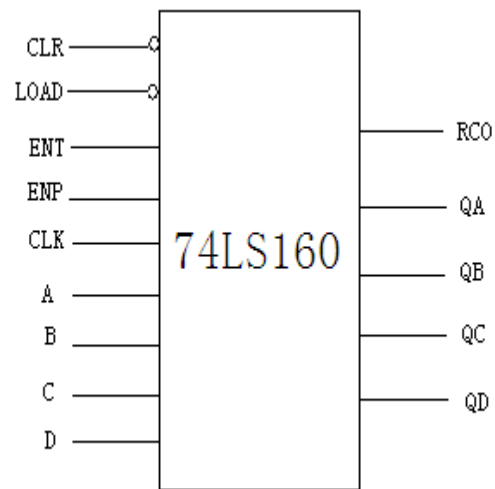
4.74LS160

74LS160 为十进制同步加法计数器

逻辑框图如图：



逻辑符号如图：



图十、74LS160 逻辑符号

图九、74LS160 逻辑框图

逻辑功能表如下：

表五、74LS160 逻辑功能

CP	\overline{Rd}	\overline{LD}	EP	ET	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 C=0)
	1	1	1	1	计数

逻辑功能描述如下：

由逻辑图与功能表知，在 CT74LS160 中 LD 为预置数控制端，D0-D3 为数据输入端，C 为进位输出端，RD 为异步置零端，Q0-Q3 位数据输出端，EP 和 ET 为工作状态控制端。

当 $\overline{RC}=0$ 时所有触发器将同时被置零，而且置零操作不受其他输入端状态的影响。当 $\overline{RC}=1$ 、 $\overline{LD}=0$ 时，电路工作在预置数状态。这时门 G16-G19 的输出始终是 1，所以 FF0-FF3 输入端 J、K 的状态由 D0-D3 的状态决定。当 $\overline{RC}=\overline{LD}=1$ 而 $EP=0$ 、 $ET=1$ 时，由于这时门 G16-G19 的输出均为 0，亦即 FF0-FF3 均处在 $J=K=0$ 的状态，所以 CP 信号到达时它们保持原来的状态不变。同时 C 的状态也得到保持。如果 $ET=0$ 、则 EP 不论为何状态，计数器的状态也保持不变，但这时进位输出 C 等于 0。当 $\overline{RC}=\overline{LD}=EP=ET=1$ 时，电路工作在计数状态。从电路的 0000 状态开始连续输入 16 个计数脉冲时，电路将从 1111 的状态返回 0000 的状态，C 端从高电平跳变至低电平。利用 C 端输出的高电平或下降沿作为进位输出信号。

其内部原理图如下图所示：

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/527015033152006164>