

简易数字存储示波器设计

【摘要】:该简易数字存储示波器的设计是介绍基于FPGA高速数据实时采集与存

储、显示技术，采用FPGA中的A/D采样控制器负责对A/D模拟信号的采样控制，

并将A/D转换好的数据送到FPGA的内部RAM中存储;RAM的地址信号由地址发

生计数器产生。当完成1至数个周期的被测信号的采样后，在地址发生计数器的

地址扫描下，将存于RAM中的数据通过外部的D/A进入示波器的Y端;与此同时，

地址发生计数器的地址信号分配后通过另一个D/A构成锯齿波信号，进入示波器

的X端。从而实现数字存储示波器的功能。

本设计的ADC0809芯片作为高速信号的A/D转换，SRAM6264存储器作为采

样后数据的存储，DAC0832芯片作为信号的D/A转换。程序设计采用超高速硬件

描述语言VHDL描述，对其A/D转换、A/D采样控制器及数据的存储、数字输出

进行编程、仿真，完成硬件和软件的设计，以及实验样机的部分调试。

关键词:数字存储示波器，FPGA，0809ADC，0832ADC，SRAM6264存储器

Abstract: The simple design of digital storage oscilloscope is to introduce high-speed FPGA-based real-time data acquisition and storage, display technology, the use of FPGA in the A / D sampling controller is responsible for A / D analog signal to control the sampling and A / D conversion to the good data in the FPGA is internal RAM memory; RAM address signal generated by the address counter. Upon the completion of cycle 1 to a few samples of the measured signal, the address counter in the address scan, will keep the data in RAM through the external D / A into the scope of the Y-side; At the same time, address counter After the allocation of the address signal through a D / A constitute a sawtooth signal, the X-side into the oscilloscope. In order to achieve the functions of digital storage oscilloscope.

The design of the chip as a high-speed signal ADC0809 the A / D converter, SRAM6264 memory for data storage after sampling, DAC0832 chip as a signal of D / A conversion. Programming using ultra-high-speed hardware description language VHDL description of its A / D conversion, A / D sampling controller and data storage, digital output programming, simulation, the completion of the design of hardware and software, as well as some of the experimental prototype debugging .

Key words: digital storage oscilloscope, FPGA, ADC0809, DAC0832, SRAM6264 memory

【摘要】 1

【Abstract】：错误~未定义书签。1 引言 2

1(数字存储示波器的现状及应用 3 2. 系统设计 3

2.1设计任务及要求 3

2.2 设计思路 5

2.3 整体设计方案 5

2.4 指标计算 6

3. 单元电路设计 7

3.1 输入电路设计 7

3.2 触发电路 8

3.3 控制器的设计 9

3.3.1 采样控制器设计 9

3.3.2 存储器控制设计 15

3.3.2.1 存储器数据写入控制 17

3.3.2.2 存储器数据读出控制 20

3.3.3 显示控制设计 23

4、结论 错误~未定义书签。26 参考文献 错误~未定义书签。27 致谢
28

附录 29

引言

随着现代电子技术的不断发展，通常用的模拟示波器逐渐向数字示波器转变，所谓数字存储就是在示波器中以数字编码的形式来储存信号，数字存储示波器的简称是DSO (“Digital Storage Oscilloscope”)。在DSO 中，输入信号的波形先经A/D变换器将其模拟波形转换成了数字信号，然后存储在RAM中，需要时将RAM中存储的内容调出，经过D/A 转换器，将数字信号恢复为模拟量，显示在示波器的屏幕上。在数字存储示波器中，信号的处理功能和其显示功能是完全分开的，我们在示波器上看到的波形是由采集到的数据经过重构后得到的波形，而不是加到输入端上信号的波形。

在计算机控制电路中,常常需要采集各种模拟量信号,并对它们进行模数转换,将外部设备的模拟信号转换成数字信号,以便计算机进行加工处理，在很多情况下,计算机应用系统中用普通MCU(如51、196等单片机或控制型DSP)是可以完成系统任务的。

但随着数字信号处理技术的快速发展,在一些由单片机构成的较小系统中,对信号进行实时

处理要求最底层的数据采集系统必须具有更高的采样速率,同时能提供更丰富的原始数据信息。

然而,采集系统的采样速率不仅与APD转换器的转换速率等因素有关,同时还与数据传送方式密切相关。

通常的数据传送方式有两种:第一种是由单片机直接控制的数据传送方式;第二种是DMA控制的数据传送方式。

这两种数据传送方式由于要受到指令执行时间和CPU时钟的限制,因此,其采样速率一般都不超过MHz级。

本设计项目是利用FPGA直接控制ADC0809对模拟信号进行采样,然后将转换好的8 位二进制数据迅速存储到FPGA内部的SRAM6264存储器中,在完成对模拟信号一个周期的采样后,再由FPGA控制将存储器中的采样数据读出,最后经过DAC0832转换得到模拟信号在显示器中显示。

1、数字存储示波器的现状及应用

与传统模拟示波器相比(数字存储示波器不仅具有可存储波形、体积小、功耗低,使用方便等优点,而且还具有强大的信号实时处理分析功能。在电子测量领域,数字存储示波器正在逐渐取代模拟示波器。但目前我国使用高性能数字存储示波器主要依靠国外产品,而且价格昂贵。因此研究数字存储示波器具有重要价值。借于此,提出了一种简易数字存储示波器的设计方案,经测试,性能优良。

示波器作为一种有效的信号测试、调试工具,已从二十世纪五六十年代的电子管模拟示波器,发展到目前功能齐全、性能先进的数字存储示波器。但由于数字示波器价格偏高,国内还在普遍使用各种传统模拟示波器。设计一种具有数据采集、模/数转换、数据存储及分析处理的简易逻辑电路,并将该电模拟示波器结合起来使用,由普通模拟示波器将被测信号显示出来,这样的示波器即是简易数字存储示波器。

数字存储示波器目前在电子测量领域广泛应用,随着电子技术的不断发展,数字存储示波器将在各个领域得到普遍应用。

2、系统设计

2.1 设计任务及要求

1、设计任务

设计一个简易数字存储示波器,该简易数字存储示波器具有对模拟信号采样、存储和显示功能,示意图如图(1)所示。

输入电路 A/D转换 D/A转换 双口RAM Y输入 (DAC0832) (ADC0809)

D/A转换 X输入 (DAC0832)

直接控制逻辑普通示波触发电路 器 电路(FPGA)

图(1)简易数字存储示波器结构简图

2、设计要求

1、单次触发后存储并连续显示;

2、

垂直分辨率?32个点/div , 水平分辨率?20点/div;(假设示波器显示屏水

4

平刻度为10div , 垂直刻度为8div)

3、仪器首用内触发方式;(上升沿触发)

4、观测波形无明显失真。

2.2 设计思路

题目要求设计一个简易数字存储示波器，设计中采用ADC0809对模拟信号的采样，用SRAM6264存储器作为转换后数字信号的存储，最后信号经过DAC0832转化输出，再在普通示波器显示。整个控制部分采用FPGA来完成，其中包括采样控制、存储控制和显示控制。键盘和显示电路由单片机89C2051实现。采用硬件语言VHDL实现控制电路，再在max+plus?软件中编译、仿真，最后下载到可编程芯片中实现其功能。

2.3 整体设计方案

具体的方案论证与选择:

方案一:控制电路部分我们采用中小规模的集成电路，放大衰减电路采用中小规模集成电路，模/数转换电路、数/模转换电路采用大规模集成电路，触发电路、锯齿波电路采用模拟电路，完成Y输入测试信号和X同步锯齿波信号等功能。这方案的特点是中小规模的集成电路、模拟电路应用技术成熟，能可靠的完成简易示波器的基本功能，但系统功能及频率要求过高，所以电路过于复杂。

方案二:控制电路部分我们采用功能较强的89C2051单片机为核心，放大衰减电路采用中小规模集成电路，模/数转换电路、数/模转换电路采用大规模集成电路，触发电路采用中小规模的模拟集成电路，锯齿波电路采用数/模转换集成电路，完成Y输入测试信号和X同步锯齿波信号等功能。这方案的特点是使用了单片机灵活可编程性，简化了硬件电路，能方便的对整个系统进行改进和扩展。89C2051单片机应用技术成熟能成功的完成简易数字存储示波器功能。但不89C2051单片机编程不熟悉者甚为困难。

方案三:控制电路部分我们采用大规模数字可编程逻辑电路为核心，键盘和显示电路由单片机控制，最后通过外围I/O实现FPGA和单片机数据传输。放大衰减电路采用中小规模集成电路，模/数转换电路、数/模转换电路采用大规模集成电路，触发电路采用中小规模的模拟集成电路，锯齿波电路采用数/模转换集成电路，完成Y输入测试信号和X同步锯齿波信号等功能。这方案的特点是使用了大规模数字可编程逻辑电路，利用仿真软件通过硬件语言VHDL编程编译、仿真得到预期的目的，然后再下载到可编程逻辑芯片中，能方便的对系统进行改进和扩展。整个系统具有灵活的可编程性，具有很高的稳定性、可靠性强。

综合以上三种方案，方案三易于实现。

2.4 指标计算

5

2.4.1 垂直分辨率与A/D位数的关系:

示波器的垂直方向共8格，要求每格32级，共有 $32 \times 8 = 256$ 级。 $n = ?$
 $256 = 2^8$ ，因而，采用8位A/D即可，垂直分辨率为8位。

2.4.2 扫描速度与采样频率的关系：

假设扫描速度为 t_s/div ,每格点数为 n , 采样频率为 f_s ,则: $f_s = n/t$,当 $n = 20$ 时 , 针对不同的扫描速度 , 可得到不同的采样频率见表1。

表1

$t \quad f_s$

0.2s 100Hz

0.2ms 100kHz

20us 1MHz

在 n 一定的情况下 , 扫描速度的改变是通过改变采样频率实现的。由表1可知所需最高频率为1MHz。对于50kHz的正弦波 , 采样频率为1MHz时 , 每周期可采样20个点 , 由采样值可以很好地恢复采样前信号。因而 , 选用采样频率为1MHz以上的A/D即可满足单路输入时对频率范围的要求。若考虑到双路输入的情况 , 所需A/D最高采样频率应为2MHz。因而 , 应选择采样频率为2MHz以上的A/D。

考虑到是设计具有双踪示波功能 , 故其采样频率应为对应的表1中 f_s 的2倍。通过分频得到相应频率 , 在控制信号作用下通过数据选择器的切换 , 实现不同采样率 , 即不同扫描速度。

2.4.3 垂直灵敏度与前端放大倍数的关系:

显然 , 垂直灵敏度和前端放大倍数成反比例关系 , 垂直灵敏度的调整可以通过改变前端程控放大器的增益来实现。需要设计一个增益为 x 、 $10x$ 、 $100x$ 的程控增益放大器。

设计要求垂直灵敏度最大为 1V/div ，示波器垂直方向共8格，故显示信号的幅度在-

$4\text{V}, +4\text{V}$ 之间。我们选用的A/D(ADC0809)输入电压为 $0, 5\text{V}$ ，这可通过电平变换用电压幅度在-

$5\text{V}, +5\text{V}$ 之间的信号得到。为了使输入信号幅度也在-

$4\text{V}, +4\text{V}$ 之间， x 应为1.25，即程控增益放大器的三档增益分别为1.25、12.5、125。当输入信号 $V_{\max}, ?0.04$ 时， $G=125$ ；当输入信号 $0.04?, V_{\max}, ?0.4$ 时， $G=12.5$ ；当输入信号 $0.4?, V_{\max}, ?4$ 时， $G=1.25$ 。

2.4.4 存储容量与水平分辨率的关系：

存储容量表明水平方向划分细微的程度，它是水平分辨率的倒数。示波器显示屏水平刻度为 10div ，水平分辨率为20点/ div 。显示满屏幕需要 $10*20=200$ 个点，即水平分辨率为 $1/200=0.5$ ，考虑到是双踪示波器，故需存储 $200*2=400$ 个点；再考虑到水平移动扩展显示功能，要求对存储深度增加一倍。故存储器容

6

量应至少为 $400*2=800$ ，选用1片1K RAM即可。

2.4.5 显示频率和存储器读出频率的关系：

显示屏上显示的信号是从存储器中读出的信号，只要使观察到的波形不闪烁即可。本设计中，单通道时刷新频率为 200Hz ；双踪示波时，每通道刷新频率为 100Hz 。通过计算，每秒读出点数为 $200*200=40\text{K}$ 。即RAM读出频率为 40kHz ，要求D/A转换速率高于 40kHz 。

3、单元电路设计

3.1 输入电路设计

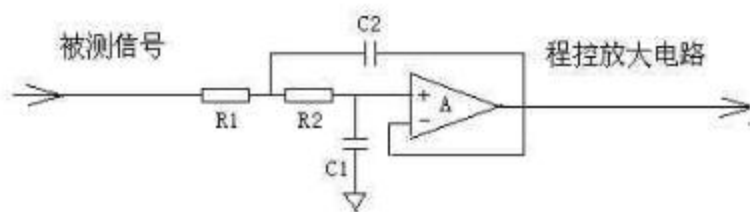
输入电路整体设计框图如下：

至A/D 被测信号

低通滤波器 程控放大器 电平变换+ADC

3.1.1 低通滤波器

为了防止混叠，需要设计抗混叠滤波器，抗混叠滤波器电路图如下：



该滤波器是用运算放大器构成有源低通滤波器;也是二阶Butterworth低通滤波器。

3.1.2 程控放大器

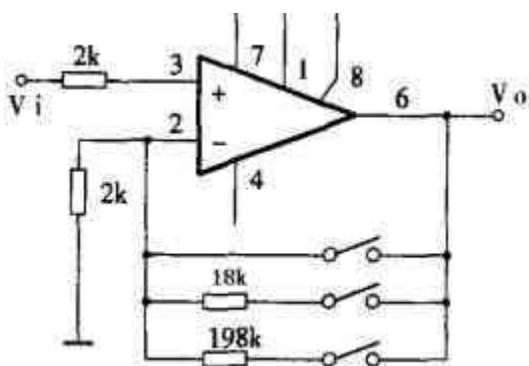
显然，用电阻网络+模拟开关+运放即可实

此处要求程控放大器有3种增益。

现，并且简洁可靠。下面给出两种设计方案。

方案一先衰减到1/2,

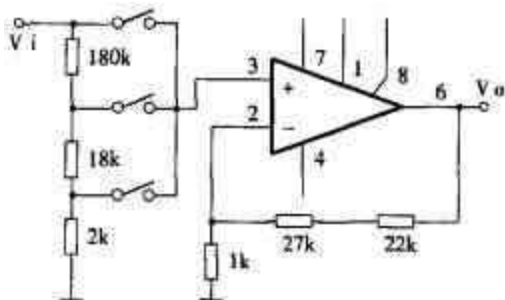
然后通过程控增益放大器分别放大1、10、100。如下图所示:



7

方案二先分别程控衰减到1、1/10、1/100,

然后通过固定增益为50的同相放大器。如下图所示:

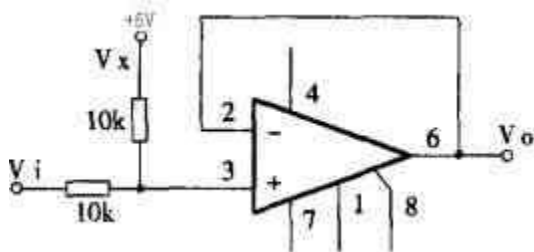


模拟开关的导通电阻并不是0, 通常约为100—300欧, 方案一中模拟开关的导通电阻对放大倍数的影响很大。当导通电阻为200欧时,
由导通电阻引起的误差 $200/2k = 1/10 = 10\%$, 要想减小误差, 需要将所有电阻增大相同倍数。要想使误差减小到1%, 所有电阻要增加到10倍。这样会导致电阻值偏大, 难以做到阻值精确。

由于运放的输入电阻高达几十兆欧, 相比之下, 方案二中模拟开关的导通电阻对衰减倍数的影响可以忽略, 只要挑选阻值精确即可实现精确衰减。因而, 我们选择方案二。

3.1.3 电平变换+ADC

A/D转换选用ADC0809, 其最高采样频率为20MHz, 8位分辨率。由题目要求分析, ADC0809可以胜任此采样工作。ADC0809的输入电压为0.5V。为了能适应双极性信号, 在A/D前加电平转换电路。将-5.5V信号变为0.5V。电路图如下:

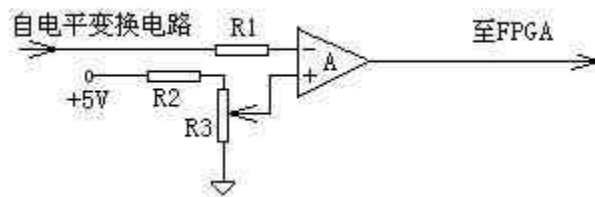


3.2 触发电路

采用高速比较器,

信号自同相端输入(保证上升沿触发),当输入信号电平高于参考电平时产生脉冲(低电平0V, 高电平接近5V),
FPGA内部通过检测其输出脉冲决定是否触发。比较器参考电平即为触发电平,
可通过电位器调节。这样便实现了内触发、上升沿触发且触发电平可调的要求。电路图如下:

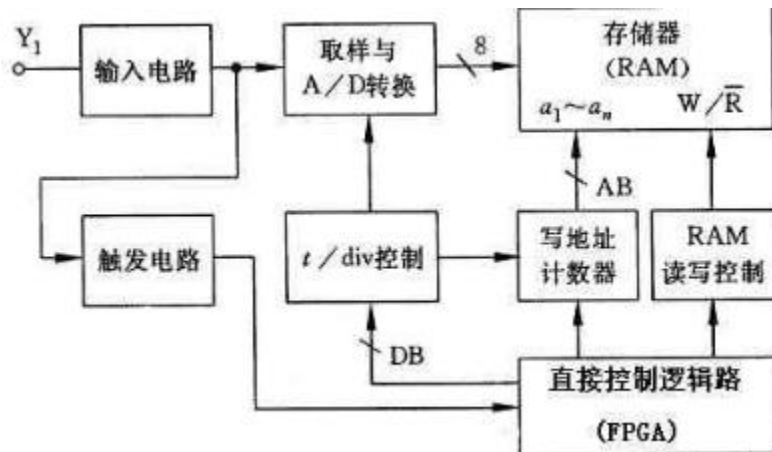
8



3.3 控制器设计

3.3.1 采样控制器设计

用ADC0809芯片对被测信号进行A/D转换, 并且用实时取样的方法对信号进行采集, 实时取样的采集电路框图如下:



a. 取样与A/D转换:

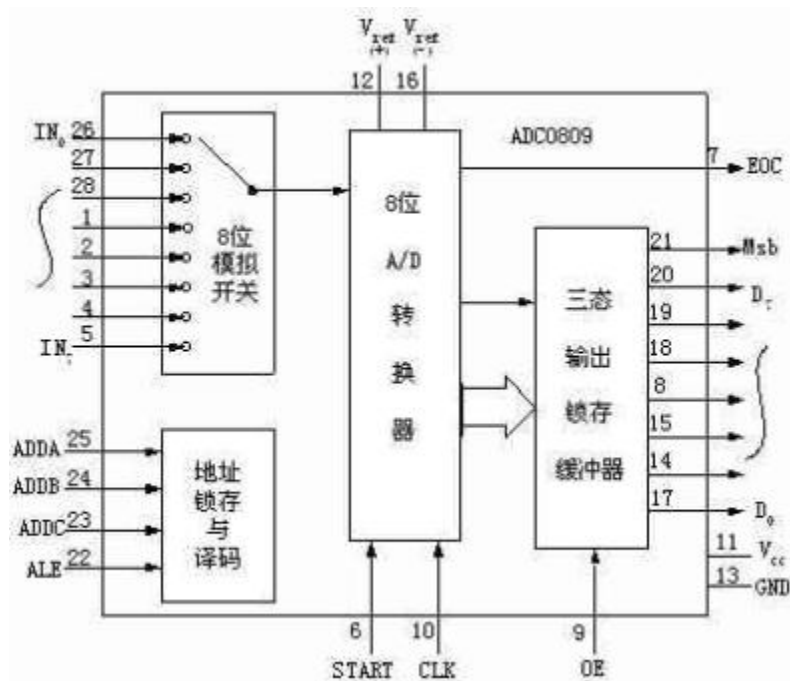
取样就是把每一个离散模拟量进行A/D转换，就可以得到相应的数字量。如果把这些数字量按序存放在存储器中，就相当于把一幅模拟波形以数字量的形式存储起来

。A/D转换器是波形采集的关键部件。它决定了示波器的最大取样速率、存储带宽以及垂直分辨率等多项指标。目前存储示波器采用的A/D转换的形式有逐次比较型、并联比较型、串并联型以及CCD器件与A/D转换器相配合的形式等。

并联比较式A/D转换器的转换速度可以做得较高，但价格也较贵，是数字存储示波器采用最多的一种形式。

根据以上分析我们采用ADC0809作为A/D转换芯片，它适用于高采样频率信号。下面具体介绍ADC0809芯片：

9



ADC0809内部结构

由ADC0809内部结构可知:ADC0809的分辨率为8位，有8根数字量输出线(D₀, D₁, D₂, D₃, D₄, D₅, D₆, D₇),带有三态输出锁存器。并设置了一根输出允许信号OE，高电平有效

。当读数据时，要使OE置高，打开三态输出锁存器，把转换的数字量送到数据线上。

ADC0809的转换启动信号是STATE，高电平有效。转换结束信号为EOC，转换过程中为低电平，转换结束变为高电平，可利用EOC的上升沿申请中断，或作查询之用。ADC0809时序图如下：

$t_{START_{ws}}$

ALE_{twet} :最小启动脉冲宽度 $ws_{ADDA,B,C}$ 100ns(典型) t_s 200ns(最大)

IN :地址设置时间 t_s 100ns(典型) 200ns(最大)表较器 内部输入 t :转换时间100 μs_{pct}

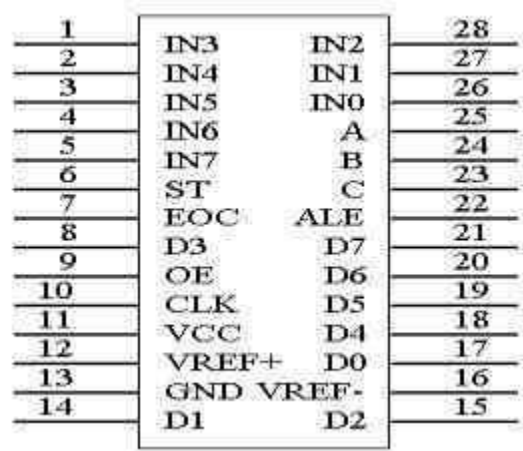
:转换结束时间 t_{EOC} O.E. 2 μs +8时钟周期 t_{EOC} t_c

数据 D7,D0

ADC0809时序图

10

ADC0809芯片为28引脚为双列直插式封装，其引脚排列见下图。



ADC0809芯片引脚

下面对ADC0809芯片引脚的功能说明如下介绍：

IN7,IN0——模拟量输入通道

ALE——

地址锁存允许信号。对应ALE上跳沿，A、B、C地址状态送入地址锁存器中。

START——

转换启动信号。START上升沿时，复位ADC0809;START下降沿时启动芯片，开始进行A/D转换;在A/D转换期间，START应保持低电平。本信号有时简写为ST。

A、B、C——

地址线。通道端口选择线，A为低地址，C为高地址，引脚图中为ADDA，ADDB和ADDC。其地址状态与通道对应关系见表3-1。

CLK——

时钟信号。ADC0809的内部没有时钟电路，所需时钟信号由外界提供，因此有时钟信号引脚。通常使用频率为500KHz的时钟信号

EOC——

转换结束信号。EOC=0,正在进行转换;EOC=1,转换结束。使用中该状态信号即可作为查询的状态标志，又可作为中断请求信号使用。

D7,D0——

数据输出线。为三态缓冲输出形式，可以和单片机的数据线直接相连。D0为最低位，D7为最高

OE——

输出允许信号。用于控制三态输出锁存器向单片机输出转换得到的数据。OE=0，输出数据线呈高阻;OE=1，输出转换得到的数据。

Vcc—— +5V电源。

Vref——

参考电源参考电压用来与输入的模拟信号进行比较，作为逐次逼近的基准。其典型值为+5V($V_{ref(+)}=+5V$, $V_{ref(-)}=-5V$)。

图中多路开关可选通8个模拟通道，允许8路模拟量分时输入，共用一个A/D转换器进行转换，这是一种经济的多路数据采集方法。地址锁存与译码电路完成对A、B、C

3个地址位进行锁存和译码，其译码输出用于通道选择，其转换结果通过三态输出锁存器存放、输出，因此可以直接与系统数据总线相连，表3-1为通道选择表。

11

表3-1 通道选择表

C	B	A	被选择的通道
0	0	0	IN ₀
0	0	1	IN ₁
0	1	0	IN ₂
0	1	1	IN ₃
1	0	0	IN ₄
1	0	1	IN ₅
1	1	0	IN ₆
1	1	1	IN ₇

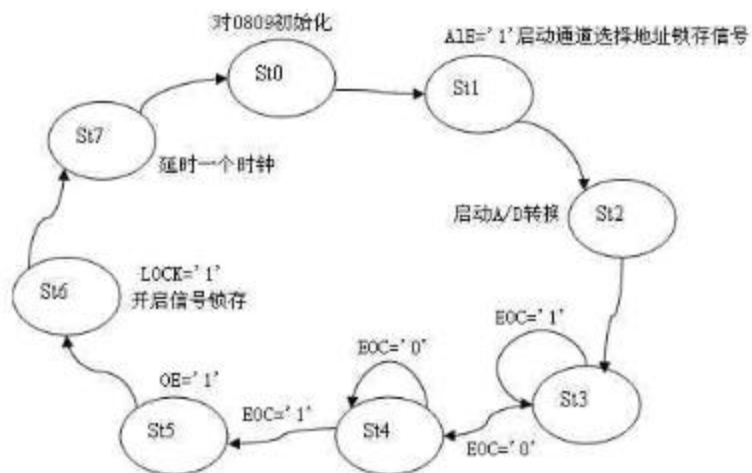
b.扫描速度t/div控制器:

扫描速度t/div控制器实际上是一个时基分频器，用于控制A/D转换速率以及存储器的写入速度，它由一个准确度、稳定性很好的晶体振荡器、一组分频器和相应的组合电路组成。

c.写地址计数器:

写地址计数器用来产生写地址信号，它由二进制计数器组成，计数器的位数由存储长度来决定。写地址计数器的计数频率应该与控制A/D转换器的取样时钟的频率相同。

d. 以上控制可以采用有机状态机实现，用硬件描述语言VHDL编程。



控制ADC0809采样控制状态图

采样控制器的源程序如下：

```

library ieee;

use ieee.std_logic_1164.all;

entity ADCINT is
12
port( d : in std_logic_vector(7 downto 0);

clk, eoc : in std_logic;

oe, adda : out std_logic;

ale, start : out std_logic;

lock0 : out std_logic;

q : out std_logic_vector(7 downto 0));

end ADCINT;

architecture behav of ADCINT is

```

```

type states is (st0, st1, st2, st3, st4,st5,st6,st7);

signal current_state, next_state: states :=st0;

signal regl : std_logic_vector(7 downto 0);

signal lock : std_logic;

begin

adda<='1';

q<=regl;lock0<=lock;

pro: process(current_state,eoc)

begin

case current_state is

when st0=> ale<='0';start<='0';oe<='0';lock<='0';
next_state<=st1;

when st1=> ale<='1';start<='0';oe<='0';lock<='0';
next_state<=st2;

when st2=> ale<='1';start<='1';oe<='0';lock<='0';
next_state<=st3;

when st3=> ale<='1';start<='1';oe<='0';lock<='0';

if (eoc='0') then next_state<=st4;

else next_state<=st3;

end if;

```

```
when st4=> ale<='0';start<='0';oe<='0';lock<='0'; if  
(eoc='1') then next_state<=st5;
```

```
else next_state<=st4;
```

```
end if;
```

```
when st5=> ale<='0';start<='1';oe<='1';lock<='0';
```

```
next_state<=st6;
```

```
13
```

```
when st6=> ale<='0';start<='0';oe<='1';lock<='1';
```

```
next_state<=st7;
```

```
when st7=> ale<='0';start<='0';oe<='1';lock<='1';
```

```
next_state<=st0;
```

```
when others => next_state<=st0; end case;
```

```
end process pro;
```

```
pr: process(clk)
```

```
begin
```

```
if (clk'event and clk='1') then current_state <= next_state;
```

```
end if;
```

```
end process pr;
```

```
reg:process (lock)
```

```
begin
```

```
if lock='1' and lock'event then regl<=d; end if;
```

该方式可以随意对存储器的任何单元进行读写操作。其主要应用于多CPU的共享数据存储、数据传送等。该方式中，读、写控制线、地址总线 and 数据总线有两套。根据两端口之间数据的传送方向为单向或双向，又有单向数据总线和双向数据总线之分。

2(顺序写方式。

该方式对RAM的写操作只能顺序写入。这种情况适用于对象特性与时间紧密相关或传送数据与顺序密切相关的场合，如文件传送、时序过程、波形分析等。根据写控制逻辑的不同，可对RAM进行循环写入或一次写入方式。该方式下的读操作可以是存储器映像读或顺序读。

在读、写使用独立的地址总线和数据总线时，可以同时RAM不同单元进行读写操作。根据不同控制逻辑的要求，对读写时钟、时钟使能端口可以适时设置，以满足控制需要。

b、根据以上分析及设计的要求，我们选用SRAM中的6264存储器作为数据的存储，并且采用硬件描述语言VHDL编程实现存储控制。

下面具体介绍6264数据存储器：

它是一种 $8K \times 8$ 的静态存储器，其内部组成如图(a)所示，主要包括 512×128 的存储器矩阵、行、列地址译码器以及数据输入输出控制逻辑电路。地址线13位，其中A12,A3用于行地址译码，A2,A0和A10用于列地址译码。在存储器读周期，选中单元的8位数据经列I/O控制电路输出;在存储器写周期，外部8位数据经输入数据控制电路和列I,O控制电路，写入到所选中的单元中。

