

组合逻辑电路课程设计——

4 位二进制全加器/全减器

作者：

学号：

课程设计题目要求：

- 1) 使用 74LS283 构成 4 位二进制全加/全减器。
- 2) 阐述设计思路。
- 3) 列出真值表。
- 4) 画出设计的逻辑图。
- 5) 用 VHDL 对所画电路进行仿真。

目录

摘要	2.....
1 总电路设计.....	3.....
1.1 硬件电路的设计.....	3.....
1.2 全加器 (full-adder)	3.....
1.2.1 四位二进制加法器.....	5.....
1.2.1.1 串行进位加法器.....	5.....
1.2.1.2 超前进位加法器.....	6.....
1.2.1.3 超前位链结构加法器.....	6.....
1.3 全减器 (full-subtractor)	7.....

1.4总电路设计.....	8.....
2 设计思路.....	9.....
2.1全加器.....	9.....
2.2全减器.....	9.....
3 真值表	10.....
4 逻辑图与仿真.....	12.....
5 软件程序的设计.....	16.....
6 结果分析与总结.....	19.....

摘要

加法器是数字系统中产生数的和的装置。加数和被加数为输入，和数与进位为输出的装置为半加器。若加数、被加数与低位的进位数为输入，而和数与进位为输出则为全加器。例如：为了节省资源，减法器与硬件乘法器都可以用加法器来构成。但宽位加法器的设计是很耗资源的，因此在实际的设计和开发中需要注意资源的利用率和进位速度两方面的问题，多位加法器的构成主要有两种：并行进位和串行进位。并行进位加法器设有并行进位产生逻辑，运行速度比串行进位快；串行进位是将全加器采取并行级联或菊花链式级联构成多位加法器。加法器也是常用作计算机算术逻辑部件，执行逻辑操作、移位与指令调用。此外还可以用来表示各种数值，如：**BCD** 加三码，主要的加法器是以二进制作运算。

本文将采用 4 位二进制并行加法器作为折中选择，所选加法器为 **74LS283**，**74LS283** 是 4 位二进制先行进位的加法器，它只用了几级逻辑来形成和及进位输出，故由其构成 4 位二进制全加器；而四位全减器可以用加法器简单的改造而来，最后本文采用 **VHDL**对四位全加器/全减器进行仿真。

关键字

74LS283全加器、四位二进制、迭代电路、并行进位、串行进位、**VHDL**

1 总电路设计

1.1 硬件电路的设计

该 4 位二进制全加器以 74LS283 为核心，74LS283 芯片引脚图如下图，本文采用先行进位方式，极提高了电路运行速度，下面是对 4 位全加器电路设计的具体分析。

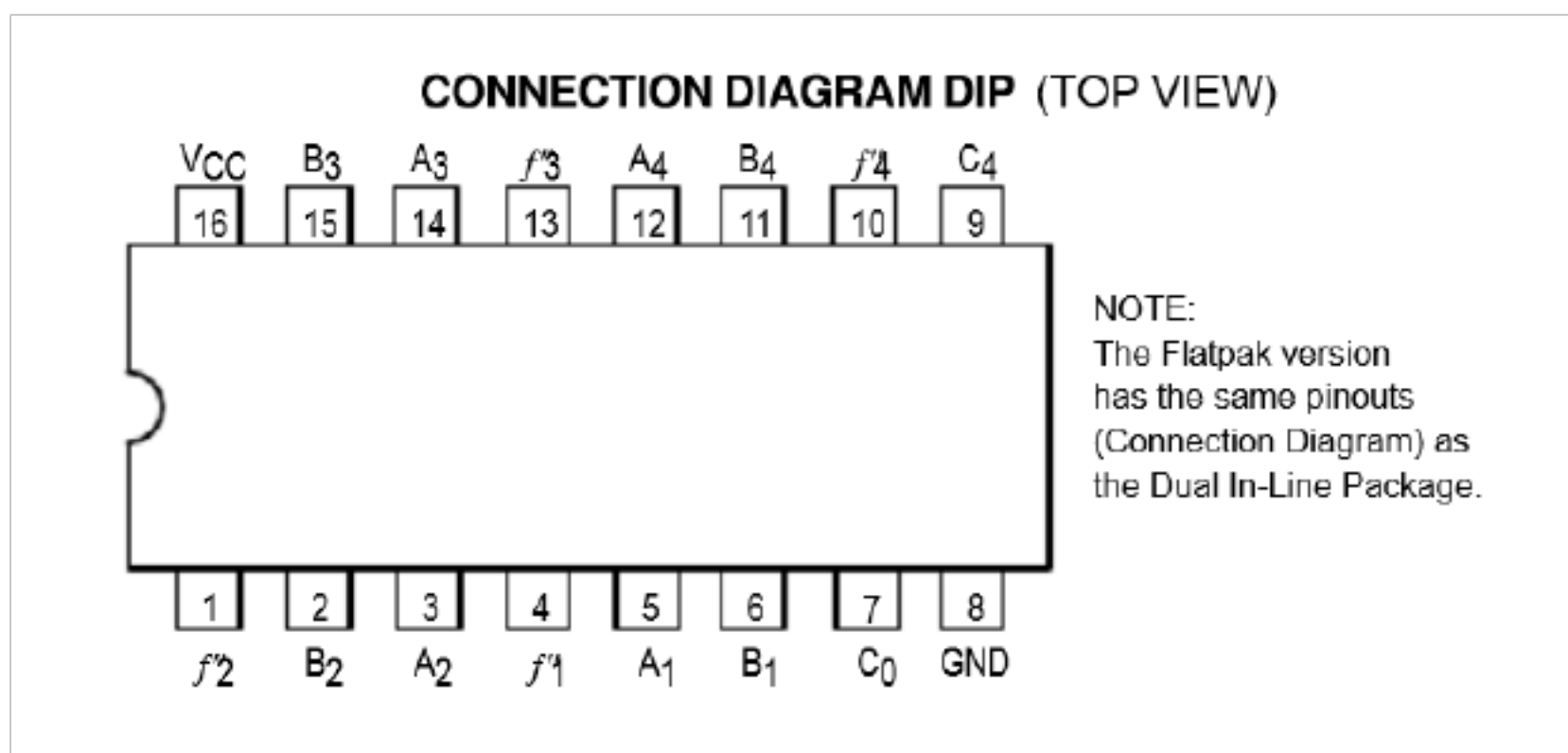


图 1.1 74LS283 芯片引脚图

1.2 全加器 (full-adder)

全加器是针对超过一位的操作数相加，必须提供位与位之间的进位而设计的一种加法器，具有广泛而重要的应用。它除了有加数位 X 和 Y ，还有来自低位的进位 C_{in} 和输出 S 与给高位的进位 C_{out} ，具体满足下面等式：

$$S = X \oplus Y \oplus C_{in} = X \cdot Y' \cdot C_{in}' + X' \cdot Y \cdot C_{in}' + X' \cdot Y' \cdot C_{in} + X \cdot Y \cdot C_{in}$$

$$C_{out} = X \cdot Y + X \cdot C_{in} + Y \cdot C_{in}$$

其中，如果有奇数个 1，则 S 为 1；如果输入有 2 个或 2 个以上的 1，则 C_{out} 为 1。全加器的功能表如下：

表 1.2.1 全加器的功能表

输 入	输 出	输 入	输 出

C_{in}	A	B	S	C_{out}	CI	A	B	S	C_{out}
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

逻辑表达式:

$$S = A \oplus B \oplus C_{in} = AB' C_{in}' + A' B C_{in}' + A' B' C_{in} + A B C_{in}$$

$$C_{out} = (A + B) C_{in} + AB$$

实现全加器的电路图如下:

图 1.2. 全加器等式电路图

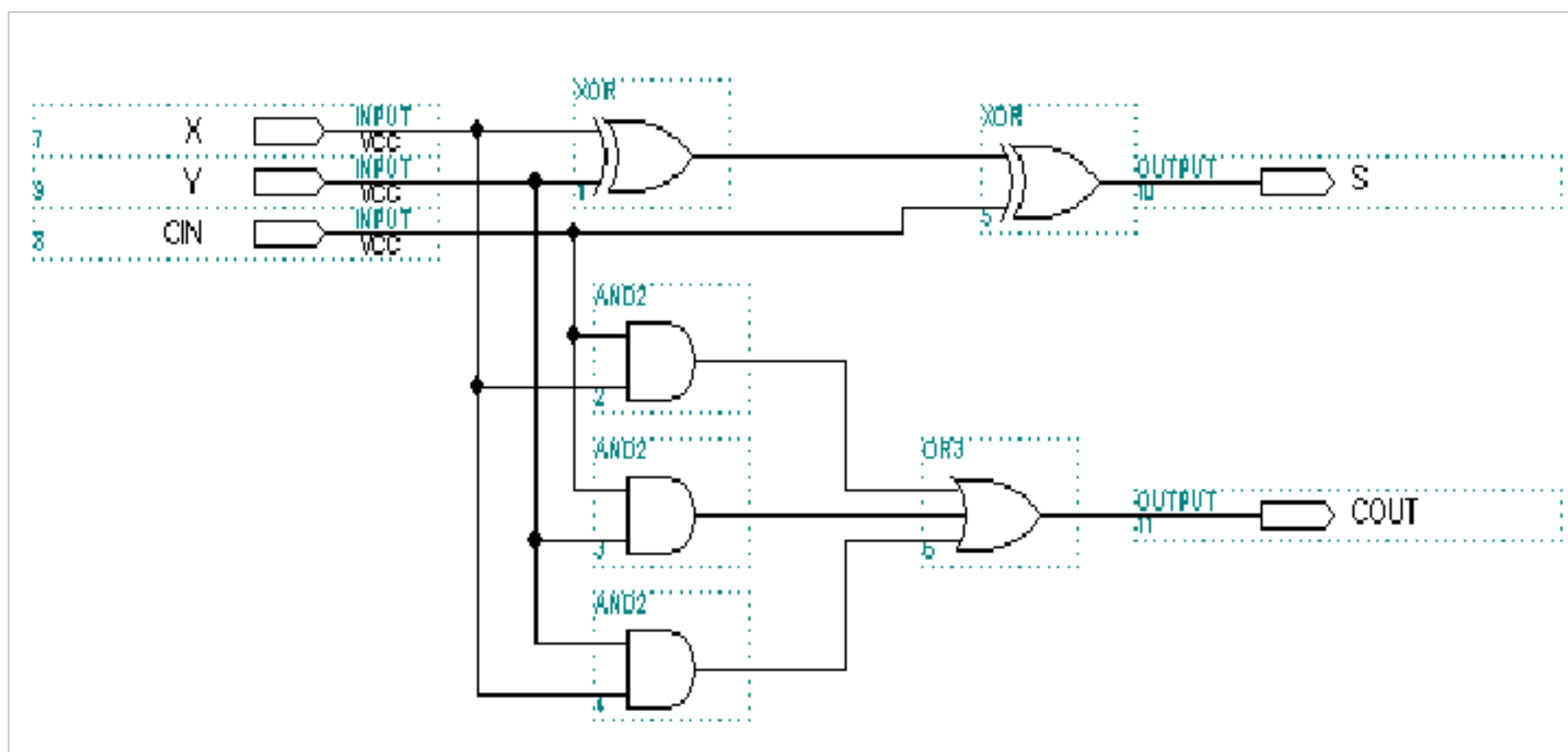
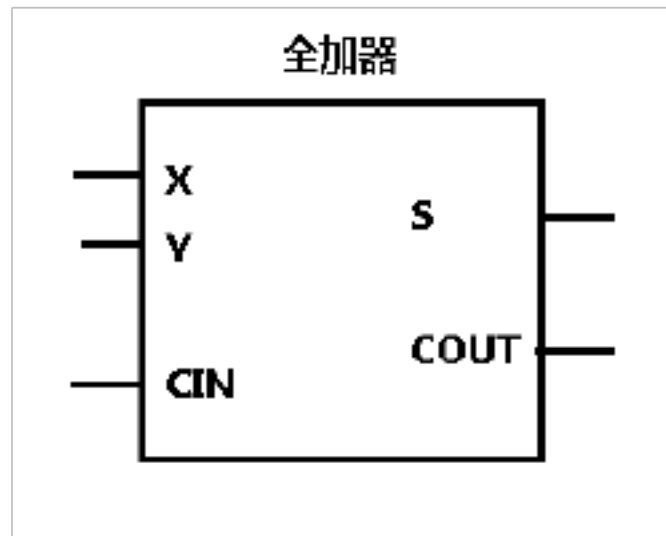


图 1.2.2 全加器简化模型图

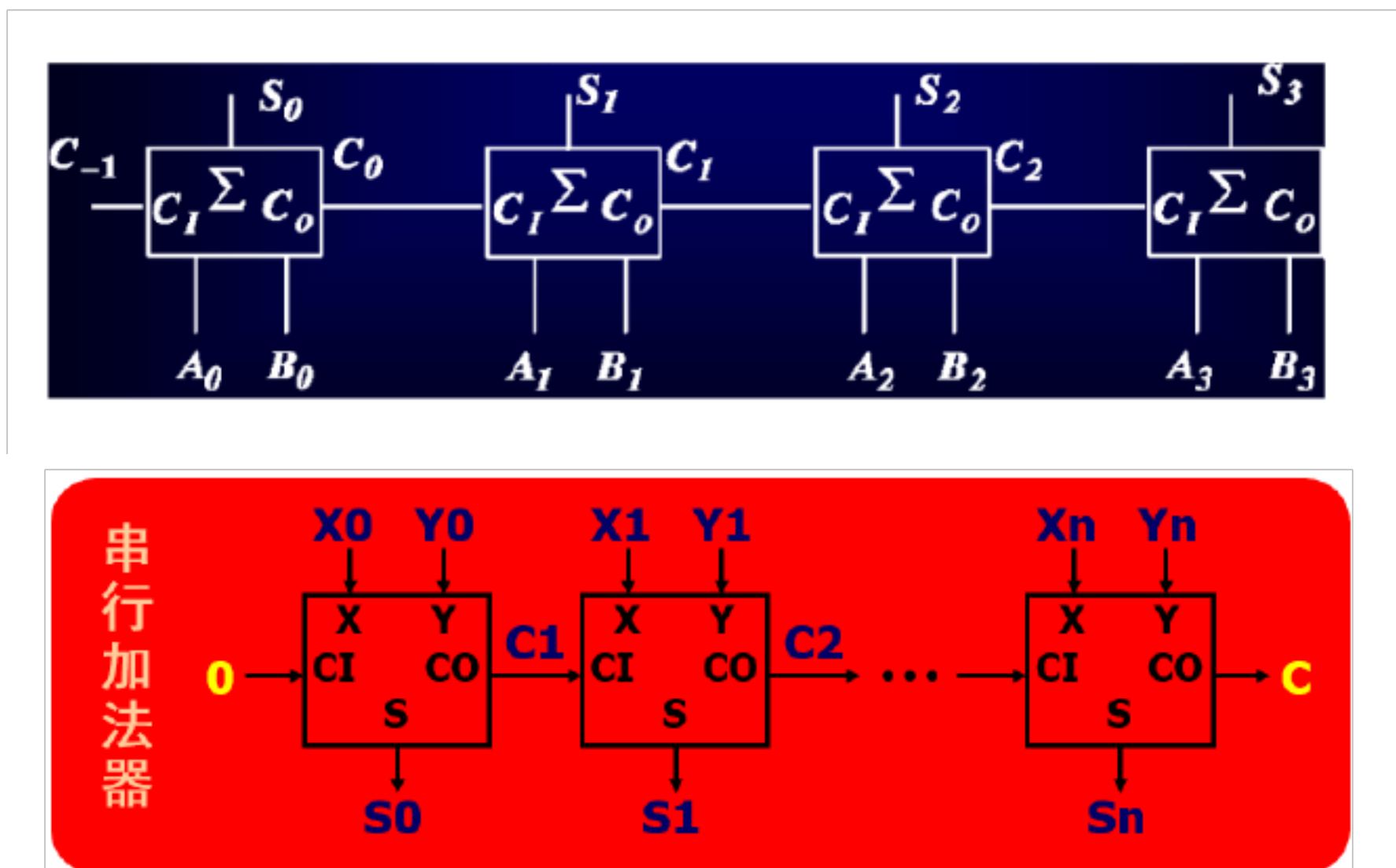


1.2. 四位二进制加法器

1.2.1. 串行进位加法器

四位二进制加法器为4个全加器的级联，每个处理一位。最低有效位的进位输入通常置为0，每个全加器的进位输出连到高一位全加器的进位输入。

图 1.1.2.1.1 四位二进制加法器实现流程图



输入 Input	AAA 3 2 1 0	加数输入
	BBB 3 2 1 0	加数输入
	C_0	进位输入 C_{in}
输出 Output	SSSS 3 2 1 0	和数输入
	C_4	进位输出 C_{out}

1.2.1. 超前进位加法器

为了提高运算速度，必须设法减小或消除由于进位信号逐级传递所消耗的时间，于是制成了超前进位加法器。

优点：与串行进位加法器相比，（特别是位数比较大的时候）超前进位加法器的延迟时间大大缩短了。但是它的缺点就是电路比较复杂。

1.2.1. 超前位链结构加法器

$$S = A \oplus B \oplus C_{i-1}$$

$$C_{out} = AB + C_{i-1}(A + B)$$

令 $G_i = A_i B_i$ 产生进位 $P_i = A_i + B_i$ 产生传输信号，

四位全加器的进位链逻辑可以表示为如下：

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 C_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

1.3 全减器 (full-subtractor)

全减器有两种构造方法：

1. 全减器处理二进制算法的一位，其输入位为 X (被减数)， Y (减数) 和 B_{in} (借位输入)，其输出位为 D (差) 和 B_{out} (借位输出)，根据二进制减法表，可以写出如下等式：

$$B_{out} = X' \times Y + X' \times B_{in} + B_{in}$$

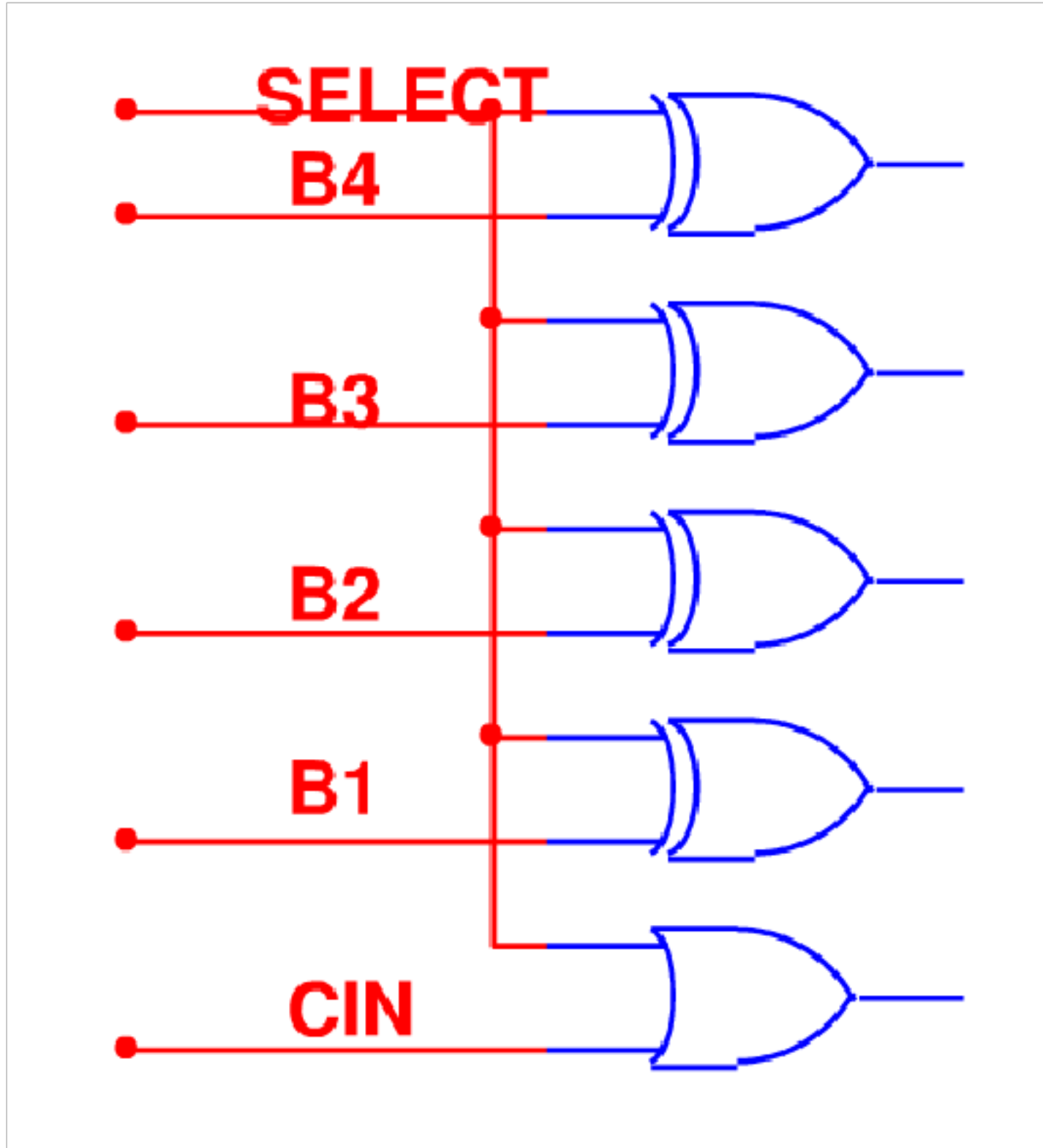
这些等式非常类似于全加器中的等式，但不足为奇。所以我们可以按照全加器的构造思路来构造全加器。

2. 根据二进制补码的减法运算， $X-Y$ 可以通过加法操作来完成，也就是说，可以通过把 Y 的二进制补码加到 X 上来完成。 Y 的二进制补码等于 $Y' + 1$ 。其中 Y' 等于 Y 的各个位取反。所以得出下式：

$$X - Y = X + (-Y) = X + (Y' + 1)$$

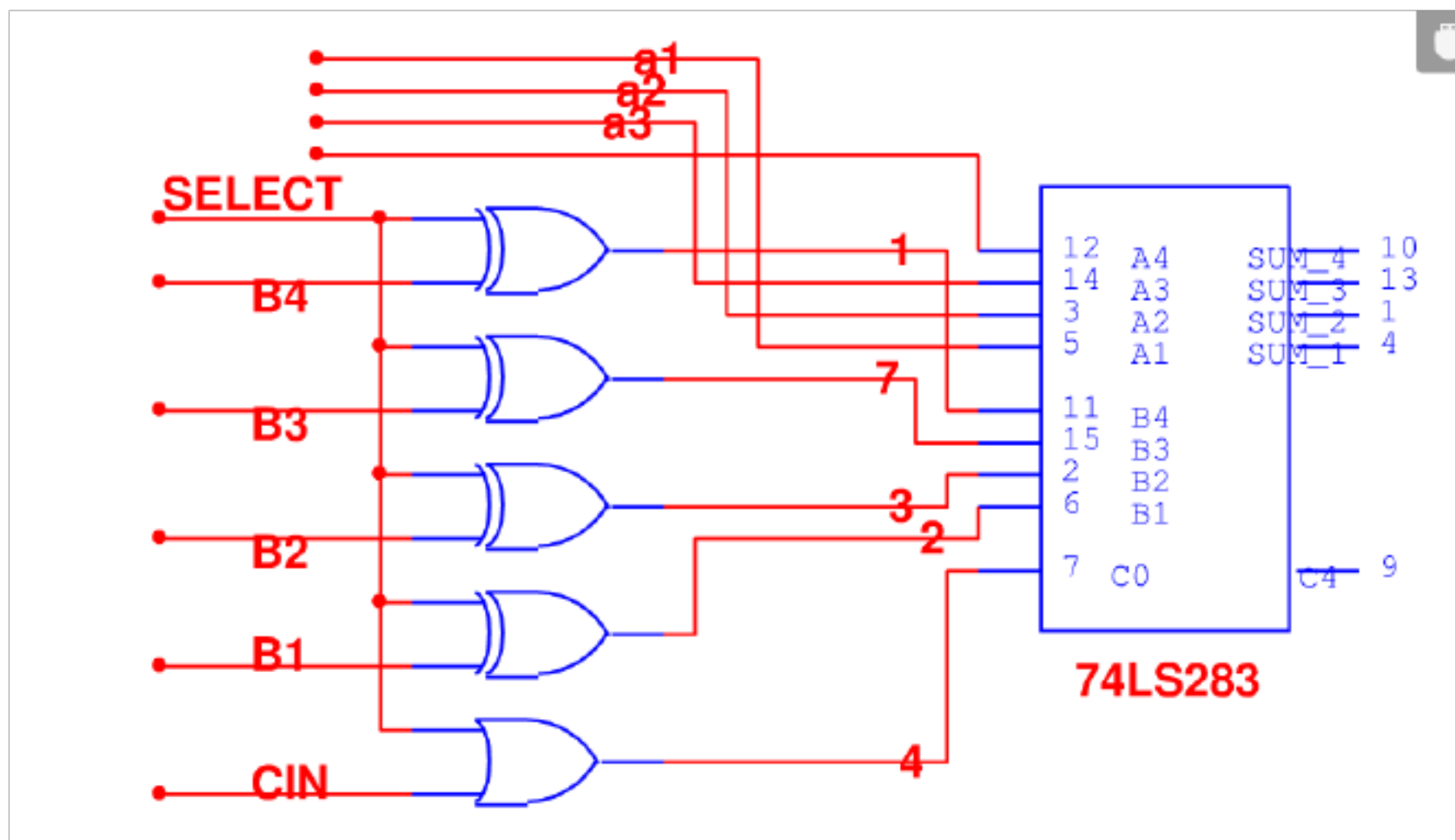
即全减器可以通过全加器来实现。其逻辑图如下图：

图 1.3.1 全减器/全加器设计逻辑图



1.4总电路设计

图 1.4 全加器全减器总电路设计



2 设计思路

2.1 全加器

由上面对加法器的具体分析，我们分别假定两个4位二进制数分别为 A_{3210} 、 B_{3210} ，利用 Verilog HDL 软件进行仿真，每个数位上的数值 1、0 用开关的高低电平表示，当开关打到红色点上时表示该位数值为 1，反之如果打到蓝色点上时为 0，输出的四位二进制用 S_{3210} 表示，当输出的各位上亮红灯了该位输出为 1，如果为蓝色则表示为 0， C_{out} 进位输入端， C_4 为进位输出端，以此进行仿真。

2.2 全减器

首先将 74LS283 的 B 口的四个输入按 1.3.1 作优化，添加一个选择端 `select`。通过该选择端来控制做加法还是做减法运算。

做减法运算时选择端 `select=1`，各个与非门的输出与输入相反，达到了取反的目的，此时 $C_{in}=1$ ，从而实现了减法器的功能。

做加法运算时选择端 `select=0`，各个与非门的输出与输入相同，达到了保持不变的目的，此时 C_{in} = 外部输入，从而实现了加法功能。

根据上面对加法器的具体分析,下面给出的是4位二进制全加器的部分真值表:

表 3.1 4 位二进制全加器真值表

A_3	A_2	A_1	A_0	B_3	B_2	B_1	B_0	C_{in}	S_3	S_2	S_1	S_0	C_{out}
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	1	0	0	0	1	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0	0	0	1	1	0
0	0	1	1	0	0	0	1	1	0	1	0	1	0
0	0	1	1	0	0	1	0	0	0	1	0	1	0
0	1	0	0	0	0	0	0	1	0	1	0	1	0
0	0	1	0	0	0	1	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	1	1	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	0	1	0	0	0	1	1
1	0	0	1	0	0	1	1	0	1	1	0	0	0
1	0	0	1	0	1	0	0	0	1	1	0	1	0
1	0	0	0	0	1	1	0	0	1	1	1	0	0
1	0	0	0	0	1	1	0	1	1	1	1	1	0
1	0	1	0	1	0	0	1	0	0	0	1	1	1
1	0	1	0	1	0	0	1	1	0	1	0	0	1
1	0	0	0	1	0	0	1	0	0	0	0	1	1

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/536032232240010214>