掌心博阅电子书重点名校考研专业课精品资料系列

【冲刺】2024年东华理工大学077400电子科学与技术《814数字电子技术基础》考研考前冲刺5套卷

主编：掌心博阅电子书

青岛掌心博阅电子书 出品

特别说明

本书严格按照该科目今年考研专业课真题题型、试题数量和考试难度出题，结合本专业考研大纲整理编写，由考研学长严格审核校对。其内容涵盖了本科目考研常考试题及重点试题，针对性强，是报考本校该科目考研专业课复习的重要资料。

版权声明

青岛华研教育旗下掌心博阅电子书依法对本书享有专有著作权，同时我们尊重知识产权，对本电子书部分内容参考和引用的市面上已出版或发行图书及来自互联网等资料的文字、图片、表格数据等资料，均要求注明作者和来源。但由于各种原因，如资料引用时未能联系上作者或者无法确认内容来源等，因而有部分未注明作者或来源，在此对原作者或权利人表示感谢。若使用过程中对本书有任何异议请直接联系我们，我们会在第一时间与您沟通处理。

因编撰此电子书属于首次，加之作者水平和时间所限，书中错漏之处在所难免，恳切希望广大考生读者批评指正。

目录

【冲刺】2024年东华理工大学077400电子科学与技术《814数字电子技术基础》考研考前冲刺5套卷(一)
.....4
【冲刺】2024年东华理工大学077400电子科学与技术《814数字电子技术基础》考研考前冲刺5套卷(二)
.....15
【冲刺】2024年东华理工大学077400电子科学与技术《814数字电子技术基础》考研考前冲刺5套卷(三)
.....28
【冲刺】2024年东华理工大学077400电子科学与技术《814数字电子技术基础》考研考前冲刺5套卷(四)
.....38
【冲刺】2024年东华理工大学077400电子科学与技术《814数字电子技术基础》考研考前冲刺5套卷(五)
.....47

【冲刺】2024 年东华理工大学 077400 电子科学与技术《814 数字电子技术基础》考研考前冲刺 5 套卷（一）

说明：本书按照考试大纲、历年真题、指定参考书等公开信息潜心整理编写，由学长严格审核校对，仅供考研备考使用，与目标学校及研究生院官方无关，如有侵权请联系我们立即处理。

一、选择题

1．**波形如下图所示，请选择正确的单稳态触发器的波形图_____。**



图

A.(a)
B.(b)
C.(a)、(b)
D.(a)、(b)都不是
【答案】B

2．**函数** $F=(A+\bar{B})\cdot\overline{C+\bar{D}}$ **的对偶式** F'=_____

A. $A\bar{B}+\overline{C\bar{D}}$；
B. $A\bar{B}+C\bar{D}$；
C. $\bar{A}B+\bar{C}D$；
D. $\bar{A}B+\overline{\bar{C}D}$。
【答案】B

3．**随机存储器可分为_____和_____两种。**

A.SRAM
B.ROM
C.RAM
D.DRAM
【答案】A、D

4．**两个不同的最小项进行与运算的结果等于_____。**

A.0
B.1
C.0 或者 1
D.这两个最小项或运算的结果
【答案】A

5．**ROM 主要由_____和_____两部分组成。**

A.地址译码器和存储矩阵
B.地址译码器和触发器
【答案】A

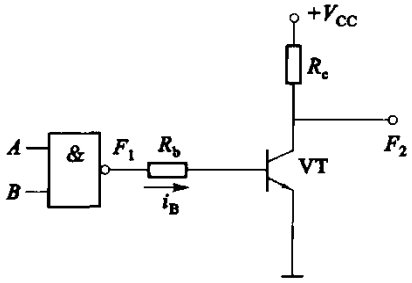
6． **TTL 与非门的低电平输入电流为 1.5mA,高电平输入电流为 10μA，最大灌电流为 15mA，最大拉电流为 400μA，则其扇出系数为 N_0=_____。**

A.5;
B.10;
C.40;
D.20

【答案】B

二、分析计算题

7． **电路如图所示。TTL 与非门输出高电平 $U_{OH}=3.6V$，输出低电平 $U_{OL}=0.3V$，拉电流负载 $I_{OH}=-400\mu A$。已知 $V_{CC}=5V$，$R_c=1k\Omega$，晶体管的 $\beta=50$，$U_{CES}=0.3V$，$U_{BE}=0.7V$。欲使 $F_1=\overline{AB}$，$F_2=AB$，试确定 R_b 的取值范围。**



图

【答案】由题意可知，为使 $F_1=\overline{AB}$，$F_2=AB$，则由晶体管 VT、电阻 R_b 和 R_c 所构成的电路必须是反相器，所以晶体管 VT 应该工作在开关状态。

当与非门输出低电平时，晶体管 VT 处于截止状态。

当与非门输出高电平 $U_{OH}=3.6V$ 时，R_b 的取值应使晶体管 VT 处于饱和状态。

由此时 $i_B\leqslant I_{OH}$，可以求出 $R_b\geqslant\dfrac{U_{OH}-U_{BE}}{I_{OH}}=\dfrac{3.6-0.7}{0.4}k\Omega=7.25k\Omega$，

$$I_{BS}=\frac{V_{CC}-U_{CES}}{\beta R_c}=\frac{5-0.3}{50\times1}mA=0.094mA,$$

又由于 $i_B\geqslant I_{BS}$，可以求出 $R_b\leqslant\dfrac{U_{OH}-U_{BE}}{I_{BS}}=\dfrac{3.6-0.7}{0.094}k\Omega=30.85k\Omega$，

因此，R_b 的取值为 $7.25k\Omega\leqslant R_b\leqslant30.85k\Omega$。

8． **用卡诺图化简法，求下列函数的最简或与表达式。**

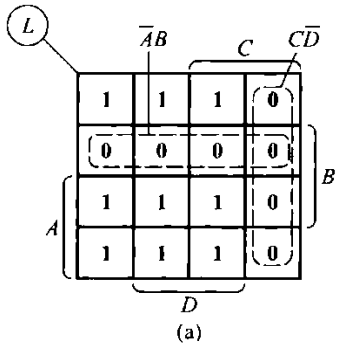
(1) $L(A,B,C,D)=A\overline{C}+AD+\overline{B}\,\overline{C}+\overline{B}D$
(2) $L(A,B,C,D)=\sum m(3,4,5,7,13,14,15)$
(3) $L(A,B,C,D)=(\overline{A}+D)(B+\overline{D})(A+B)$
(4) $L(A,B,C,D)=\prod M(3,4,6,7,11,12,13,14,15)$

【答案】求一个函数的最简或与表达式，通常采用“两次取反法”，具体可分为两种情况处理：①当给定的函数 L 为与或表达式时，首先画出卡诺图，合并卡诺图上的 0 方格，求出非函数 $\overline{L}$ 的最简与或表达式，然后对 $\overline{L}$ 取非，得到函数 L 的最简或与表达式。②当给定的函数 L 为或与表达式时，首先根据反演规则求出非函数 $\overline{L}$，画出 $\overline{L}$ 的卡诺图，合并卡诺图上的 1 方格，求出非函数 $\overline{L}$ 的最简与或表达式，然后对 $\overline{L}$ 取非，得到函数 L 的最简或与表达式。

(1)首先根据给定的逻辑表达式，画出卡诺图，如图(a)所示。图中，1 方格表示原函数 L 所包含的最小项，0 方格表示非函数 $\overline{L}$ 所包含的最小项(L 为 0 时，$\overline{L}$ 为 1)。合并卡诺图中的 0 方格，可以得到非函数 $\overline{L}$

的最简与或表达式为

$$\overline{L}(A,B,C,D)=\overline{A}B+C\overline{D}$$



(a)

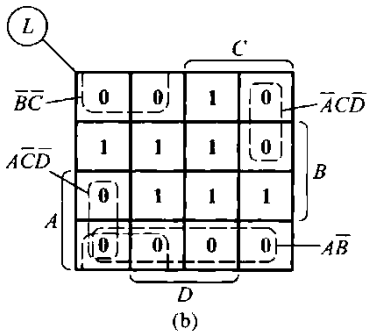
图

然后对 $\overline{L}$ 的最简与或表达式取非，得到函数 L 的最简或与表达式

$$L(A,B,C,D)=\overline{\overline{A}B+C\overline{D}}=(A+\overline{B})(\overline{C}+D)$$

(2)根据给定的逻辑表达式，画出卡诺图，如图(b)所示。合并卡诺图中的 0 方格，得到非函数 $\overline{L}$ 的最简与或表达式为

$$\overline{L}(A,B,C,D)=A\overline{B}+\overline{B}\,\overline{C}+A\,\overline{C}\,\overline{D}+\overline{A}C\,\overline{D}$$



(b)

图

然后对 $\overline{L}$ 的最简与或表达式取非，得到函数 L 的最简或与表达式

$$L(A,B,C,D)=\overline{A\,\overline{B}+\overline{B}\,\overline{C}+A\,\overline{C}\,\overline{D}+\overline{A}C\,\overline{D}}$$

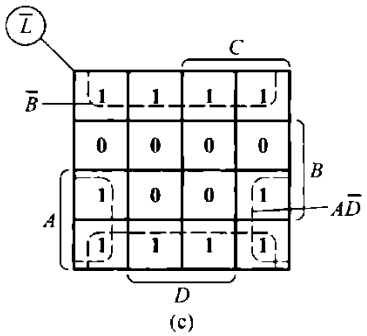
$$=(\overline{A}+B)(B+C)(\overline{A}+C+D)(A+\overline{C}+D)$$

(3)根据给定的或与表达式，应用反演规则，得到非函数 $\overline{L}$ 的表达式

$$\overline{L}(A,B,C,D)=A\,\overline{D}+\overline{B}D+\overline{A}\,\overline{B}$$

画出 $\overline{L}$ 的卡诺图，如图(c)所示。合并卡诺图中的 1 方格，得到非函数 $\overline{L}$ 的最简与或表达式为

$$\overline{L}(A,B,C,D)=\overline{B}+A\,\overline{D}$$



(c)

图

然后对 $\overline{L}$ 的最简与或表达式取非，得到函数 L 的最简或与表达式

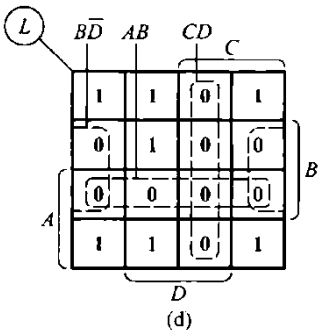
$$L(A,B,C,D)=\overline{\overline{B}+A\,\overline{D}}=B(\overline{A}+D)$$

(4)根据给定的最大项表达式，画出 L 的卡诺图，如图(d)所示。合并卡诺图中的 0 方格，得到非函数$\overline{L}$的最简与或表达式为

$$\overline{L}(A,B,C,D)=B\,\overline{D}+AB+CD$$

然后对$\overline{L}$的最简与或表达式取非，得到函数 L 的最简或与表达式

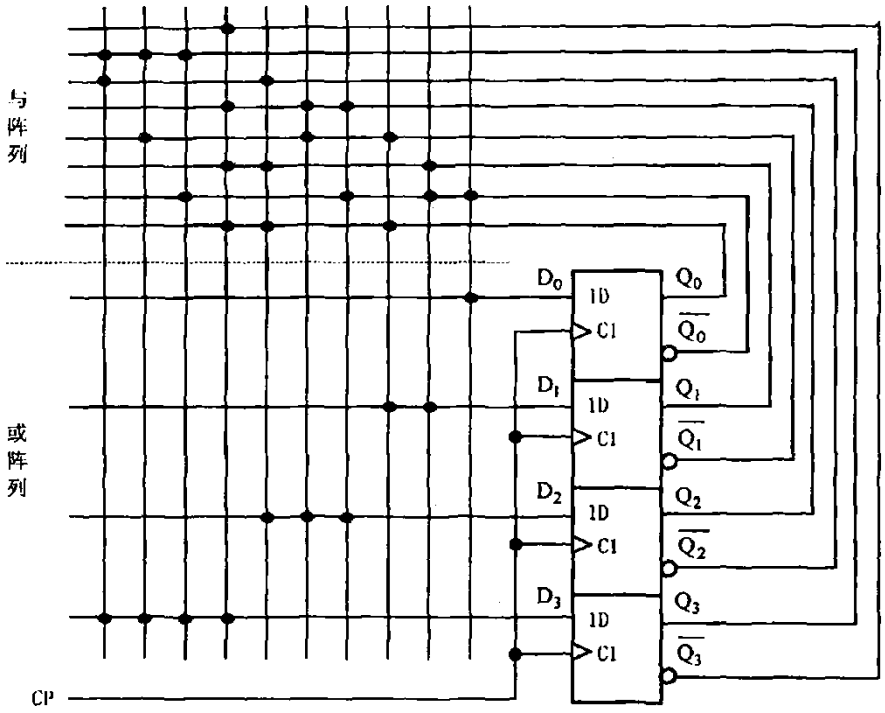
$$L(A,B,C,D)=\overline{B\,\overline{D}+AB+CD}=(\overline{B}+D)(\overline{A}+\overline{B})(\overline{C}+\overline{D})$$



图

三、简答题

9. **试分析下图所示 PLA 时序逻辑电路的逻辑功能，列出其状态转换真值表。**



图——逻辑图

【答案】本题是一个 Moore 型同步时序电路，故可采用同步时序逻辑电路的分析方法进行解题。

(1)根据 PLA 阵列图写出各触发器的驱动方程：

$$\begin{cases} D_0=\overline{Q}_0 \\ D_1=\overline{Q}_0Q_1+Q_0\overline{Q}_1 \\ D_2=\overline{Q}_0Q_2+\overline{Q}_1Q_2+Q_0Q_1\overline{Q}_2 \\ D_3=\overline{Q}_0Q_3+\overline{Q}_1Q_3+\overline{Q}_2Q_3+Q_0Q_1Q_2\overline{Q}_3 \end{cases}$$

(2)将求得的驱动方程代入 D 触发器的特性方程$Q^{n+1}=D$，从而得到电路的状态方程：

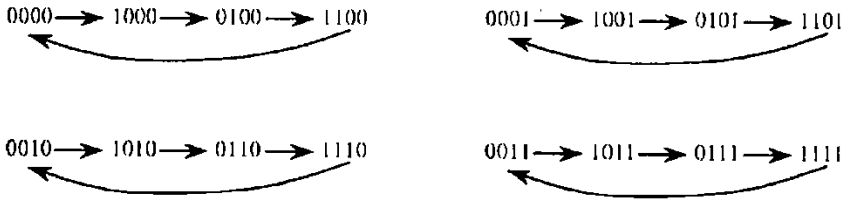
$$\begin{cases} Q_0^{n+1}=D_0=\overline{Q}_0 \\ Q_1^{n+1}=D_1=\overline{Q}_0Q_1+Q_0\overline{Q}_1=Q_0\oplus Q_1 \\ Q_2^{n+1}=D_2=\overline{Q}_0Q_2+\overline{Q}_2Q_2+Q_0Q_1\overline{Q}_2=(Q_0Q_1)\oplus Q_2 \\ Q_3^{n+1}=D_3=\overline{Q}_0Q_3+\overline{Q}_1Q_3+\overline{Q}_2Q_3+Q_0Q_1Q_2\overline{Q}_3=(Q_0Q_1Q_2)\oplus Q_3 \end{cases}$$

(3)根据状态方程列出电路的状态转换真值表：如表所示。

表 状态转换真值表

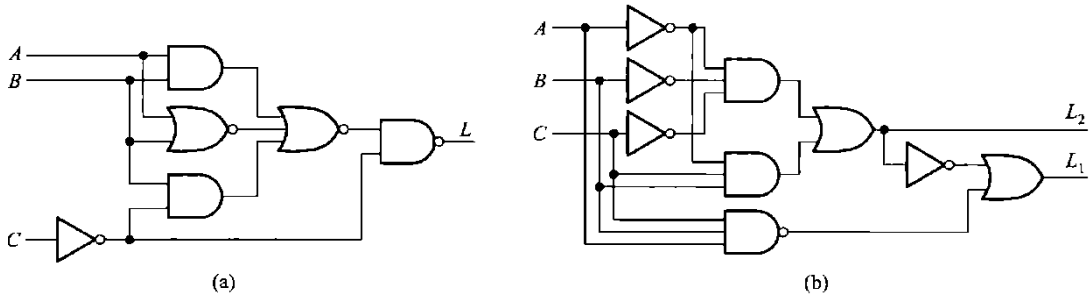
Q_0	Q_1	Q_2	Q_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	Q_0	Q_1	Q_2	Q_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0
0	0	0	1	1	0	0	1	1	0	0	1	0	1	0	1
0	0	1	0	1	0	1	0	1	0	1	0	0	1	1	0
0	0	1	1	1	0	1	1	1	0	1	1	0	1	1	1
0	1	0	0	1	1	0	0	1	1	0	0	0	0	0	0
0	1	0	1	1	1	0	1	1	1	0	1	0	0	0	1
0	1	1	0	1	1	1	0	1	1	1	0	0	0	1	0
0	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1

(4)根据真值表可画出电路的状态转换图如图所示。可见，该电路为一个不能自启动的同步模 4 计数器。



图——状态转换图

10．**写出下图所示电路对应的真值表。**



图

【答案】(1)根据图题(a)所示的逻辑图，写出其逻辑表达式，并进行化简和变换得

$$\begin{aligned} L&=\overline{\overline{AB+\overline{A}+B+B\,\overline{C}}\cdot\overline{C}} \\ &=AB+\overline{A+\overline{B}+B\,\overline{C}}+C \\ &=AB+\overline{A}\,\overline{B}+B+C \\ &=B+\overline{A}+C \end{aligned}$$

根据上述逻辑表达式列出真值表如表题解(a)所示。

A	B	C	L
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

表题解(a)

(2)根据图题(b)所示的逻辑图，写出其逻辑表达式，并进行化简和变换得

$$L_2=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}BC=\overline{A}(\overline{B}\,\overline{C}+BC)$$

$$L_1=\overline{L_2}+\overline{ABC}=\overline{\overline{A}(\overline{B}\,\overline{C}+BC)}+\overline{ABC}=\overline{\overline{A}(\overline{B}\,\overline{C}+BC)}\cdot ABC=\overline{0}=1$$

根据上述逻辑表达式列出真值表如表题解(b)所示。

A	B	C	L_1	L_2
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

表题解(b)

11．**用或非门设计一个组合电路。其输入为 8421BCD 码，输出 L 当输入数能被 4 整除时为 1，其它情况下为 0。(0 可被任何数整除，要求有设计过程，最后给出电路图)**

【答案】(1)根据题意要求，列出真值表。

显然，本例需用 4 个输入逻辑变量来表示 8421BCD 码的输入，设它们为X_3、X_2、X_1、X_0。但值得注意的是，4 个输入逻辑变量共有 16 组代码，即 0000～1111，其中有 6 组代码 1010～1111 不是 8421BCD 码，故在设计时可将这 6 组代码作为无关项处理。

这样，依据题意和 8421BCD 码的定义，可列出真值表如下表所示。

输入				输出
X_3	X_2	X_1	X_0	L
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1010 ~ 1111				×

表

(2)根据真值表画出卡诺图，如下图 1 所示。

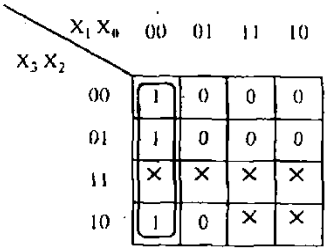


图 1

在充分利用无关项的基础上，采用图形法可求得最简与或表达式为：

$$L = \overline{X}_1 \overline{X}_0$$

(3)将最简与或式变换成满足给定要求的形式

由于题中要求采用或非门，故需将求得的最简与或表达式变换为或非表达式：

$$L = \overline{X}_1 \overline{X}_0 = \overline{X_1 + X_0}$$

(4)画出逻辑电路图，如图 2 所示。

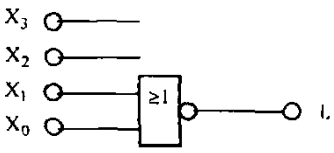
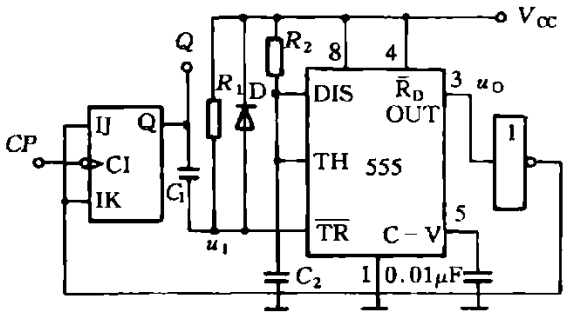


图 2

12. **用 555 定时器和主从 JK 触发器组成的电路如图(a)所示。已知 CP 脉冲为 1Hz 方波，$R_1=10\text{k}\Omega, C_1=1\ 000\text{pF}, R_2=560\text{k}\Omega, C_2=4.7\mu\text{F}$，试画出 Q 端，$u_I, u_O$相对于 CP 的波形，并计算 Q 端波形的周期。设 JK 触发器的初态及u_O的初态均为 0。**



(a)

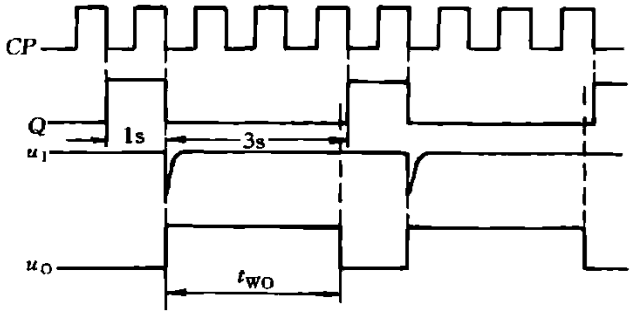
图

【答案】本题电路由 JK 触发器和由 555 定时器构成的单稳态触发器。由于 J=K，所以 JK 触发器只能工作在翻转和保持两种状态。单稳态电路的输入回路有微分电路，所以输入负脉冲很窄，以保证单稳态电路可靠地翻转。单稳态触发器的输出脉冲宽度为

$$t_W \approx 1.1R_2C_2 = 1.1\times 560\times 10^3\times 4.7\times 10^{-6}\approx 2.9\text{s}$$

在t_W期间$\bar{u}_O$为 0 态，所以触发器的 J=K=0，则 JK 触发器将保持 0 态不变。当$\bar{u}_O=1$时，由于 J=K=1，所以 JK 触发器处于翻转状态。

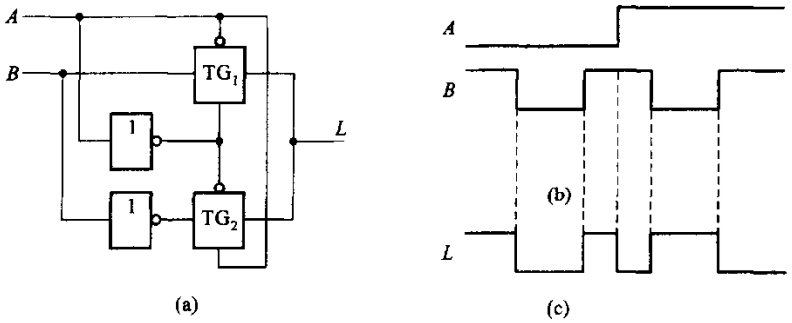
根据上述分析，画出CP, Q, u_I和u_O的波形如图(b)所示。由图可见，Q 端波形的周期为 4s。



(b)

图

13. **图 1(a)、(b)所示为传输门和非门构成的电路及输入波形。试说明该电路实现的逻辑功能，并画出输出 L 的波形。**



(a) (c)

图 1

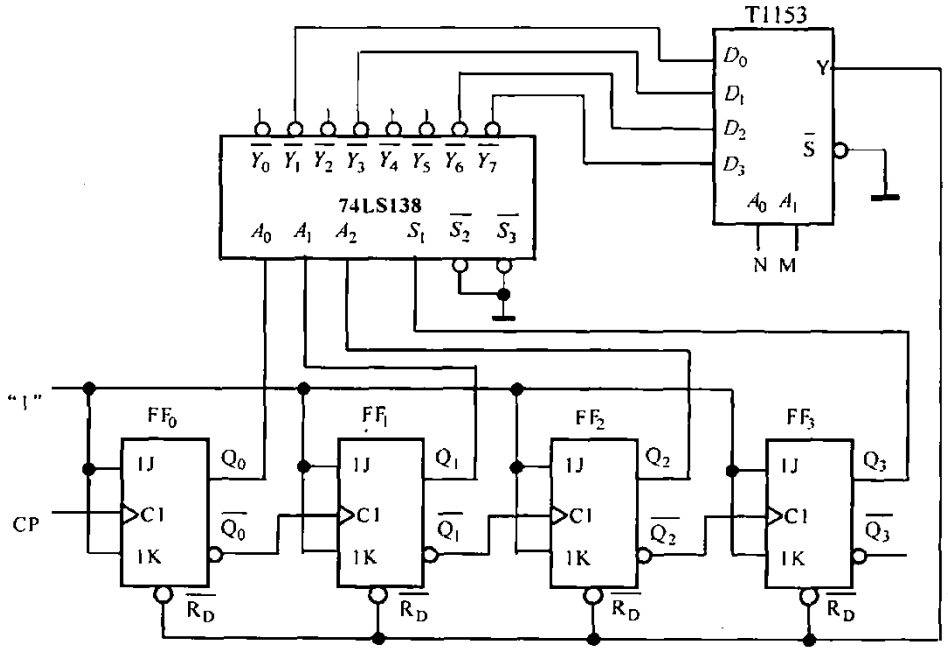
【答案】对于图 1(a)所示的电路，输入信号 A 作为传输门的控制信号，输入信号 B 和$\bar{B}$通过传输门与

输出 L 相连。当 A=0 时，传输门TG_1导通，TG_2断开，L=B,当 A=1 时，传输门TG_1断开，TG_2导通，$L=\overline{B}$;其真值表如表 1 所示，该电路实现异或功能，$L=A\oplus B$。画出输出波形如图 1(c)所示。

表 1 真值表

A	B	TG_1	TG_2	L	A	B	TG_1	TG_2	L
0	0	导通	断开	0	1	0	断开	导通	1
0	1	导通	断开	1	1	1	断开	导通	0

14．**图中所示为一可变进制计数器。试问 MN 为各种不同的输入时，分别可组成几种不同进制计数器？如要得到六进制计数器，应如何改接线路，MN 端需加什么信号？三线-八线译码器 74LS138 的输出表达式为 $\overline{Y}_0=\overline{E\bar{A}_2\bar{A}_1\bar{A}_0};\cdots;\overline{Y}_7=\overline{EA_2A_1A_0}$，式中使能端$E=S_1\cdot\overline{S}_2+\overline{S}_3$，$A_2$、$A_1$、$A_0$为地址选择输入信号。T1153 功能表如下表所示。**



图

表 10.3 T1153 的功能表

使能	选择输入		输出
$\overline{S}$	A_1	A_0	Y
1	□	□	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

表

【答案】$FF_0\sim FF_3$构成一个 16 进制加法计数器，74LS138 译码器和 T1153 多路选择器构成该计数器的复位控制电路。当 MN=00 时，每当计数器从 0000 计到 1001 时，计数器便复位，即具有 0000～1000 共 9 个有效状态，所以这时组成的是九进制计数器。同理，当 MN=01 时，电路为十一进制计数器；当 MN=10 时，电路为十四进制计数器；当 MN=11 时，电路为十五进制计数器。

要得到六进制计数器，应将图中的Q_3改接至$\overline{S}_2$和$\overline{S}_3$，而将S_1固定接高电平“1”，或者将S_1由Q_3改

接到$\overline{Q_3}$；与此同时，在 MN 端加“10”信号。

15．**根据下图 1 所示的逻辑图，试用 Verilog 语言描述 4 位移位寄存器的功能。然后用 Quartus II 软件进行逻辑功能仿真，并给出仿真波形。**

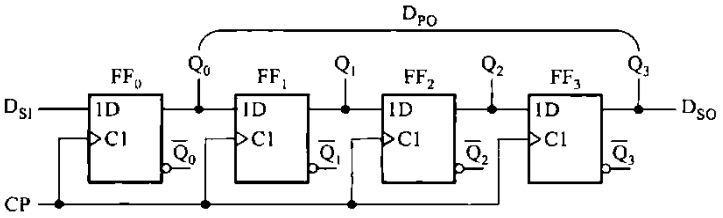


图 1：用 D 触发器构成的四位移位寄存器

【答案】4 位移位寄存器的 Verilog HDL 行为描述程序如下：

```
//4-bit Shift Register
 module shifter(Q, Dsi, Dso, CP);
   input Dsi, CP;
   output reg [3:0] Q;
   output Dso;
   assign Dso=Q[3];                    //串行输出数据
   always @(posedge CP)
    begin
        Q[0] <=Dsi;                    //串行数据移到输出的最低位
        Q[3:1] <={Q[2:0]};//左移 1 位
    end
 endmodule
```

仿真波形如下图 2 所示。

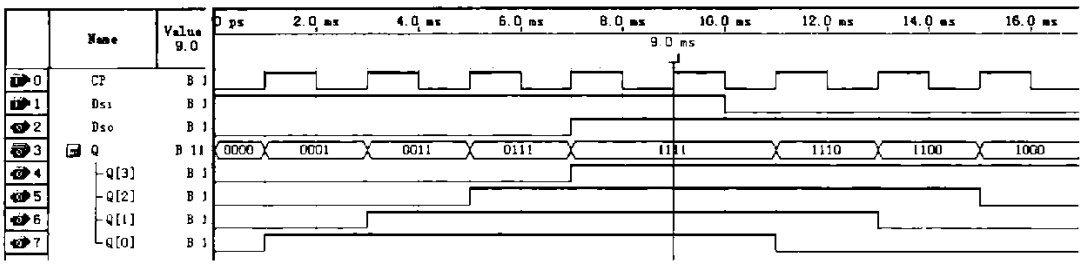


图 2

16．**试用 8 位二进制补码计算下列各式，并用十进制数表示结果：**

(1)12+9

(2)11-3

(3)-29-25

(4)-120+30

【答案】(1)$(12+9)_{补}=(12)_{补}+(9)_{补}$

$=00001100+00001001$

$=00010101$

求出$(00010101)_{补}$的十进制数为 21。

(2)$(11-3)_{补}=(11)_{补}+(-3)_{补}$

$=00001011+11111101$

$=00001000$

上述加法过程，将最高位的 1 舍弃。$(00001000)_{补}$转换成十进制数为 8。

(3)$(-29-25)_{补}=(-29)_{补}+(-25)_{补}$

$=11100011+11100111$

$=\mathbf{11001010}$

上述加法过程，最高位的 1 被舍弃。将 $\mathbf{11001010}$ 求反补得到有符号的二进制数 $(\mathbf{-0110110})_{\text{B}}$，再转换成十进制数为(-54)。

(4) $(-120+30)_{\text{补}}=(-120)_{\text{补}}+(30)_{\text{补}}$

$=\mathbf{10001000}+\mathbf{00011110}$

$=\mathbf{10100110}$

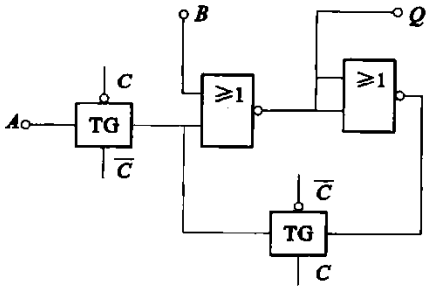
将 10100110 求反补得到有符号的二进制数 $(\mathbf{-1011010})_{\text{B}}$，再转换成十进制数为(-90)。

【冲刺】2024 年东华理工大学 077400 电子科学与技术《814 数字电子技术基础》考研考前冲刺 5 套卷（二）

说明：本书按照考试大纲、历年真题、指定参考书等公开信息潜心整理编写，由学长严格审核校对，仅供考研备考使用，与目标学校及研究生院官方无关，如有侵权请联系我们立即处理。

一、选择题

1．**由 CMOS 门构成的电路如下图所示，选择正确答案。**



图

A.C=0 时属于组合电路、C=1 时属于时序电路

B.C=0 时属于时序电路、C=1 时属于组合电路

C.C=0 时属于组合电路、C=1 时属于组合电路

D.C=0 时属于时序电路、C=1 时属于时序电路

【答案】A

2．**用卡诺图法化简函数 $F(ABCD)=\sum m(0,2,3,4,6,11,12)+\sum d(8,9,10,13,14,15)$ 得最简与-或式。**

A. $F=\overline{B}+BC$

B. $F=A+\overline{D}+\overline{B}C$

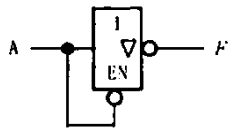
C. $F=\overline{D}+\overline{B}C$

D. $F=CD+\overline{B}+A$

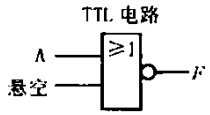
【答案】C

3．**如图所示 4 个电路中，_____能实现给定逻辑功能 $F=\overline{A}$。**

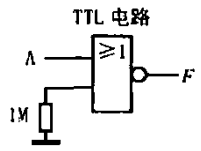
A.

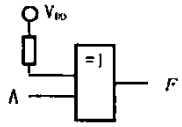


B.



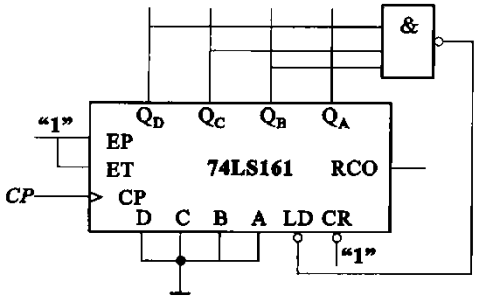
C.



D. 

【答案】D

4. **采用中规模加法计数器 74LS161 构成的电路如下图所示，该电路是_____进制加法计数器。**



图

A.十四进制

B.十二进制

C.十五进制

D.七进制

【答案】C

5. **欲使与非门构成的基本锁存器保持原态不变，则输入信号应为_____。**

A.S=R=0

B.S=R=1

C.S=1，R=0

D.S=0,R=l

【答案】B

6. **已知 $F=\overline{\overline{ABC}+\overline{CD}}$，选出下列_____可以肯定使 F=0 的情况。**

A.A=0,BC=1;

B.B=1，C=l;

C.C=1,D=0;

D.BC=1,D=1

【答案】D

二、分析计算题

7. **用卡诺图法化简下列各式：**

(1) $A\overline{B}CD+AB\overline{C}D+A\overline{B}+A\overline{D}+A\overline{B}C$

(2) $\overline{A}BC+A\overline{B}\overline{C}D+AB\overline{C}D+ABC$

(3) $A\overline{B}CD+D(\overline{B}\overline{C}D)+(A+C)B\overline{D}+\overline{A}\overline{(\overline{B}+C)}$

(4) $L(A,B,C,D)=\sum m(0,2,4,8,10,12)$

(5) $L(A,B,C,D)=\sum m(0,1,2,5,6,8,9,10,13,14)$

(6) $L(A,B,C,D)=\sum m(0,2,4,6,9,13)+\sum d(1,3,5,7,11,15)$

(7) $L(A,B,C,D)=\sum m(0,4,6,13,14,15)+\sum d(1,2,3,5,7,9,10,11)$

【答案】先将函数化为用最小项表示的与-或表达式，画出卡诺图(或根据表达式直接填写卡诺图)，再用卡诺图化简。在画卡诺图的包围圈时，包围圈要尽可能覆盖填 1 的方格，且包围圈的数目要尽可能少，这样可得最简与-或表达式。

(1)$A\overline{B}CD+AB\overline{C}D+A\overline{B}+A\overline{D}+A\overline{B}C$

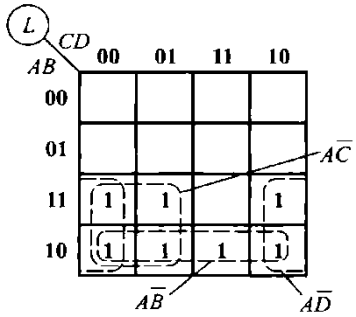
$=A\overline{B}CD+AB\overline{C}D+A\overline{B}(C+\overline{C})(D+\overline{D})+A\overline{D}(B+\overline{B})(C+\overline{C})+A\overline{B}C(D+\overline{D})$

$=A\overline{B}CD+AB\overline{C}D+A\overline{B}C\overline{D}+A\overline{B}\overline{C}D+A\overline{B}\overline{C}\overline{D}+ABC\overline{D}+AB\overline{C}\overline{D}$

$=m_{11}+m_{13}+m_{10}+m_9+m_8+m_{14}+m_{12}$

$=\sum m(8,9,10,11,12,13,14)$

由逻辑表达式作卡诺图，如图(a)所示。



(a)

图

由卡诺图得最简逻辑表达式$L=A\overline{C}+A\overline{D}+A\overline{B}$

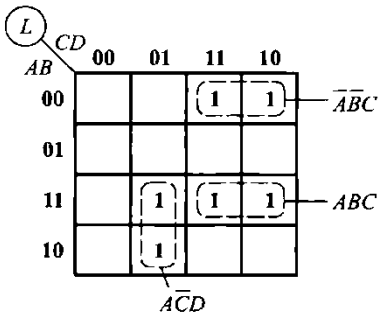
(2)$\overline{A}\overline{B}C+A\overline{B}\overline{C}D+AB\overline{C}D+ABC$

$=\overline{A}\overline{B}C(D+\overline{D})+A\overline{B}\overline{C}D+AB\overline{C}D+ABC(D+\overline{D})$

$=\overline{A}\overline{B}CD+\overline{A}\overline{B}C\overline{D}+A\overline{B}\overline{C}D+AB\overline{C}D+ABCD+ABC\overline{D}$

$=\sum m(2,3,9,13,14,15)$

由逻辑表达式直接作卡诺图，如图(b)所示。



(b)

图

由卡诺图得最简逻辑表达式$L=A\overline{C}D+\overline{A}\overline{B}C+ABC$

(3)$A\overline{B}CD+D(\overline{B}\overline{C}D)+(A+C)B\overline{D}+\overline{A}(\overline{B+C})$

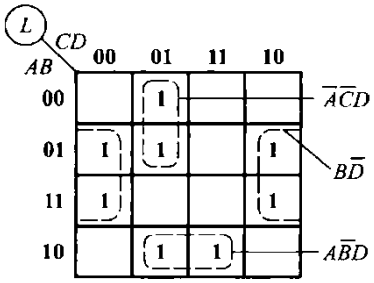
$=A\overline{B}CD+\overline{B}\overline{C}D+AB\overline{D}+BC\overline{D}+\overline{A}B\overline{C}$

$=A\overline{B}CD+(A+\overline{A})\overline{B}\overline{C}D+AB(C+\overline{C})\overline{D}+(A+\overline{A})BC\overline{D}+\overline{A}B\overline{C}(D+\overline{D})$

$=A\overline{B}CD+A\overline{B}\overline{C}D+\overline{A}\overline{B}\overline{C}D+ABC\overline{D}+AB\overline{C}\overline{D}+\overline{A}BC\overline{D}+\overline{A}B\overline{C}D+\overline{A}B\overline{C}\overline{D}$

$=\sum m(1,4,5,6,9,11,12,14)$

由逻辑表达式直接作卡诺图，如图(c)所示。



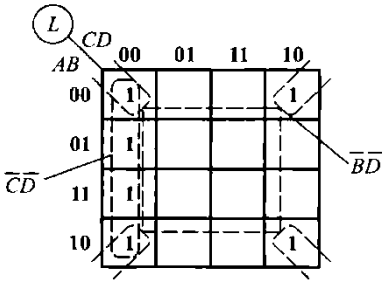
(c)

图

由卡诺图得最简逻辑表达式 $L=B\bar{D}+A\bar{B}D+\bar{A}\bar{C}D$

(4) $L(A,B,C,D)=\sum m(0,2,4,8,10,12)$

由逻辑表达式作卡诺图，如图(d)所示。



(d)

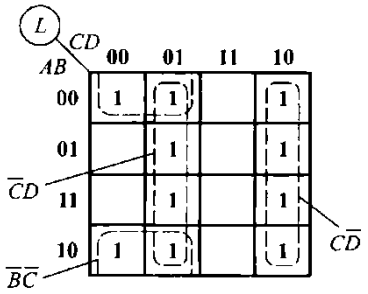
图

由卡诺图得最简逻辑表达式 $L=\bar{C}\bar{D}+\bar{B}\bar{D}$

(5) $L(A,B,C,D)=\sum m(0,1,2,5,6,8,9,10,13,14)$

由逻辑表达式作卡诺图，如图(e)所示。

由卡诺图得最简逻辑表达式 $L=\bar{C}D+\bar{B}\bar{C}+C\bar{D}$

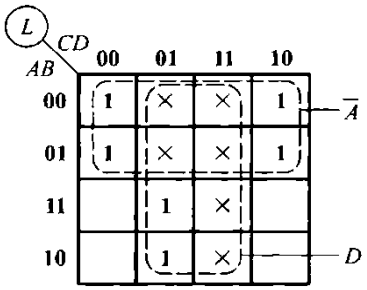


(e)

图

(6) $L(A,B,C,D)=\sum m(0,2,4,6,9,13)+\sum d(1,3,5,7,11,15)$

由逻辑表达式作卡诺图，如图(f)所示。



(f)

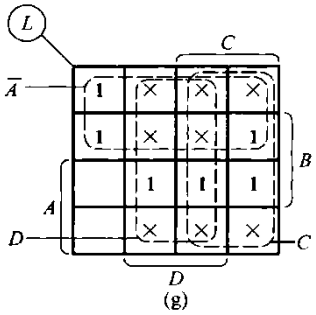
图

由卡诺图得最简逻辑表达式 $L=\overline{A}+D$

(7) $L(A,B,C,D)=\sum m(0,4,6,13,14,15)+\sum d(1,2,3,5,7,9,10,11)$

由逻辑表达式作卡诺图，如图(g)所示，此题卡诺图采用了另一种简化画法。

由卡诺图得最简逻辑表达式 $L=\overline{A}+C+D$



(g)

图

8. **用逻辑代数定律证明下列等式：**

(1) $A+\overline{A}B=A+B$

(2) $ABC+A\overline{B}C+AB\overline{C}=AB+AC$

(3) $A+A\overline{B}\,\overline{C}+\overline{A}CD+(\overline{C}+\overline{D})E=A+CD+E$

(4) $(A+B)(A+\overline{B})=A$

(5) $AB+\overline{A}C+BCD=AB+\overline{A}C$

(6) $(A+B)(B+C)(\overline{A}+C)=(A+B)(\overline{A}+C)$

【答案】对于这类题目，需要读者熟记逻辑代数的基本定律，然后对等式的一边进行化简推导，得到另一边的等式。

(1) $A+B=(A+B)(A+\overline{A})$ (根据 $A+\overline{A}=1$)

$=A+AB+\overline{A}B=A+\overline{A}B$(根据 A+AB=A)

或者：$A+\overline{A}B=A(1+B)+\overline{A}B$(根据 A+1=1)

$=A+AB+\overline{A}B=A+B(A+\overline{A})=A+B$

(2) $ABC+A\overline{B}C+AB\overline{C}=AC(B+\overline{B})+AB\overline{C}$ (根据 $A+\overline{A}=1$)

$=AC+AB\overline{C}=A(C+B\overline{C})=A(C+B)$ (根据 $A+\overline{A}B=A+B$)

$=AB+AC$

(3) $A+A\overline{B}\,\overline{C}+\overline{A}CD+(\overline{C}+\overline{D})E$

$=A(1+\overline{B}\,\overline{C})+\overline{A}CD+\overline{CD}E$

$=A+\overline{A}CD+\overline{CD}E=A+CD+\overline{CD}E$(根据 $A+\overline{A}B=A+B$)

$=A+CD+E$

(4) $(A+B)(A+\overline{B})=AA+A\overline{B}+AB+B\overline{B}$ (根据 A(B+C)=AB+AC)

$=A+A\overline{B}+AB=A(1+\overline{B}+B)$ (根据 A+1=1)

$=A$ (根据$A\cdot 1=A$)

(5)$AB+\overline{A}C+BCD=AB+\overline{A}C+BCD(A+\overline{A})$(根据$A+\overline{A}=1$)

$=AB+\overline{A}C+ABCD+\overline{A}BCD$

$=AB(1+CD)+\overline{A}C(1+BD)$(根据 A+1=1)

$=AB+\overline{A}C$

(6)左边$=(A+B)(B+C)(\overline{A}+C)=(A+B)(\overline{A}B+\overline{A}C+BC+CC)$

$=(A+B)(\overline{A}B+C(\overline{A}+B+1))$

$=(A+B)(\overline{A}B+C)$

$=AC+\overline{A}B+BC$

右边$=(A+B)(\overline{A}+C)=A\overline{A}+AC+\overline{A}B+BC$

$=AC+\overline{A}B+BC$

左边=右边，原式成立。

三、简答题

9. **分析图 1 所示异步时序逻辑电路，画出电路的状态图和波形图，并确定电路的逻辑功能。**

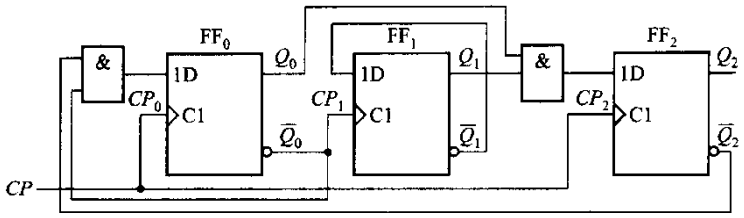


图 1

【答案】(1)写出下列各逻辑方程式

①时钟方程

$$CP_0=CP \qquad CP_1=\overline{Q}_0 \qquad CP_2=CP$$

②激励方程

$$D_0=\overline{Q}_2\,\overline{Q}_0 \qquad D_1=\overline{Q}_1 \qquad D_2=Q_1Q_0$$

(2)求电路状态方程

考虑各触发器时钟信号cp_i的作用：当$cp_i=1$，触发器状态转换，而当$cp_i=0$，触发器状态保持不变。

于是有

$$Q_0^{n+1}=\overline{Q_2^n}\,\overline{Q_0^n}cp_0+Q_0^n\overline{cp_0}$$
$$Q_1^{n+1}=\overline{Q_1^n}cp_1+Q_1^n\overline{cp_1}$$
$$Q_2^{n+1}=Q_1^nQ_0^ncp_2+Q_2^n\overline{cp_2}$$

(3)列出状态表

对于每个 CP 的上升沿，$cp_0=cp_2=1$。而只有当Q_0由 1 跳变到 0 时，$\overline{Q}_0$才有下降沿，$cp_2=1$。列出状态表如下表所示。

表

Q_2^n	Q_1^n	Q_0^n	cp_2	D_2	cp_1	D_1	cp_0	D_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1	0	0	1	1	1	0	0	1
0	0	1	1	0	1	1	1	0	0	1	0
0	1	0	1	0	0	0	1	1	0	1	1
0	1	1	1	1	1	0	1	0	1	0	0
1	0	0	1	0	0	1	1	0	0	0	0
1	0	1	1	0	1	1	1	0	0	1	0
1	1	0	1	0	0	0	1	0	0	1	0
1	1	1	1	1	1	0	1	0	1	0	0

根据状态表，可画出状态图和波形图分别如图 2 和图 3 所示。

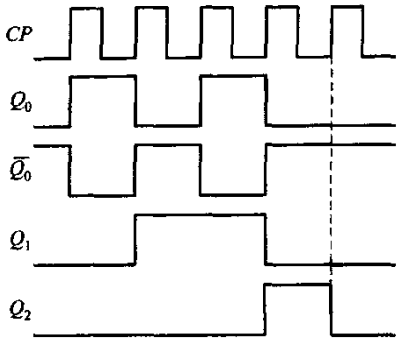


图 2：状态图

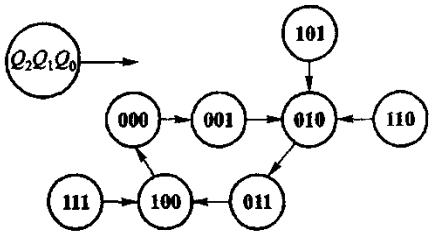
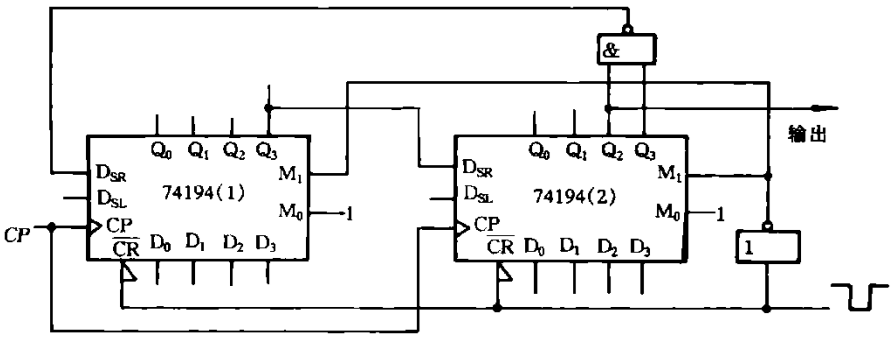


图 3：波形图

(4)用文字描述给定时序电路逻辑功能

电路是具自启动能力的五进制计数器。

10．**试确定下图所示电路的分频系数是多少。分频信号的输出端已用箭头标出。**



图

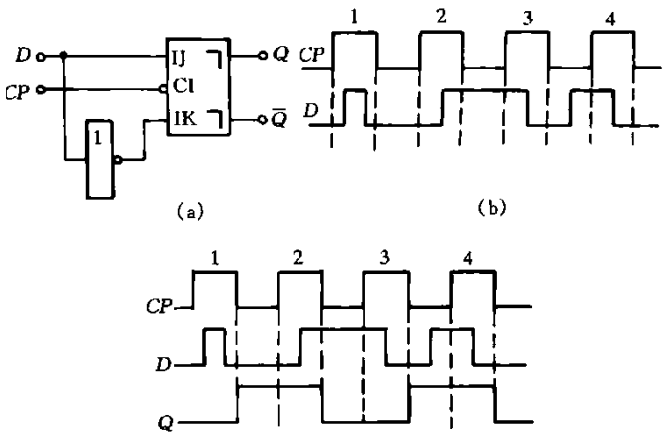
【答案】如图所示电路是由 4 位双向移位寄存器 74194 构成的奇数分频器电路。分频系数 M>7 的奇

数分频器，可由多片 4 位移位寄存器级联而成，将第 n 位和第 n-1 位的输出经相与求反(即经过与非门)后再连接到第 1 位的右移数据输入端D_{SR}来构成。当然，也可以选用大于 4 位的移位寄存器用同样的反馈方法来构成。

可以分析，当从Q_n和Q_{n-1}端反馈并由Q_{n-1}端输出时，奇数分频器的有效循环状态数为 M=2n-1，比从Q_n端反馈的扭环形计数器即偶数分频器少 1 个有效循环状态。所以本题的分频系数为 M=2×8-1=15。与上例相同，电路在工作之前先由$\overline{CR}$端加负脉冲置零，然后再右移扭环形计数。

应用移位寄存器由某一输出端经反相器反馈到D_{SR}端，可以构成偶数分频器;由Q_n和Q_{n-1}端经与非门反馈到D_{SR}端，并由Q_{n-1}端输出，可以构成奇数分频器;如果从某一输出端直接反馈到D_{SR}端，则构成环形计数器。偶数分频器的有效循环状态为 M=2n 个，奇数分频器的有效循环状态为 M=2n-1 个，环形计数器的有效循环状态为 M=n。以上三种电路是移位寄存器的基本应用。分析这类电路首先应分清电路结构，进而得出电路的分频系数，也可以列出电路的态序表进行分析。

11．**将主从 JK 触发器转换为 D 触发器的电路和输入电压波形如例图(a),(b)所示，试画出 Q 端的波形图。设触发器的初态为 0。**



(c)

图

【答案】本题将主从 JK 触发器转换为 D 触发器，转换前的特性方程为$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$。由图(a)可知，$J=D$，$K=\overline{D}(\overline{K}=D)$，所以转换后的特性方程为$Q^{n+1}=D$，成为 D 触发器的特性方程。因而在时钟脉冲 CP 的控制下，当 D=0 时，触发器的次态为 0,当 D=1 时，触发器的次态为 1。如果在 CP=1 期间 D 信号有变化(或有干扰),则可按主从 JK 触发器来决定触发器的次态，即当$Q^n=0$时，则 D(=J)=1(正向干扰)信号被触发器所接收，当$Q^n=1$时，则 D=0(K=1)，即负向干扰信号被触发器所接收。

根据上述分析及 CP,D 等输入信号，画出 Q 端的电压波形如图(c)所示。

12．**试判断能否用 74HC04 中的一个反相器驱动 6 个 74LS 系列门电路？已知 HC 系列门电路的参数：**$I_{OL(max)}=4$ mA，$I_{OH(max)}=4$ mA，$V_{OL(max)}=0.33$ V，$V_{OH(min)}=3.84$ V，**74LS 系列门电路参数：**$I_{IL(max)}=0.4$ mA，$I_{IH(max)}=0.02$ mA，$V_{IL(max)}=0.8$ V，$V_{IH(min)}=2$ V。

【答案】(1)驱动门和负载门的逻辑电平必须满足关系式：

$$V_{OH(min)}\geqslant V_{IH(min)}$$
$$V_{OL(max)}\leqslant V_{IL(max)}$$

根据已知条件判断，HC 系列门与 74LS 系列门电路逻辑电平匹配。

(2)驱动门输出低电平时，74HC04 门电路的 $I_{OL(max)}=4\ mA$，6 个 74LS 系列门电路总的输入电流 $I_{IL(total)}=6\times I_{IL(max)}=6\times 0.4\ mA=2.4\ mA$所以满足

$$I_{OL(max)}\geqslant I_{IL(total)}$$

驱动门输出高电平时，74HC04 门电路的 $I_{OH(max)}=4\ mA$，负载门电路总的输入电流 $I_{IH(total)}=6\times I_{IH(max)}=6\times 0.02\ mA=0.12\ mA$，满足

$$I_{OH(max)}\geqslant I_{IH(total)}$$

因此，可以用一个 74HC04 反相器驱动 6 个 74LS 系列门电路。

13．**试分析图 1 所示时序电路的逻辑功能。**

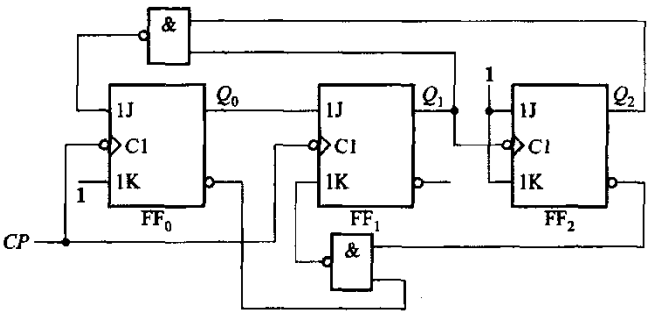


图 1：电路图

【答案】(1)写出下列各逻辑表达式

①时钟方程

$$cp_0=cp_1=CP$$
$$cp_2=Q_1$$

②激励方程

$$J_0=\overline{Q_2^nQ_1^n}\qquad K_0=1$$
$$J_1=Q_0^n\qquad K_1=\overline{Q_2^nQ_0^n}$$
$$J_2=K_2=1$$

(2)求电路的状态方程

$$Q_2^{n+1}=\overline{Q}_2^n cp_2+Q_2^n\,\overline{cp}_2$$
$$Q_1^{n+1}=(\overline{Q}_1^nQ_0^n+\overline{Q}_2^nQ_1^n\,\overline{Q}_0^n)\,cp_1+Q_0^n\,\overline{cp}_1$$
$$Q_0^{n+1}=\overline{Q_2^nQ_1^n}\,\overline{Q}_0^n cp_0+Q_0^n\,\overline{cp}_0$$

(3)列出状态转换表

根据状态方程和时钟信号的表达式可列出状态表如下表所示。

表

Q_2^n	Q_1^n	Q_0^n	$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	cp_2	Q_2^n	Q_1^n	Q_0^n	$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	cp_2
0	0	0	0 0 1	0	1	0	0	1 0 1	0
0	0	1	0 1 0	0	1	0	1	1 1 0	0
0	1	0	0 1 1	0	1	1	0	0 0 0	1
0	1	1	1 0 0	1	1	1	1	0 0 0	1

可画出状态图如图 2 所示。

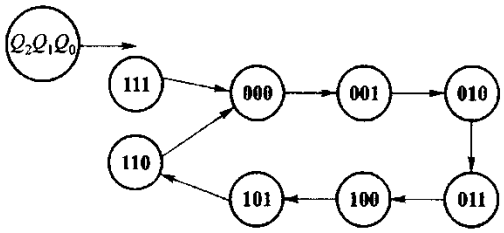


图 2：状态图

(4)用文字描述给定时序电路逻辑功能

电路是具有自启动能力的七进制计数器。

14．**将下列十进制数转换为二进制数、八进制数和十六进制数(要求二进制数保留小数点后 8 位)：**

$(1)(0.9)_D(2)(0.34)_D(3)(0.028)_D(4)(0.7182)_D$

【答案】此题的解答可分为三部分，即十-二、十-八和十-十六进制转换。解题过程及结果如下：

(1)十-二进制转换

①对于小数部分的十-二进制转换，采用“连乘法”，演算过程如下：

$$
\begin{aligned}
&0.9\times2=1.8\cdots\cdots\mathbf{1}\cdots\cdots && b_{-1} && \text{高位}\\
&0.8\times2=1.6\cdots\cdots\mathbf{1}\cdots\cdots && b_{-2} && \\
&0.6\times2=1.2\cdots\cdots\mathbf{1}\cdots\cdots && b_{-3} && \\
&0.2\times2=0.4\cdots\cdots\mathbf{0}\cdots\cdots && b_{-4} && \\
&0.4\times2=0.8\cdots\cdots\mathbf{0}\cdots\cdots && b_{-5} && \\
&0.8\times2=1.6\cdots\cdots\mathbf{1}\cdots\cdots && b_{-6} && \\
&0.6\times2=1.2\cdots\cdots\mathbf{1}\cdots\cdots && b_{-7} && \\
&0.2\times2=0.4\cdots\cdots\mathbf{0}\cdots\cdots && b_{-8} && \text{低位}
\end{aligned}
$$

最后的小数小于 0.5,即$b_{-9}=\mathbf{0}$，不会向b_{-8}产生进位。因此，

$(0.9)_D=(\mathbf{0.11100110})_B$

②$(0.34)_D=(\mathbf{0.01010111})_B$

③$(0.028)_D=(\mathbf{0.00000111})_B$

④$(0.7182)_D=(\mathbf{0.10111000})_B$

(2)十-八进制转换

十进制小数到八进制数小数的转换通常是将十进制小数转换为二进制小数，再将每 3 位二进制数对应于 1 位八进制数，小数部分从左到右划分，最低位不够 3 位的补 0。

①$(0.9)_D=(\mathbf{0.111\ 001\ 100})_B=(0.714)_O$

②$(0.34)_D=(\mathbf{0.010\ 101\ 110})_B=(0.256)_O$

③$(0.028)_D=(\mathbf{0.000\ 001\ 110})_B=(0.016)_O$

④$(0.7182)_D=(\mathbf{0.101\ 110\ 000})_B=(0.560)_O$

也可以将 0.9 连乘 8 如下：

$$
\begin{aligned}
&0.9\times8=7.2\cdots\cdots\cdots7\cdots\cdots o_{-1}\\
&0.2\times8=1.6\cdots\cdots\cdots1\cdots\cdots o_{-2}\\
&0.6\times8=4.8\cdots\cdots\cdots4\cdots\cdots o_{-3}\\
&0.8\times8=6.4\cdots\cdots\cdots6\cdots\cdots o_{-4}
\end{aligned}
$$

由于第 4 个整数为 6,超过 8 的一半，可向高位进位。由此得$(0.9)_D=(0.715)_O$。由于从十进制数转换到二进制数时保留 8 位，与十进制数直接转换到八进制数的结果有误差。

(3)十-十六进制转换

与十-八进制小数转换的方法类似，先将十进制小数转换为二进制小数，从小数点开始向右，每 4 位二进制数表示 1 位十六进制数，最低位不够 4 位的补 0。

①$(0.9)_D=(\mathbf{0.1110\ 0110})_B=(0.E6)_H$

②$(0.34)_D=(\mathbf{0.0101\ 0111})_B=(0.57)_H$

③$(0.028)_D=(\mathbf{0.0000\ 0111})_B=(0.07)_H$

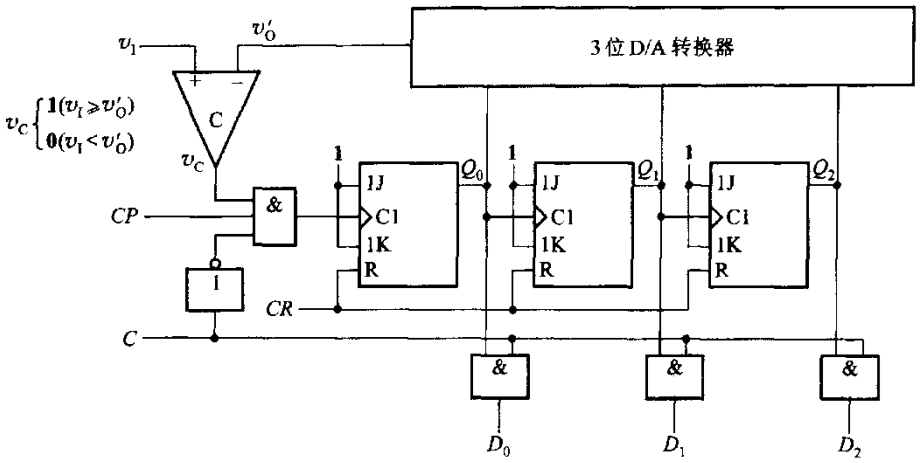
④$(0.7182)_D=(\mathbf{0.1011\ 1000})_B=(0.B8)_H$

也可以将 0.9 连乘 16 如下:

$$0.9\times16=14.4\cdots\cdots E$$
$$0.4\times16=6.4\cdots\cdots6$$
$$0.4\times16=6.4\cdots\cdots6$$

由于第 3 个整数为 6,小于 8(16 的一半)，舍去。由此得$(0.9)_D=(0.E6)_H$

15．**3 位计数型 A/D 转换器如下图所示，试分析其工作原理。**



图

【答案】计数型 A/D 转换器属于直接 A/D 转换器，电路由二进制计数器、D/A 转换器、电压比较器和门控电路组成。转换从控制信号 C 低电平到来开始,首先清零信号使$Q_2Q_1Q_0=\mathbf{000}$,该数字量送入 3 位 D/A 转换器，得 0V 电压与v_I经比较器 C 比较，如$v_I>v_O'$，则$v_C=\mathbf{1}$，于是 CP 进入计数器，第二个时钟脉冲后$Q_2Q_1Q_0=\mathbf{001}$，送到 D/A 转换器，产生相应的模拟量v_O'，v_O'再与v_I比较，如v_I仍大于v_O'，则v_C仍为高电平，在第二个时钟脉冲到来后使$Q_2Q_1Q_0=010$，$Q_2Q_1Q_0$再送 D/A 转换器。上述过程不断循环,直至$v_I<v_O'$，$v_C=\mathbf{0}$将 CP 封锁为止。计数器停止计数。此时，计数器中的$D_2D_1D_0$就是与输入电压对应的数字量。

16．**试用 T1195 构成 8 位环形计数器。T1195 功能表如下表所示，其逻辑符号如图 1 所示。**

表:T1195 功能表

输入									输出				
R	CP	$SH/\overline{LD}$	D_0	D_1	D_2	D_3	J	$\overline{K}$	Q_0	Q_1	Q_2	Q_3	$\overline{Q}_3$
0	×	×	×	×	×	×	×	×	0	0	0	0	1
1	↑	0	D_0	D_1	D_2	D_3	×	×	D_0	D_1	D_2	D_3	$\overline{D}_3$
1	0	1	×	×	×	×	×	×	Q_{00}	Q_{10}	Q_{20}	Q_{30}	$\overline{Q}_{30}$
1	↑	1	×	×	×	×	0	1	Q_{0n}	Q_{0n}	Q_{1n}	Q_{2n}	$\overline{Q}_{2n}$
1	↑	1	×	×	×	×	0	0	0	Q_{0n}	Q_{1n}	Q_{2n}	$\overline{Q}_{2n}$
1	↑	1	×	×	×	×	1	1	1	Q_{0n}	Q_{1n}	Q_{2n}	$\overline{Q}_{2n}$
1	↑	1	×	×	×	×	1	0	$\overline{Q}_{0n}$	Q_{0n}	Q_{1n}	Q_{2n}	$\overline{Q}_{2n}$

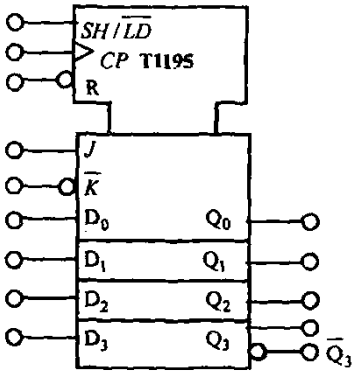


图 1：T1195 逻辑符号

【答案】由 T1195 功能表(题表)可知，11195 是一个 4 位并行移位寄存器。当$SH/\overline{LD}=0$时，在时钟 C 的上升沿到来时，$D_0 \sim D_3$的数据输入被贮存到寄存器中；当 $SH/\overline{LD}=1$时，仅第 1 位随着 JK 触发器的工作而被输入，并在时钟 CP 的上升沿同步地由低位向高位移位数据。

根据环形计数器的状态转换特点，采用 T1195 来构成环形计数器时，有一定的规律可以遵循，具体如下：

①先将寄存器在上电开机时置一初态，且此初态必须是环形计数器的有效状态之一；

②将寄存器的 J、$\overline{K}$端直接相连，此时，若将寄存器的第 n 位输出Q_n反馈到J、$\overline{K}$端，则可构成 n 位环形计数器。

可见，若采用一片 T1195,则可构成 4 位或 4 位以下的环形计数器 而若采用两片 T1195,则可构成 5～8 位的环形计数器；依次类推，若采用 m 片 T1195,则可构成多达 4×m 位的环形计数器。

根据上述分析，要构成 8 位环形计数器，需采用 2 片 T1195 来组成，具体的连线图如图 2 所示。

图中，寄存器在上电开机时置入的初态为 10000000 状态，所构成的 8 位环形计数器的状态转换图如图 3 所示。

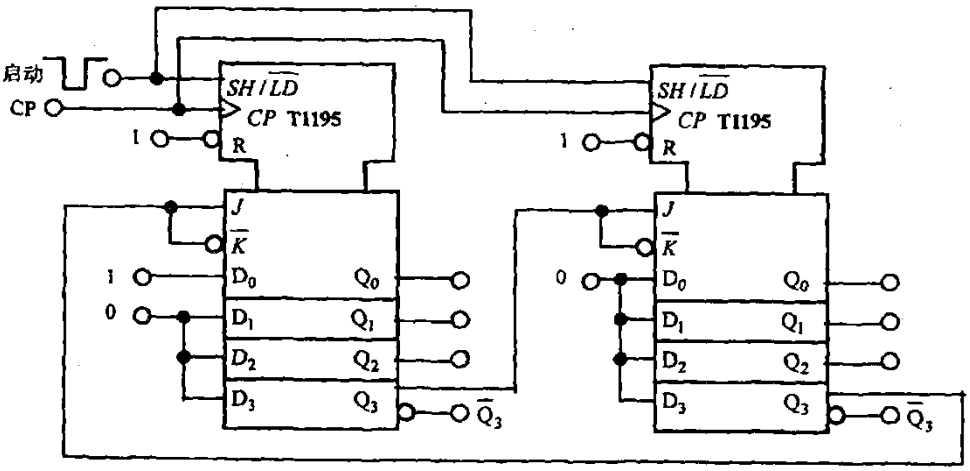


图 2：采用 T1195 构成 8 位环形计数器的逻辑图

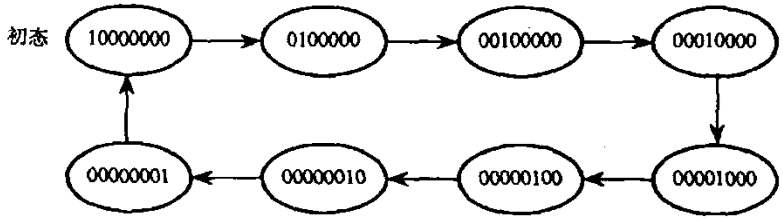


图 3：采用 T1195 构成 8 位环形计数器的状态转换图

【冲刺】2024 年东华理工大学 077400 电子科学与技术《814 数字电子技术基础》考研考前冲刺 5 套卷（三）

说明：本书按照考试大纲、历年真题、指定参考书等公开信息潜心整理编写，由学长严格审核校对，仅供考研备考使用，与目标学校及研究生院官方无关，如有侵权请联系我们立即处理。

一、选择题

1. **下列电路中，不属于时序逻辑电路的是_____。**

A.计数器；

B.全加器；

C.寄存器；

D.分频器

【答案】B

2. **单稳态触发器的主要用途是_____。**

A.整形，延时，鉴幅；

B.整形，鉴幅，定时；

C.延时，定时，存储；

D.延时，定时，整形。

【答案】D

3. **滞回特性是_____的基本特性。**

A.多谐振荡器；

B.单稳态触发器；

C.T 触发器；

D.施密特触发器

【答案】D

4. **单稳态触发器的输出脉冲的宽度取决于_____**

A.触发脉冲的宽度

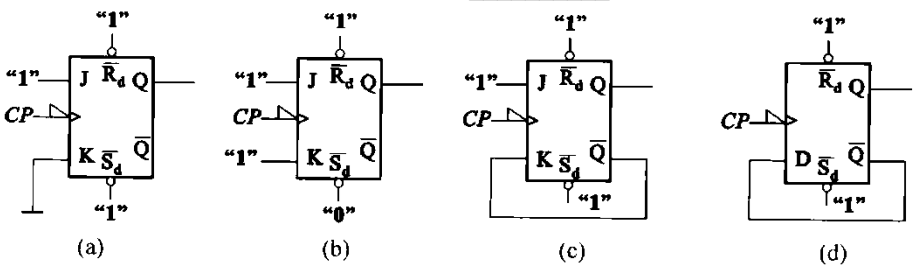
B.触发脉冲的幅度

C.电路本身的电容、电阻的参数

D.电源电压的数值

【答案】C

5. **如图所示电路中能实现对时钟信号二分频的电路为_____。**

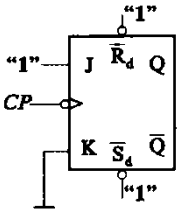


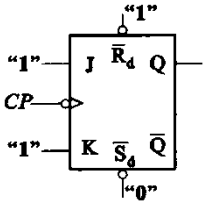
图

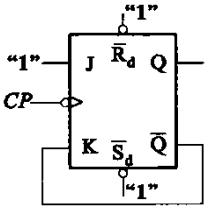
A.(a)
B.(b)
C.(c)
D.(d)

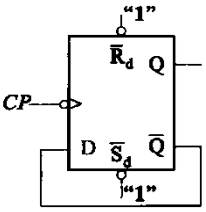
【答案】D

6. **如图所示电路中输出能实现对时钟信号二分频的电路为_____。**

A.


B.


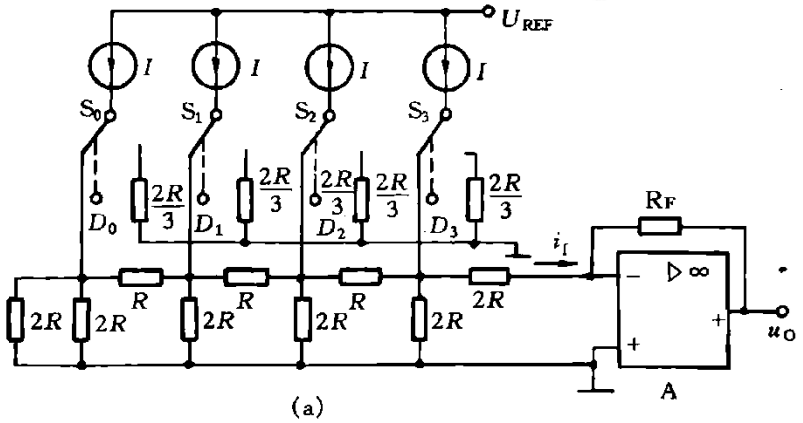
C.


D.


【答案】D

二、分析计算题

7. **D/A 转换器如图(a)所示。图中 I 为恒流源。 $D_3D_2D_1D_0$为输入数字量，当某位数字$D_i=1$时，对应的电子开关S_i将恒流源引入梯形网络；当$D_i=0$时，S_i将恒流源 I 引入$\frac{2}{3}R$支路到地。**



(a)

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：https://d.book118.com/546205103001010145