

(19) 中华人民共和国国家知识产权局



(12) 发明专利说明书

(10) 申请公布号 CN 101923141 A

(43) 申请公布日 2010. 12. 22

(21) 申请号 CN201010198524.8

(22) 申请日 2010. 06. 07

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 K·B·阿加瓦尔 N·哈比布 J·D·海斯 J·G·麦西 A·W·斯特朗

(74) 专利代理机构 北京市中咨律师事务所

代理人 于静

(51)Int.CI

G01R31/28

G01R31/26

权利要求说明书 说明书 附图

(54) 发明名称

应力测试方法和测试装置

(57) 摘要

本发明涉及一种应力测试方法和测试装置。提供了在使用晶片级测试设备时以快速而简化的方式获得晶片级统计数据的系统和方法。所述系统和方法对给定芯片上的所有 DUT 执行并行施加应力以缩短施加应力时间，然后允许单独测试该芯片上的每个 DUT，同时使该芯片上的其他

DUT 处于应力之下以避免任何松弛。在一个应用中，所获得的统计数据使能分析晶体管器件的负偏压温度不稳定性(NBTI)现象。尽管由于 NBTI 在器件变窄时的已知行为而使获得统计数据对 NBTI 更重要，但是所述结构和方法在进行较小适当调整的情况下可用于针对许多技术可靠性机制对多个 DUT 施加应力。

法律状态

法律状态公告日	法律状态信息	法律状态
2021-05-18	未缴年费专利权终止	未缴年费专利权终止
2012-11-21	授权	授权
2011-02-02	实质审查的生效	实质审查的生效
2010-12-22	公开	公开

权利要求说明书

1.一种用于测试在半导体晶片内形成的多个晶体管器件的特性的测试装置，所述测试装置包括：

一个或多个第一导体，其通过允许或阻止信号传导到所述多个晶体管器件中的每个晶体管器件的第一端子的一个或多个第一开关器件而与所述第一端子相连；

一个或多个第二导体，其通过允许或阻止信号传导到所述多个晶体管器件中的每个晶体管器件的第二端子的一个或多个第二开关器件而与所述第二端子相连；

一个或多个第三导体，其通过允许或阻止信号传导到所述多个晶体管器件中的每个晶体管器件的第三端子的一个或多个第三开关器件而与所述第三端子相连；以及

在所述晶片中配置的控制电路，其用于生成信号以同时控制所述一个或多个第一开关器件、所述一个或多个第二开关器件以及所述一个或多个第三开关器件的激活，以使得信号能够在预定时间和以预定持续时间在相应的每个所述第一、第二和第三端子处传导到每个所述晶体管器件，所述信号提供用于在所述多个晶体管器件中的每个晶体管器件处施加应力的配置；以及

所述控制电路被配置为在预定时间生成另一局部信号，所述局部信号用于选择所述多个晶体管器件中的一个特定晶体管器件，并使能经由所施加的信号将选定晶体管器件局部配置为一个或多个状态以获得特性数据，

其中，所述控制电路被配置为使能收集所述选定晶体管器件处的特性数据，与此同时对所述多个晶体管器件中的其余晶体管器件同时施加应力。

2.如权利要求 1 中所述的测试装置，其中在所述晶片中配置的控制电路包括：

与所述多个晶体管器件中的每个晶体管器件相一致地提供的开关配置电路，其响应于控制所述一个或多个第一开关器件、所述一个或多个第二开关器件以及所述一个或多个第三开关器件的激活的控制信号，使得信号能够在预定时间和以预定持续时间在相应的每个所述第一、第二和第三端子处传导到选定晶体管器件。

3.如权利要求 2 中所述的测试装置，其中在所述晶片中配置的控制电路进一步包括：

用于接收多个数字控制信号并生成所述另一局部信号以选择所述多个晶体管器件中的一个特定晶体管器件的电路。

4.如权利要求 3 中所述的测试装置，其中用于选择所述多个晶体管器件中的一个特定晶体管器件的所述另一局部信号被输入到关联的开关配置电路以便控制选定晶体管器件的所述一个或多个第一开关器件、所述一个或多个第二开关器件以及所述一个或多个第三开关器件的激活。

5.如权利要求 3 中所述的测试装置，还包括：

用于存储数据的记忆存储器件；以及

用于在测量工作模式期间读出所述选定晶体管器件的端子处的信号值的电路装置，所读出的信号值被输出到所述记忆存储器件以存储在其中。

6.如权利要求 3 中所述的测试装置，其中所述多个晶体管器件中的每个晶体管器件均为具有所述第一、第二和第三端子的 MOSFET 晶体管器件，多个晶体管器件的被测试的特性包括所述 MOSFET 器件的阈值电压 V_{T} 。

7.如权利要求 3 中所述的测试装置，其中接收所述数字信号的电路形成扫描链，由此使多个晶体管器件并行地处于应力状态，并且所述扫描链使能连续松弛和测试根据生成的另一局部信号选择的单个晶体管器件，所选择的一个晶体管器件被单独地测试且使其余晶体管器件保持应力状态，并且所述测试产生读出的信号输出值。

8.如权利要求 7 中所述的测试装置，其中所述扫描链进一步使能连续地测试所述多个晶体管器件，其中根据生成的另一局部信号一次测试一个晶体管器件，每个所述读出的信号输出值都被记录在所述记忆存储器件中以供后续统计分析。

9.如权利要求 1 中所述的测试装置，还包括：用于在所述施加应力期间将温度偏压施加到所述多个晶体管器件的加热器件。

10.如权利要求 9 中所述的测试装置，其中所读出和记录的信号输出值用于所述多个晶体管器件的负偏压温度不稳定性 NBTI 统计分析。

11.一种对半导体晶片内形成的多个器件进行应力测试的方法，所述方法包括：

在所述半导体晶片中提供一个或多个开关器件的并行连接，所述一个或多个开关器件的每个并行连接都与所述多个器件中的每个器件的结构相连以允许或阻止信号传导到所述器件结构；

配置所述并行连接的多个选定开关器件以使能在预定时段内将应力信号同时施加到与所述并行连接相连的多个关联选定器件中的每个器件的结构；

切换与所述多个选定器件中的第一器件关联的开关器件以取消施加所述应力信号，同时继续对其他的所述多个选定器件施加所述应力信号，所施加应力的移除使所述第一器件变为松弛状态；

在所述第一器件的松弛期间或之后的预定时间从所述第一器件的结构获得测量信号；

重新配置所述第一器件以便施加应力信号，以及

切换与所述多个选定器件中的第二器件关联的开关器件以取消施加所述应力信号，同时继续对其他的所述多个选定器件施加所述应力信号，所施加应力的移除使所述第二器件变为松弛状态；以及

重复应用以下步骤：选择所述多个器件中要测试的下一相继器件并切换该相继开关器件以在所述下一相继器件处移除应力信号，同时继续对其他的所述多个选定器件施加所述应力信号，并在所述预定时间获得所述下一相继器件处的测量值，此后将所述应力信号重新施加到下一相继器件，

其中对半导体晶片内形成的所述多个器件并行施加应力并控制所述多个器件以连续地获得选定器件的单个测试测量值，同时使能继续对当前未被测试的其余的所述多个器件施加应力信号。

12.如权利要求 11 中所述的方法，还包括：

在记忆存储器件中记录从所述第一器件和下一相继器件的结构获得的测量信号的值；
以及

在记忆存储器件中处理从所述第一器件和下一相继器件的结构获得的所记录的测量信号以供统计分析。

13.如权利要求 12 中所述的方法，还包括：

在所述半导体晶片内的开关配置电路处接收信号以启动对要被测试的所述多个器件并行施加应力，所述开关配置电路响应于所接收的信号，生成控制信号以激活所述多个器件中的每个器件处的所述一个或多个开关器件；以及

在预定时间和以预定持续时间经由所激活的一个或多个开关器件将应力信号施加到要被测试的所述多个器件中的每个器件的所述结构。

14.如权利要求 13 中所述的方法，其中要被测试的所述多个器件中的每个器件都包括晶体管器件，所述晶体管器件的结构包括第一、第二或第三晶体管器件端子，并

且其中所述一个或多个开关器件的并行连接包括：

一个或多个允许或阻止信号传导到所述第一晶体管器件端子的第一开关器件、一个或多个允许或阻止信号传导到所述第二晶体管器件端子的第二开关器件，以及一个或多个允许或阻止信号传导到所述第三晶体管器件端子的第三开关器件，

其中，与要被测试的所述多个晶体管器件中的每个晶体管器件相一致地在所述半导体晶片内提供单个开关配置电路，并且响应于控制所述一个或多个第一开关器件、所述一个或多个第二开关器件以及所述一个或多个第三开关器件的激活的信号，使得信号能够在所述预定时间和以预定持续时间在相应的每个所述第一、第二和第三端子处传导到选定晶体管器件。

15.如权利要求 14 中所述的方法，还包括：

在所述晶片中的扫描链电路处接收多个数字控制信号，并作为响应，在预定时间生成另一局部信号以用于选择所述多个晶体管器件中的一个特定晶体管器件；

对应的单个开关配置电路响应于所述另一局部选择信号和所述控制激活信号，局部地配置所述多个晶体管器件中的选定晶体管器件以获得单个测试测量值，同时使其余的未选定晶体管器件处于并行施加的应力之下。

16.如权利要求 15 中所述的方法，其中所述多个晶体管器件中的每个晶体管器件均为具有所述第一、第二和第三端子的 MOSFET 晶体管器件，多个晶体管器件的被测试的特性包括所述 MOSFET 器件的阈值电压 V_{T} 。

17.如权利要求 15 中所述的方法，还包括：

对多个晶体管器件并行施加应力；以及

通过一次选择一个单独的晶体管器件并在其余晶体管器件保持应力状态的情况下测试所述单独的晶体管器件来提供连续的松弛和测试，所述测试包括读出晶体管器件端子处的信号输出值。

18.如权利要求 17 中所述的方法，还包括：

使能经由所述扫描链电路对所述多个晶体管器件进行连续测试，一次测试一个晶体管器件；以及

在所述记忆存储器件中记录所读出的信号输出值以供统计分析。

19.如权利要求 11 中所述的方法，还包括：在施加所述应力信号期间将温度偏压施加到所述多个晶体管器件。

20.如权利要求 19 中所述的方法，其中针对负偏压温度不稳定性 **NBTI** 对被测试的所述多个器件的所记录的读出信号输出值进行统计分析。

21.

单个开关矩阵的阵列，其被配置为支持并行测试多个器件，所述阵列中的每个开关矩阵都对应于所述多个器件中的单个器件并包括：

一个或多个开关器件的并行连接，所述一个或多个开关器件的每个并行连接都与所述多个器件中的每个相应器件的结构相连以允许或阻止信号传导到所述器件结构；

电路装置，其与每个单个开关矩阵阵列相连以便根据应力、松弛或测量状态之一配置所述多个器件中的每个器件，所述电路装置响应于第一组信号而激活一个或多个开关器件的所述并行连接中的至少一个，以使能施加使所述多个器件处于所述应力状态的应力信号；以及，所述电路装置响应于第二组信号而生成局部选择信号，该局部选择信号进一步激活单个器件来应用所述松弛或测量状态，其中

对半导体晶片内形成的所述多个器件并行施加应力并控制所述多个器件以连续地获得选定器件的单个测试测量值，同时使能继续对当前未被测试的其余器件施加应力信号。

说明书

本发明一般地涉及集成电路芯片测试，具体地说，涉及对半导体器件进行应力测试的方法和装置。

背景技术

在半导体技术可靠性领域的历史上，对半导体器件进行应力测试的方法是：首先从晶片切割一测试器件，将其安装在载体上，然后将其与其他器件一起插入大型温度室内，其中为被测器件(DUT)接上适当施加的电源。通常在各读出间对 DUT 一次施加数天和数周的应力。为了测试，一次一个地取下 DUT 并将 DUT 放在测试器上。

当前技术水平已发展到通常使用与晶片探测器相关的相对简单的设备在晶片上对器件施加应力和执行测试。通常以高得多的条件施加应力，从而对每个器件施加数分钟到数小时的应力，并在对器件施加应力期间连续获得读数，或至少在施加应力过程中频繁获得读数。此方案要求一次只能对晶片上的一个器件施加应力。另外，使用目前可用于晶片级测试的相对简单的测试器，只能对少数器件(通常为 1 个 DUT，但有时为 2 到 4 个 DUT)施加应力和进行测试。由于每个芯片上被施加应力和测试的器件数相对较少，因此所收集的数据量太少而无法表征跨 DUT 的任何实际统计变化。

近几年，已可使用多个探测头，原则上允许一次测量 2 到 16 个芯片。但是由于其成本、设置时间以及性能相对较差(至少对于 4 个探头以上的情况)，所以对于上述问题而言，多个探头并非最优的解决方案。因此，多个探头并未得到广泛认可。因此，对于每个具有特定机械配置的芯片，仅对一个或两个 DUT 执行应力测试。

改变了测试工艺。随着 CMOS PFET 晶体管数目的增多, NBTI 已成为非常重要的 CMOS PFET 晶体管故障测试机制。由于移除应力后发生的迅速松弛并且由于随着器件变窄, 位移变化迅速增大(即使平均位移正常也是如此), 因此加大了理解所述机制的难度。最近, 设计了允许使用常规测试设备测量单个器件短至 10-100 纳秒的松弛时间的电路(参见例如共同拥有的美国专利申请第 12/061077 号[代理案号 AUS920070812US1])。但是, 这些方法没有解决跨 DUT 的变化。参见共同受让人 Visweswariah 的美国专利第 7,111,260 号以及 C.Visweswariah、K.Ravindran、K.Kalafala、S.G.Walker 和 S.Narayan 的论文 “order incremental block-based statistical timing analysis(基于一阶增量块的统计时序分析)”设计自动化会议(DAC), 加利福尼亚州圣地亚哥, 第 331-336 页, 2004 年 6 月)。

在测试时需要这样的能力: 对给定芯片上的所有 DUT 并行施加应力(以使施加应力时间较短), 然后测试该芯片上的单个 DUT, 同时使该芯片上的其他器件处于应力之下以避免返回松弛状态。

发明内容

本发明涉及一种在不需要任何附加或专用设备的情况下, 允许对多个半导体器件 DUT 并行施加应力, 然后在其余 DUT 处于应力状态的情况下单独地测试 DUT 的方法和装置。

具体地说, 提供了一种电路, 其使能对晶体管或线路元件中的多个 DUT 并行施加应力以通过连续测试一次获得大量器件的统计数据。

在一个相关方面, 本发明包括片上多路复用电路, 所述电路允许针对多个被测器件的各个方面(例如, 诸如 V_t 之类的器件参数)并行施加应力, 但允许在其余 DUT 处于应力状态的情况下单独测试一 DUT。

晶体管器件的特性的测试装置，所述测试装置包括：

一个或多个第一导体，其通过允许或阻止信号传导到所述多个晶体管器件中的每个晶体管器件的第一端子的一个或多个第一开关器件而与所述第一端子相连；

一个或多个第二导体，其通过允许或阻止信号传导到所述多个晶体管器件中的每个晶体管器件的第二端子的一个或多个第二开关器件而与所述第二端子相连；

一个或多个第三导体，其通过允许或阻止信号传导到所述多个晶体管器件中的每个晶体管器件的第三端子的一个或多个第三开关器件而与所述第三端子相连；以及

在所述晶片中配置的控制电路，其用于生成信号以同时控制所述一个或多个第一开关器件、所述一个或多个第二开关器件以及所述一个或多个第三开关器件的激活，以使得信号能够在预定时间和以预定持续时间在相应的每个所述第一、第二和第三端子处传导到每个所述晶体管器件，所述信号提供用于在所述多个晶体管器件中的每个晶体管器件处施加应力的配置；以及

所述控制电路被配置为在预定时间生成另一局部信号，所述局部信号用于选择所述多个晶体管器件中的一个特定晶体管器件，并使能经由所施加的信号将选定晶体管器件局部配置为一个或多个状态以获得特性数据，

其中，所述控制电路被配置为使能收集所述选定晶体管器件处的特性数据，与此同时对所述多个晶体管器件中的其余晶体管器件同时施加应力。

此方面进一步包括，在所述晶片中配置的控制电路包括：与所述多个晶体管器件中的每个晶体管器件相一致地提供的开关配置电路，其响应于控制所述一个或多个第

活的控制信号，使得信号能够在预定时间和以预定持续时间在相应的每个所述第一、第二和第三端子处传导到选定晶体管器件。

此外，在所述测试装置中，在所述晶片中配置的控制电路进一步包括：用于接收多个数字控制信号并生成所述另一局部信号以针对测试或测量状态选择所述多个晶体管器件中的一个特定晶体管器件的电路。

根据本发明的另一方面，提供了一种对半导体晶片内形成的多个器件进行应力测试的方法，所述方法包括：

在所述半导体晶片中提供一个或多个开关器件的并行连接，所述一个或多个开关器件的每个并行连接都与所述多个器件中的每个器件的结构相连以允许或阻止信号传导到所述器件结构；

配置所述并行连接的多个选定开关器件以使能在预定时段内将应力信号同时施加到与所述并行连接相连的多个关联选定器件中的每个器件的结构；

切换与所述多个选定器件中的第一器件关联的开关器件以取消施加所述应力信号，同时继续对其他的所述多个选定器件施加所述应力信号，所施加应力的移除使所述第一器件变为松弛状态；

在所述第一器件的松弛期间或之后的预定时间从所述第一器件的结构获得测量信号；

重新配置所述第一器件以便施加应力信号，以及

切换与所述多个选定器件中的第二器件关联的开关器件以取消施加所述应力信号，同时继续对其他的所述多个选定器件施加所述应力信号，所施加应力的移除使所述

重复应用以下步骤：选择所述多个器件中要测试的下一相继器件并切换该相继开关器件以在所述下一相继器件处移除应力信号，同时继续对其他的所述多个选定器件施加所述应力信号，并在所述预定时间获得所述下一相继器件处的测量值，此后将所述应力信号重新施加到下一相继器件，

其中对半导体晶片内形成的所述多个器件并行施加应力并控制所述多个器件以连续地获得选定器件的单个测试测量值，同时使能继续对当前未被测试的其余的所述多个器件施加应力信号。

有利地，本发明的系统和方法提供了执行并行施加应力和顺序测试来获得重要统计分布数据的能力，所述分布数据例如在用于 **NBTI** 特性的实施例中非常重要，因为当 **W** 减小时，标准偏差显著增加-它们几乎不增加总体设备时间，这是因为应力测试是并行执行的。

附图说明

从下面的详细说明、所附权利要求以及附图，本发明的其他方面、特征和优点将变得更加显而易见，在所述附图中，相同的标号表示相同的元素：

图 1 示出了根据本发明的一个实施例测试的 **DUT** 基本电路构建块 10；

图 2 示出了包括经由总线或类似导体耦接在一起的图 1 的基本电路构建块 10 的连接的阵列架构 100；

图 3 是被编程为采用根据本发明的一个实例实施例测试 **DUT**(**MOS** 晶体管)的半导体测试方法的半导体晶片测试平台 500 的方块图；

图 4 示出了本发明的一个实施例中针对晶片级并行 DUT NBTI 特性采用的测试结构阵列 400 架构；

图 5 示出了用于根据测试结构阵列 400 中提供的开关配置逻辑在各种工作模式中编程 DUT 器件的实例全局选择 SEL 1、SEL 2 以及 di(低)和 di(高)的配置；

图 6 示出了对 n 个 DUT 器件施加应力期间的实例阵列架构；

图 7 示出了第 i 个 DUT 器件的松弛期间的实例阵列架构；

图 8 示出了在第 i 个 DUT 器件的松弛模式之后测量第 i 个 DUT 器件期间的实例阵列架构；

图 9 示出了其中采用本发明的测试系统架构 550；以及

图 10 是示出根据本发明的一个实施例的测试方法的流程图。

<mode-for-invention><p>具体实施方式

图 1 示出了用于测试待测器件“DUT”的基本电路构建块 10，所述 DUT 可以是场效应晶体管器件 12(CMOS、JFET、NFET 或 PFET，此处称为“晶体管”或“晶体管器件”)。但是，应理解本发明并不限于诸如场效应晶体管之类的特定类型的晶体管，而是可等同地应用于双极结晶体管以及其他种类的数字组件和器件。因此，虽然根据图 1 中示出的晶体管器件 12 具体在此描述本发明的实施例，但是本领域的技术人员可以轻松地将本发明中的方法和装置用于其他基本电路构建块。

如图 1 所示，晶体管器件 12 为 MOS 晶体管，包括栅极、漏极和源极端子，具体地说，包括栅极端子 13、漏极端子 14 和源极端子 15。此外，栅极端子 13、漏极端子 14 和源极端子 15 均与相应选通电路 30、40 和 50 相连，每个电路都提供一个

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/638135136016006105>