

目 录

第 1 章 总体设计方案	1
1.1 设计原理	1
1.2 设计思绪	1
1.3 设计环境	1
第 2 章 详细设计方案	3
2.1 总体方案的设计与实现	3
2.1.1 总体方案的逻辑图	3
2.1.2 器件的选择与引脚锁定	3
2.2 功能模块的设计与实现	4
2.2.1 移位寄存器模块的设计与实现	4
2.2.2 计数器模块的设计与实现	6
2.2.3 4-2 编码电路模块的设计与实现	8
2.2.4 并串转换模块的设计与实现	10
2.3 仿真调试	12
第 3 章 编程下载与硬件测试	14
3.1 编程下载	14
3.2 硬件测试及成果分析	14

参照文献15

附 录16

第 1 章 总体设计方案

1.1 设计原理

4PPM 码 (0001 0010 0100 1000) 通过解码后变成二进制数字序列 (11 10 01 00)。用移位寄存器来实现 4PPM 码串行输入, 用对应的逻辑门电路实现 4-2 编码器, 以及用改善的移位寄存器二进制序列串行输出, 同步加上对应的时钟控制, 通过这四部分构成 4PPM 码解码器, 实现 4PPM 码到二进制序列的解码。

1.2 设计思绪

4ppm 码解码器的设计重要包括如下 4 个部分:

①移位寄存器;

②计数器;

③4-2 编码器;

④串行输入并行输出转换器。

在 4 个部分中分别设计实现对应功能的器件, 包括逻辑门、D 触发器、时钟信号等。在连接详细电路时配合对应脉冲和门电路以到达预期效果。4ppm 码解码器的底层、顶层的设计都采用原理图设计输入方式, 经编译、调试后形成 4ppm.bit 文献并下载到 XCV200 可编程逻辑芯片中, 经硬件测试验证设计的对酌性。

1.3 设计环境

(1) EDA 环境

•Xilinx foundation f3.1 设计软件

Xilinx Foundation F3. 1 是 Xilinx 企业重要的可编程器件开发工具，它可用来开发 Xilinx 企业的 Spar-tan, Virtex, XC3000, XC4000, XC5200 系列的 FPGA 芯片和 XC9500 系列的 CPLD 芯片。该平台功能强大，重要用于百万逻辑门级的设计和 1Gb / s 的高速通信内核的设计。运用该系统可完毕从设计设想到比特流下载的所有过程。该平台以工程管理器为主界面，同步集成了 Xilinx 企业以及其他企业的某些优秀软件。

设计入口工具包括原理图编辑器、有限状态机编辑器、硬件描述语言 (HDL) 编辑器、LogiBLOX 模块生成器、Xilinx 内核生成器等软件。其功能是：接受多种图形或文字的设计输入，并最终生成网络表文献。设计实现工具包括流程引擎、限制编辑器、基片规划器、FPGA 编辑器、FPGA 写入器等软件。设计实现工具用于将网络表转化为配置比特流，并下载到器件。设计验证工具包括功能和时序仿真器、静态时序分析器等，可用来对设计中的逻辑关系及输出成果进行检查，并详尽分析各个时序限制的满足状况。

(2) 硬件环境

•伟福 COP2023 型计算机构成原理试验仪

COP2023 计算机构成原理试验系统由试验平台、开关电源、软件三大部分构成

试验平台上有寄存器组 R0-R3、运算单元、累加器 A、暂存器 B、直通/左移/右移单元、地址寄存器、程序计数器、堆栈、中断源、输入/输出单元、存储器单元、微地址寄存器、指令寄存器、微程序控制器、组合逻辑控制器、扩展座、总线插孔区、微动开关/指示灯、逻辑笔、脉冲源、20 个按键、字符式 LCD、RS232 口。

COP2023 计算机组成原理试验系统各单元部件都以计算机构造模型布局，清晰明了，系统在试验时虽然不借助 PC 机，也可实时监控数据流状态及对的与否，试验系统的软硬件对顾客的试验设计具有完全的开放特性，系统提供了微程序控制器和组合逻辑控制器两种控制器方式，系统还支持手动方式、联机方式、模拟方式三种工作方式，系统具有完善的寻址方式、指令系统和强大的模拟调试功能。

第 2 章 详细设计方案

2.1 总体方案的设计与实现

顶层方案图是实现 4PPM 码解码功能，采用原理图设计输入方式完毕，电路实现基于 XCV200 可编程逻辑芯片。在完毕原理图的功能设计后，把输入和输出信号安排到 XCV200 指定的引脚上去，实现芯片的引脚锁定。

2.1.1 总体方案的逻辑图

顶层图形文献的设计实体重要由一种移位寄存器串行输入端，一种数据清零端 CLR 和一种脉冲控制端 CLK，一种二进制序列串行输出端组装而成的一种完整的设计实体。编码过程中采用并行解码，输出时又通过转换器转换成串行输出。4PPM 码解码器的设计采用自顶向下的设计思绪和自底向上的实现思想。4PPM 码解码器作为顶层模块，可运用 Xilinx foundation f3.1 中的器件来实现，顶层图形文献构造如图 2.1 所示：

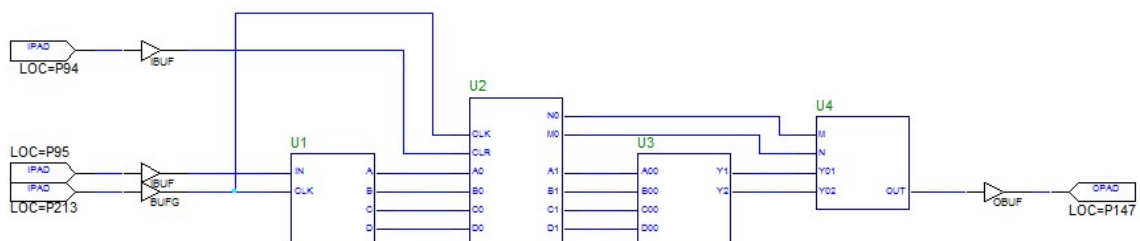


图 2.1 PPM 码解码器整体设计框图

2.1.2 器件的选择与引脚锁定

如图 2.1 所示的电路图形文献中的输入/输出信号安排到 Xilinx XCV200 芯片指定的引脚上去，实现芯片的引脚锁定，各信号及 Xilinx XCV200 芯片引脚对应关系如表 2.1 所示。

表 2.1 信号和芯片引脚对应关系

元件符号中的输入/输出信号	XCV200 芯片引脚
CLK	P213
CLR	P94
IN	P95
OUT	P147

图形文献中的输入/输出信号安排到 XilinxXCV200 芯片指定的引脚上去，实现芯片的引脚锁定，各信号及 Xilinx XCV200 芯片引脚对应关系如表 2.1 所示。

2.2 功能模块的设计与实现

4PPM 码解码器的整体设计包括移位寄存器模块、计数器模块、4-2 编码电路模块、以及并串转换模块，设计时这四个模块用逻辑门电路以及触发器实现。

2.2.1 移位寄存器模块的设计与实现

2.2.1.1 功能描述

移位寄存器要实现功能是在每个时钟上升沿抵达的时候将串行输入的二进制数读入到 D 触发器中，并实现移位寄存，最终实现并行输出。

2.2.1.2 电路图

使用串联的 4 个 D 触发器实现，在每个时钟信号的上升沿抵达时 D 触发器读入数据，并将原有数据向后一种 D 触发器移位寄存，最终串行输出，以备背面的计数器采集读入的数据。详细设计原理图如图 2.2 所示：

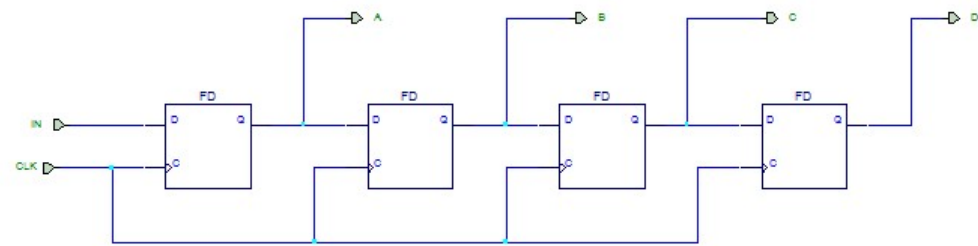


图 2.2 移位寄存器模块

2.2.1.3 功能仿真

根据电路原理，设置了仿真试验数据如表 2.3 所示，若电路设计符合规定，则应得到表中所示的输出成果。

表 2.3 仿真输入信号及理想的输出成果

输入信号		输出信号			
CLK	IN	A	B	C	D
↑	1	1	0	0	0
↑	0	0	1	0	0
↑	0	0	0	1	0

↑	1	1	0	0	1
↑	0	0	1	0	0
↑	0	0	0	1	0
↑	0	0	0	0	1

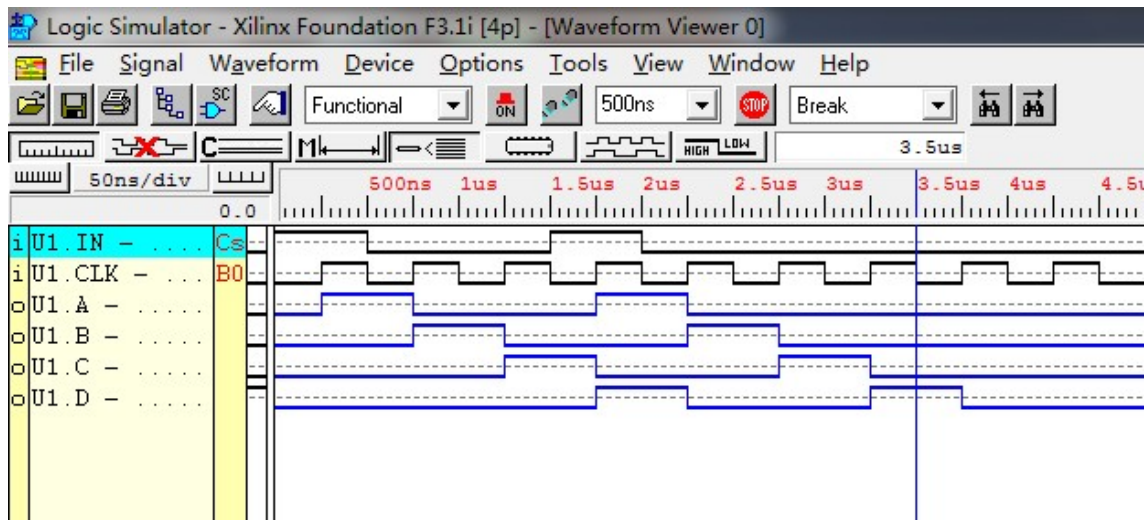


图 2.4 输入模块仿真成果图

仿真图阐明：

如图 2.4 所示，在周期为 500ns 的时钟信号下，我们输入信号为 1001 000，D 触发器在每个时钟上升沿抵达时读入目前输入信号，并将原有的数据移交给下一种 D 触发器，期望得到的理想输出与仿真成果一致，因此电路设计符合规定。

2.2.2 计数器模块的设计与实现

2.2.2.1 功能描述

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。

如要下载或阅读全文，请访问：

<https://d.book118.com/645222002223011230>