存储器存储管理和高速缓存技术应用



CH5 存储器、存储管理和高速缓存技术

- 存储器件和存储器
- 存储器的体系结构
- 虚拟存储机制和段页两级存储管理
- 高速缓存技术



5.1 存储器件和存储器

- 存储器的分类和性能指标
- 随机存取存储器和只读存储器
- 存储器的行列结构、应用举例以及容量扩充



存储器的分类和性能指标

- 根据用途和特点
  - 内部存储器：
  - 外部存储器：
- 内存
  - CPU可直接访问
  - 大小限制
  - 主要指RAM
- 计算机中各类存储器的分工

内存（系统程序，系统参数，当前运行应用软件和数据），外存（暂不使用的程序和数据）



存储器的分类和性能指标

- 存储器的性能指标
  - 易失性：指电源断开后内容丢失，如RAM
  - 只读性：
  - 存储容量：
  - 速度：存储周期、存储器带宽
  - 功耗



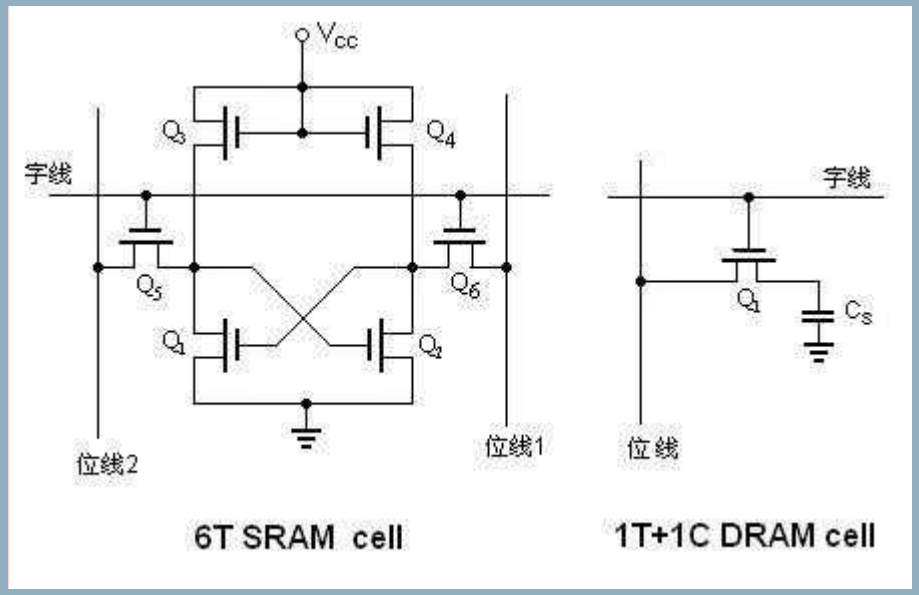
随机存储器和只读存储器

- 随机存储器分类
  - SRAM
  - DRAM
- 只读存储器
  - MROM
  - PROM
  - EPROM
  - E^2PROM
  - Flash memory



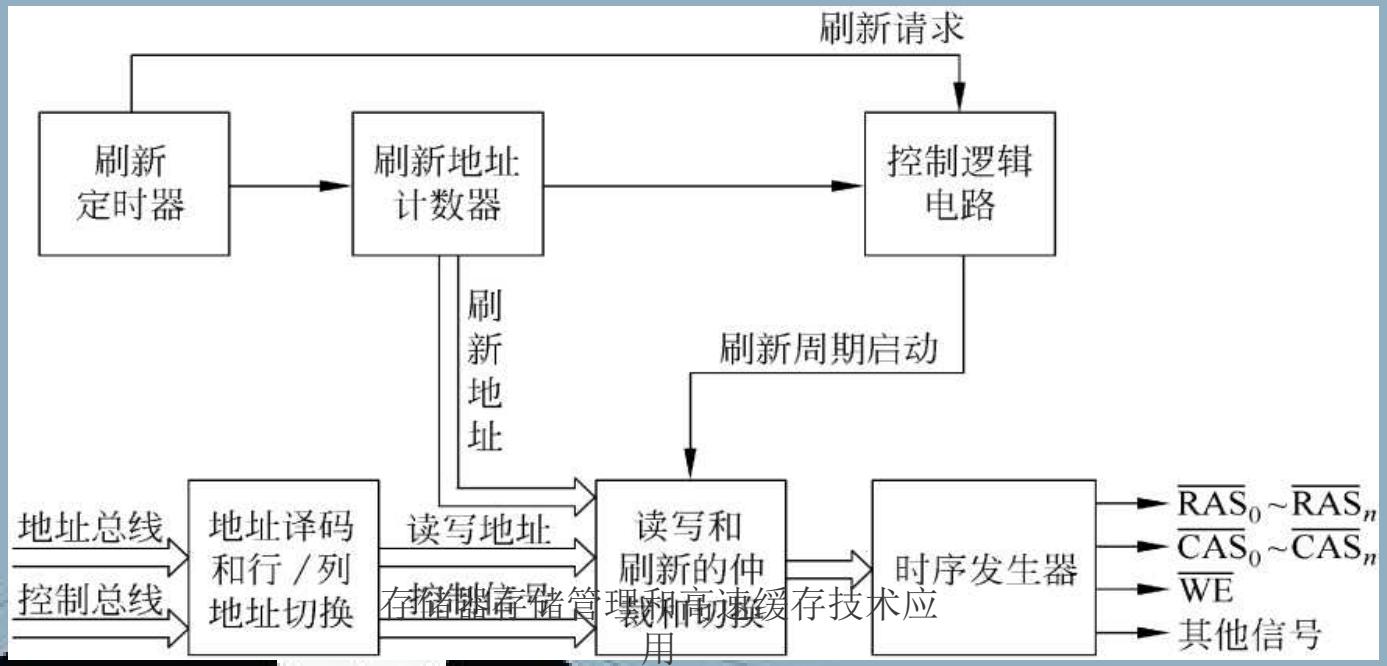
1.随机存取存储器RAM

- SRAM(静态)
  - 基于双稳态触发器原理
  - 缺点：容量小、功耗大,用于存储量小的系统
- DRAM(动态)
  - 器件
    - 利用电容存储
    - 容量大，功耗低
    - 需要刷新



1.随机存取存储器RAM

- DRAM：DRAM刷新和DRAM控制器
  - 刷新(对存储器读取放大再写入)方法：
    常用“只有行地址有效”方法
  - DRAM控制器的功能
    时序功能、地址处理功能、仲裁功能



存储器存储管理和高速缓存技术应

2.只读存储器ROM

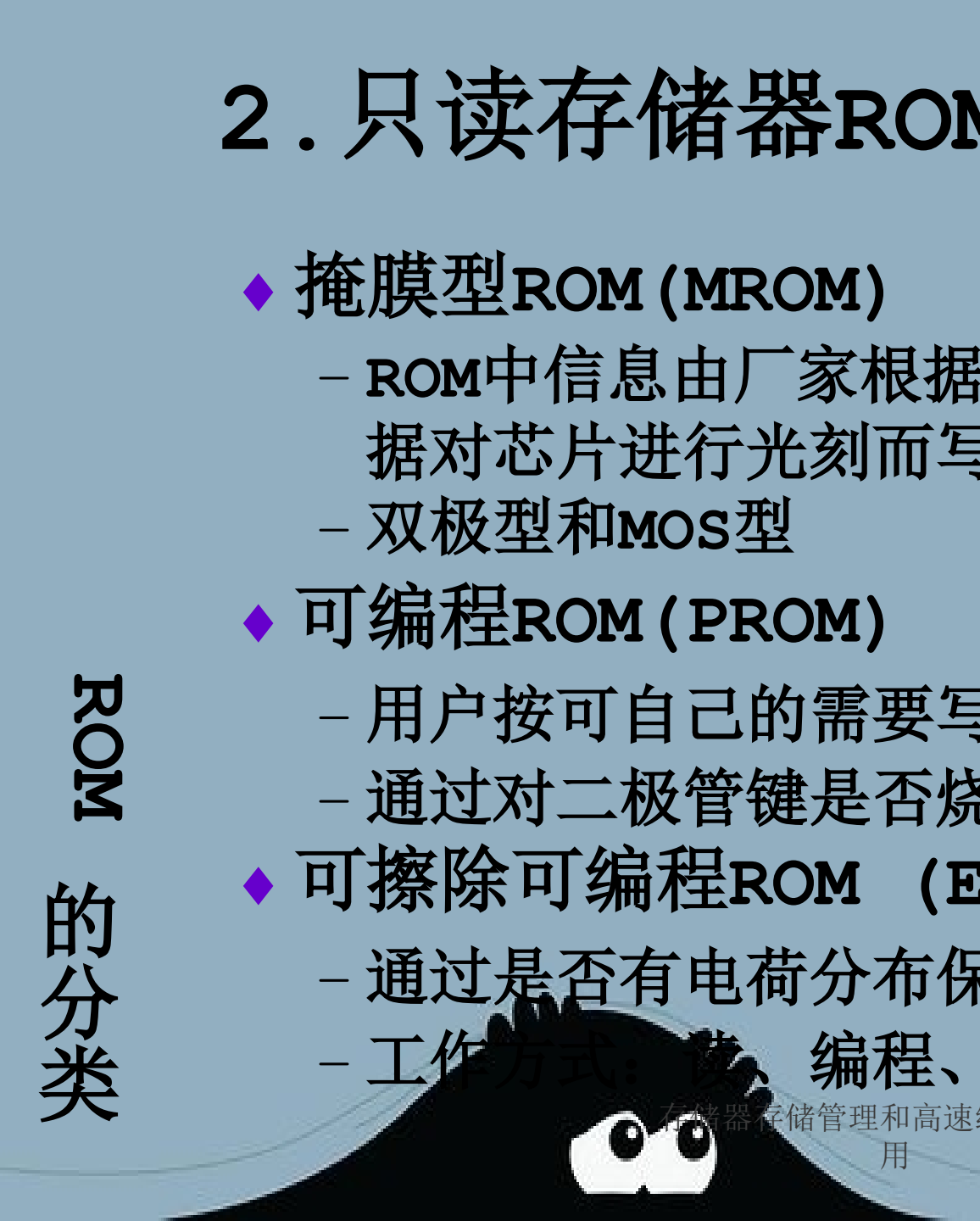
- 优点
  - 结构简单，位密度比可读写存储器高
  - 具有非易失性
- 应用场合——不需修改和写入
- 根据其中信息的设置方法分
  - 掩膜型ROM
  - 可编程只读存储器PROM
  - 可擦除可编程只读存储器EPROM
  - 可用电擦除可编程只读存储器E^2PROM
  - 闪烁存储器Flash Memory



2.只读存储器ROM

- 掩膜型ROM(MROM)
  - ROM中信息由厂家根据用户给定的程序或数据对芯片进行光刻而写入
  - 双极型和MOS型
- 可编程ROM(PROM)
  - 用户按可自己的需要写入信息（一次性）
  - 通过对二极管键是否烧断存储信息
- 可擦除可编程ROM （EPROM)
  - 通过是否有电荷分布保存信息
  - 工作方式：读、编程、校验

ROM的分类



2.只读存储器ROM

- 可用电擦除可编程只读存储器(E^{2}PROM)
  - 工作方式：读、写、字节擦除、整体擦除
- 闪烁存储器(Flash Memory)
  - 主机板上BIOS存储介质
  - 特点：

（1）信息保持时间久（10年），非易失；

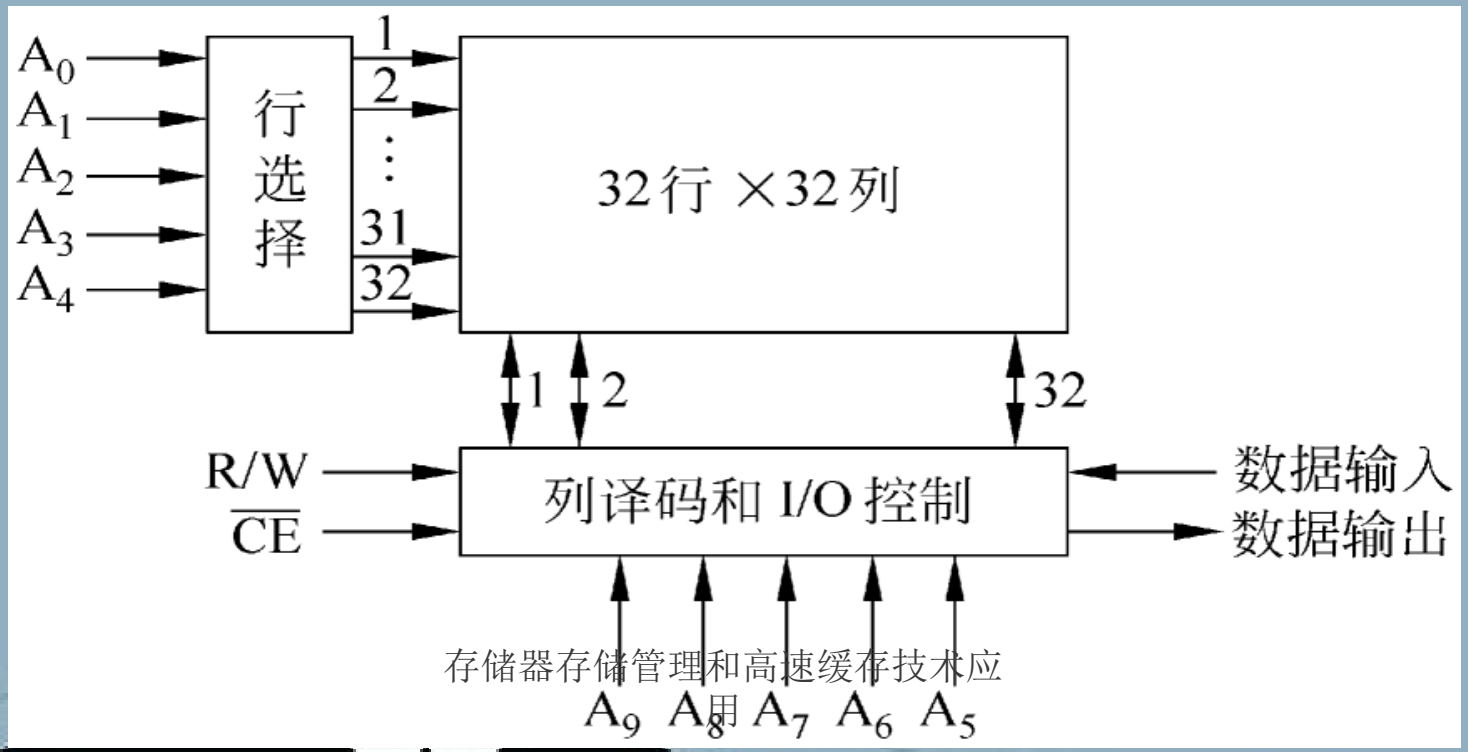
（2）擦写速度快、可靠性高、擦写次数多（几十万次）；

（3）容量大。

ROM的分类

1.存储器的行列结构

- 容量以字节（B）为单位
- 地址
  - 区分不同的存储单元
  - 简化地址译码电路——矩阵结构



2.存储器和CPU的连接考虑

- CPU和存储器的速度匹配问题：插入等待状态
- CPU总线的负载能力问题：增加总线驱动器
- 片选信号的产生：CPU高位地址线
  - 全译码法
  - 部分译码法
  - 线选法

  -混合译码法:部分译码和线选结合
- 行地址、列地址的产生:CPU低位地址线
- 对芯片内部的寻址方法:
  - 片选译码，片内译码通过行列矩阵结构对存储单元选择

的使用举例

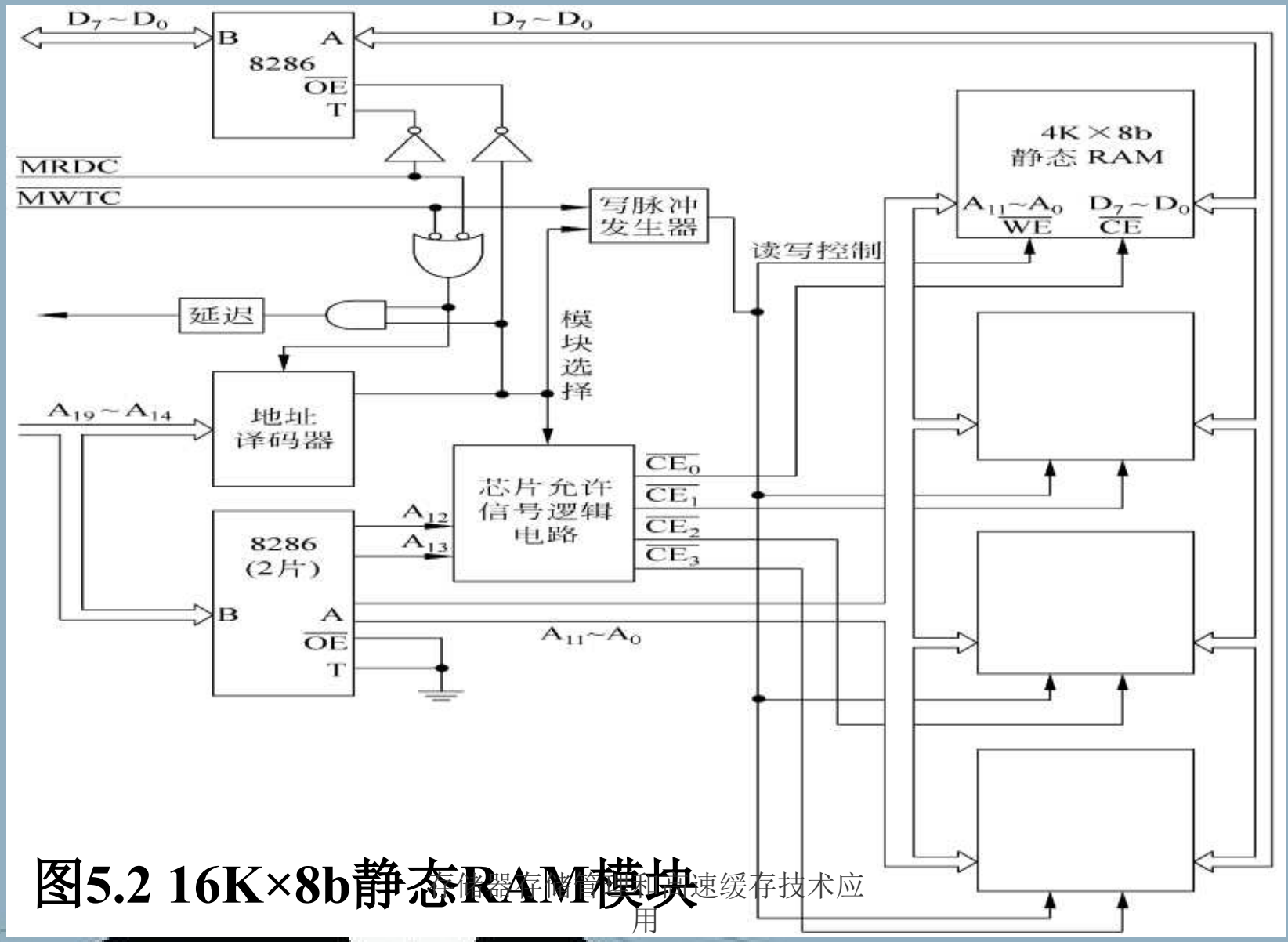


图5.2 16K×8b静态RAM模块

和DRAM控制器使用举例

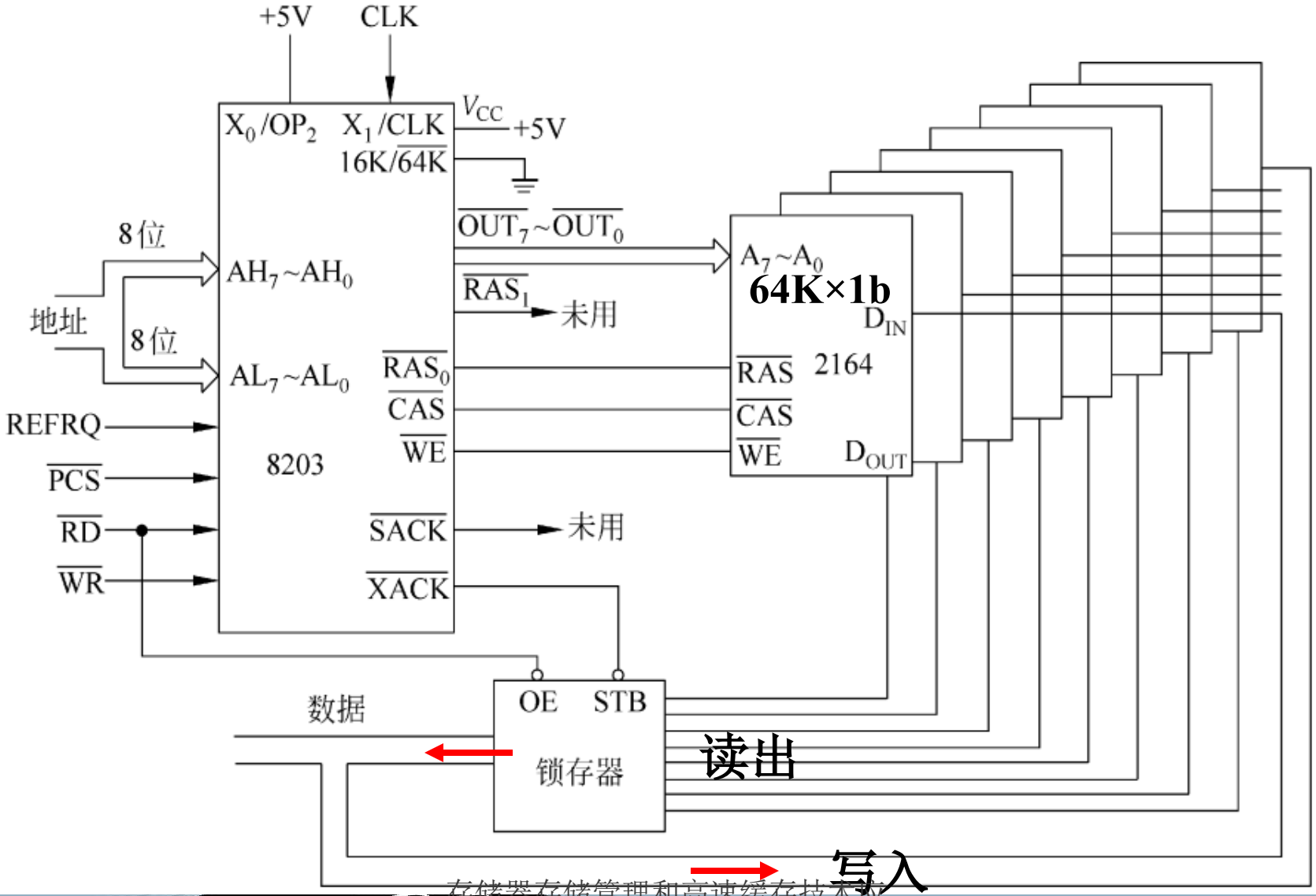
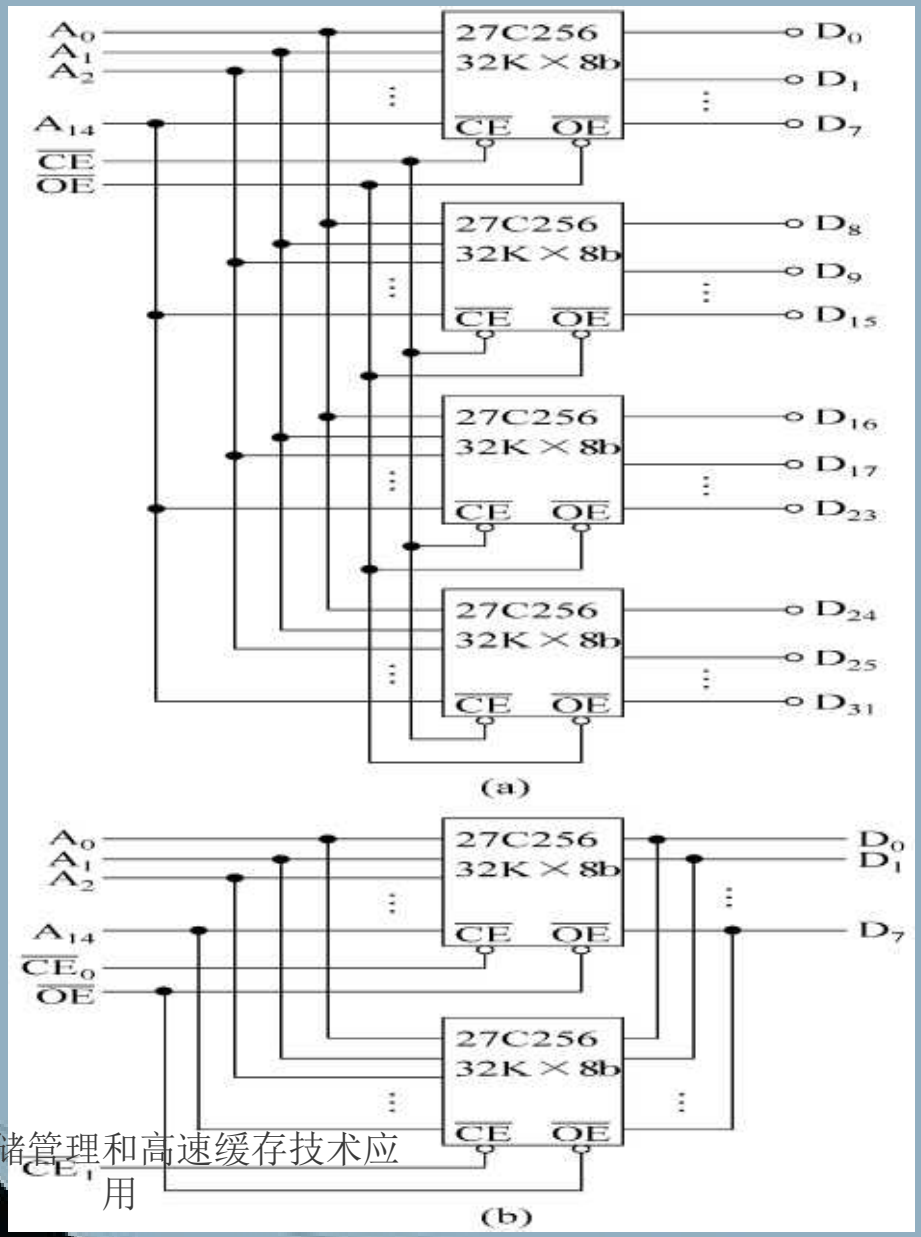


图5.3 动态RAM控制器8203和2164的连接关系

存储器存储管理和高速缓存技术应用

5.存储器容量的扩充

- 数据宽度的扩充
  - 为了与数据线宽度一致
- 字节数的扩充
  - 扩大地址范围



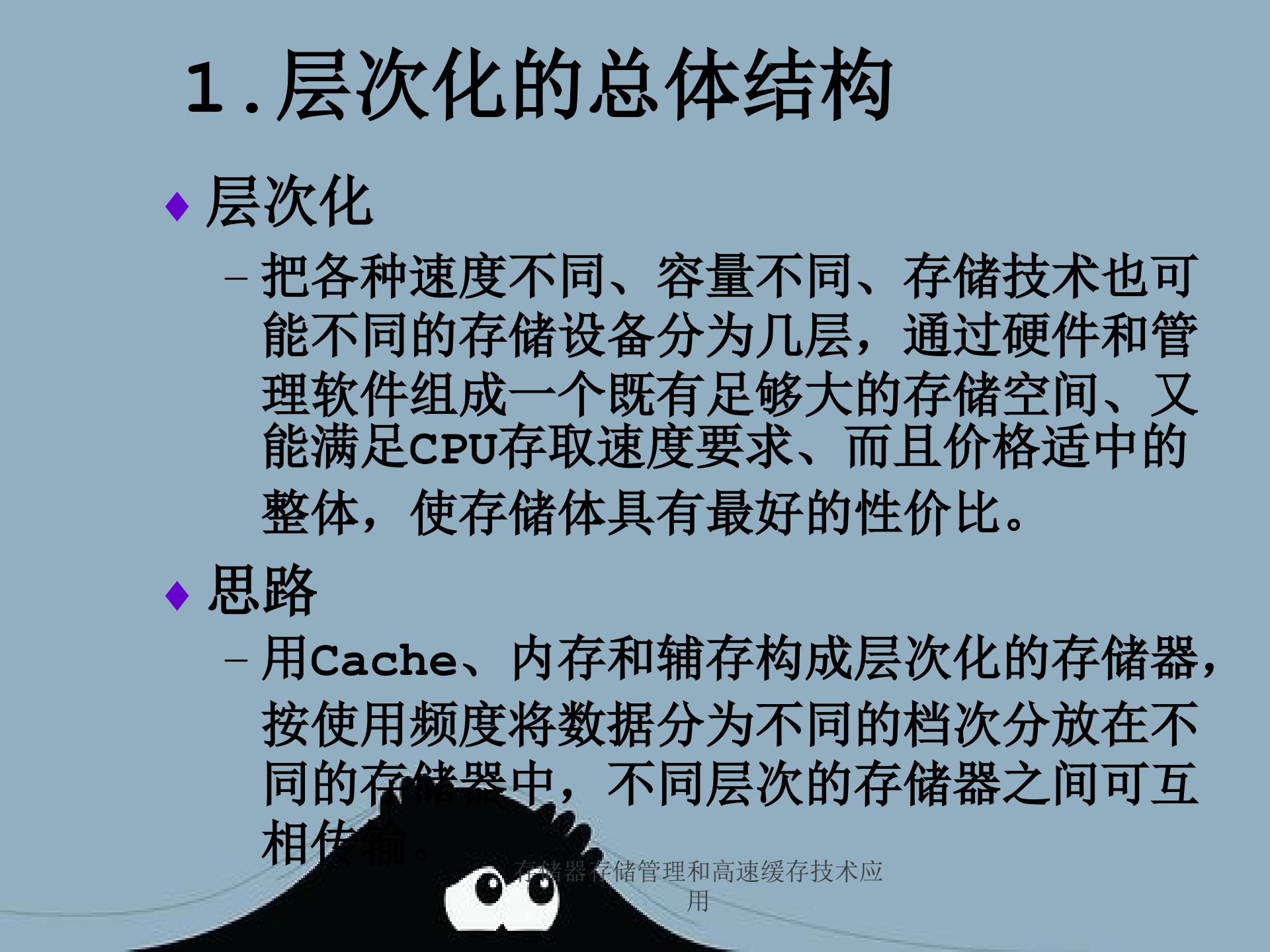
5.2 存储器的体系结构

- 层次化的存储器体系结构
  - 层次化的总体结构
  - 内存的分区结构
- 32位计算机系统的内存结构
  - 16位微机系统的内存组织
  - 32位微机系统的内存组织



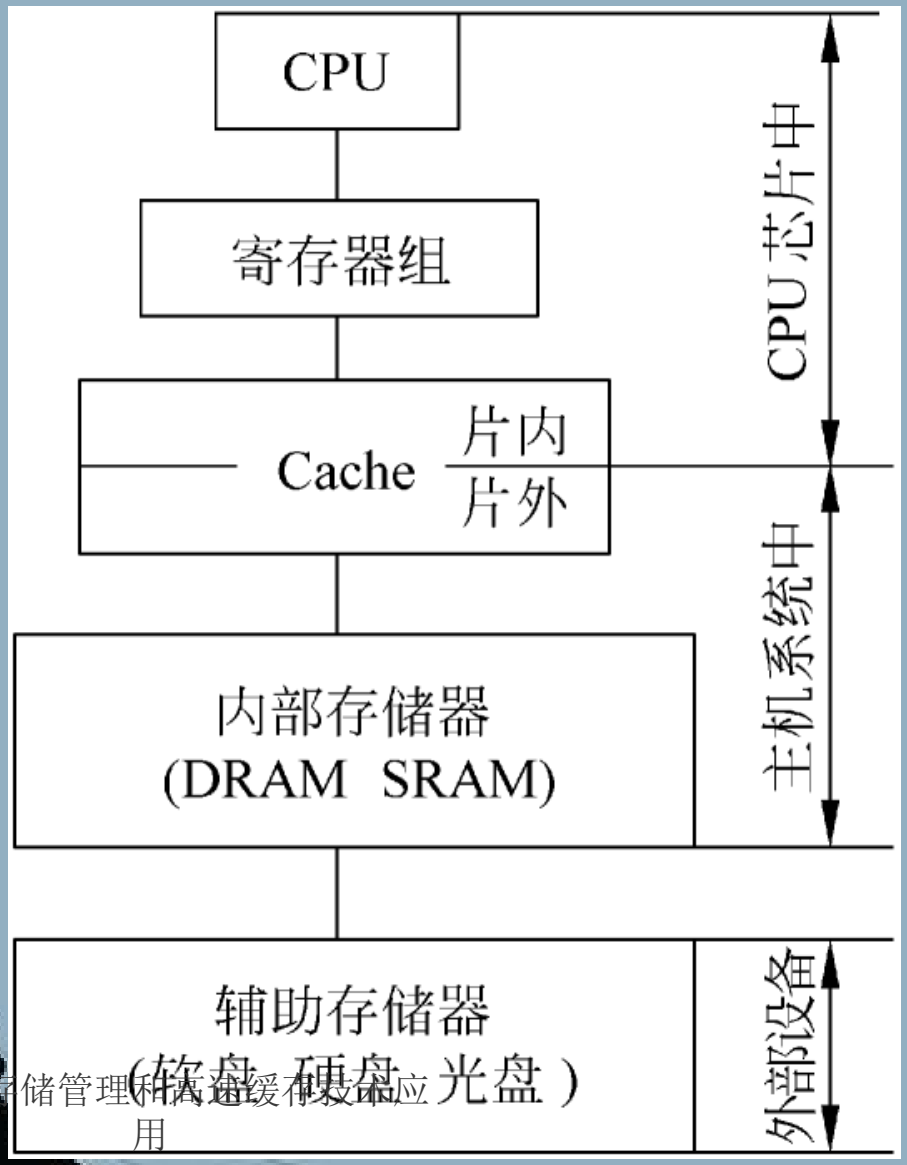
1.层次化的总体结构

- 层次化
  - 把各种速度不同、容量不同、存储技术也可能不同的存储设备分为几层，通过硬件和管理软件组成一个既有足够大的存储空间、又能满足CPU存取速度要求、而且价格适中的整体，使存储体具有最好的性价比。
- 思路
  - 用Cache、内存和辅存构成层次化的存储器，按使用频度将数据分为不同的档次分放在不同的存储器中，不同层次的存储器之间可互相传输。

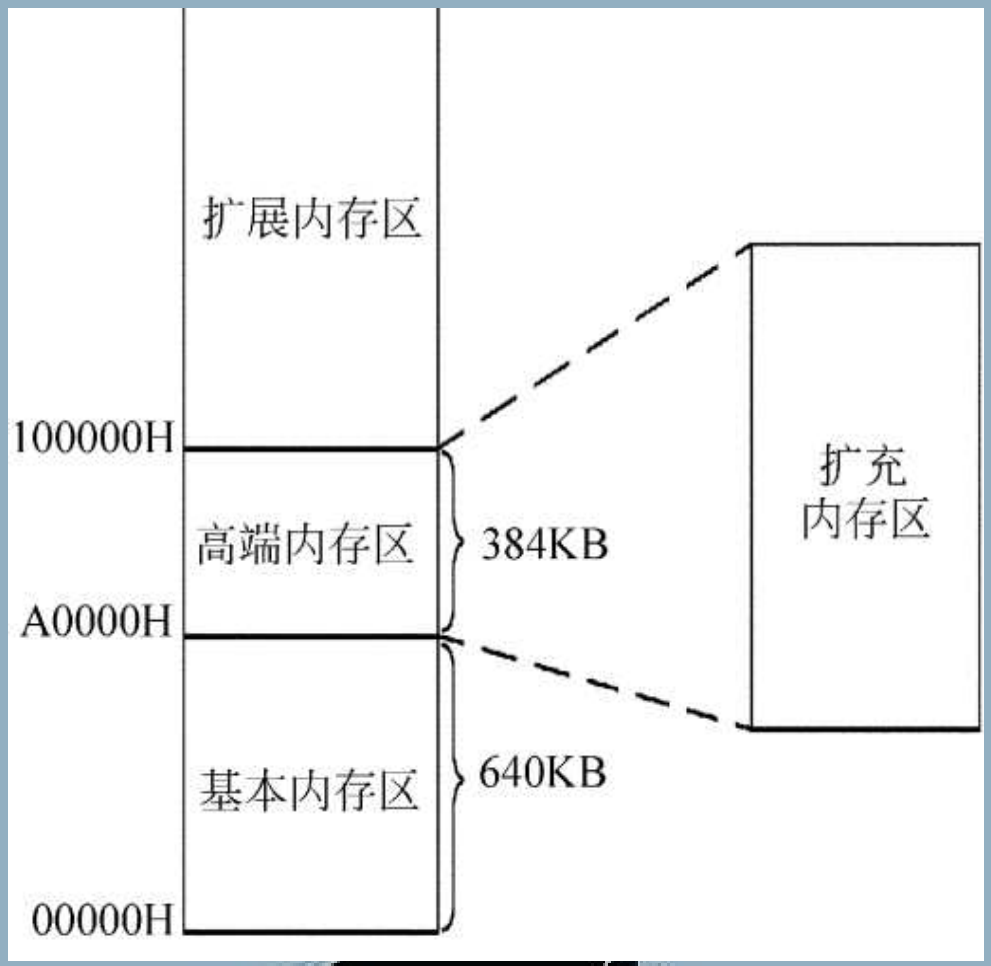


1.层次化的总体结构

- 方法
  - 虚拟存储技术
    - 实现内存和辅存之间的映象
  - 高速缓存技术
    - Cache和内存之间的映象



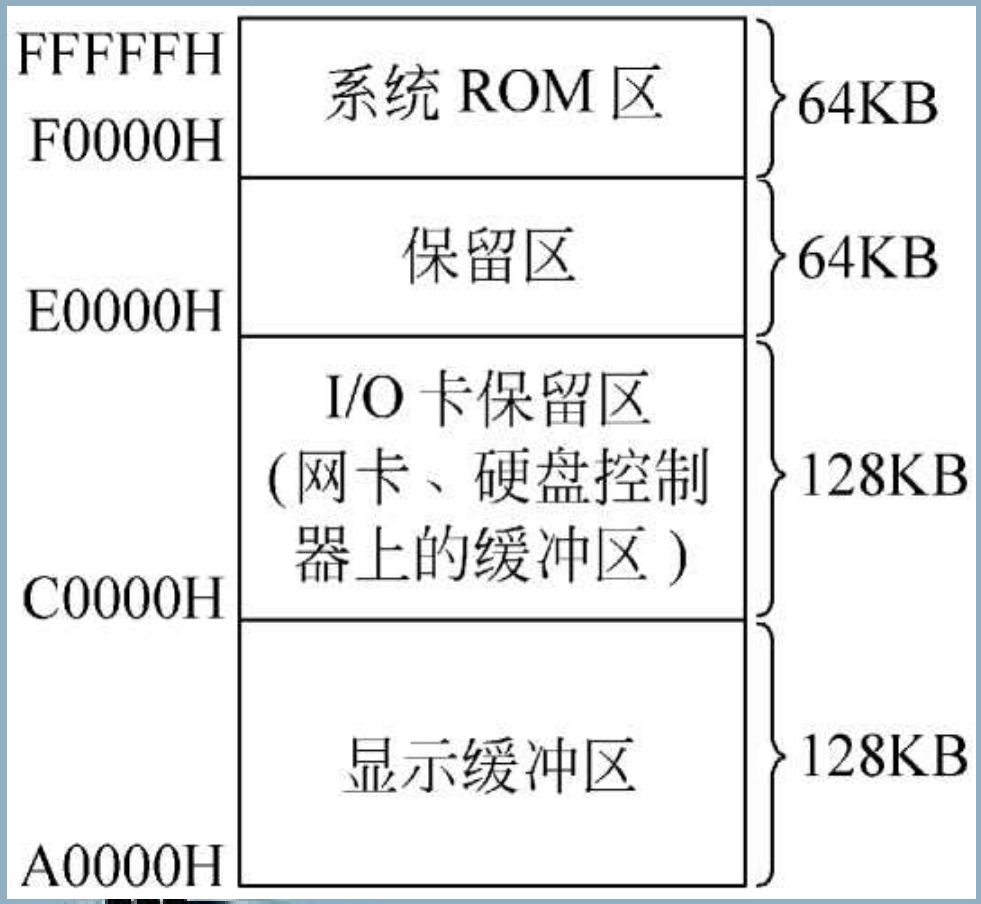
2.内存的分区结构





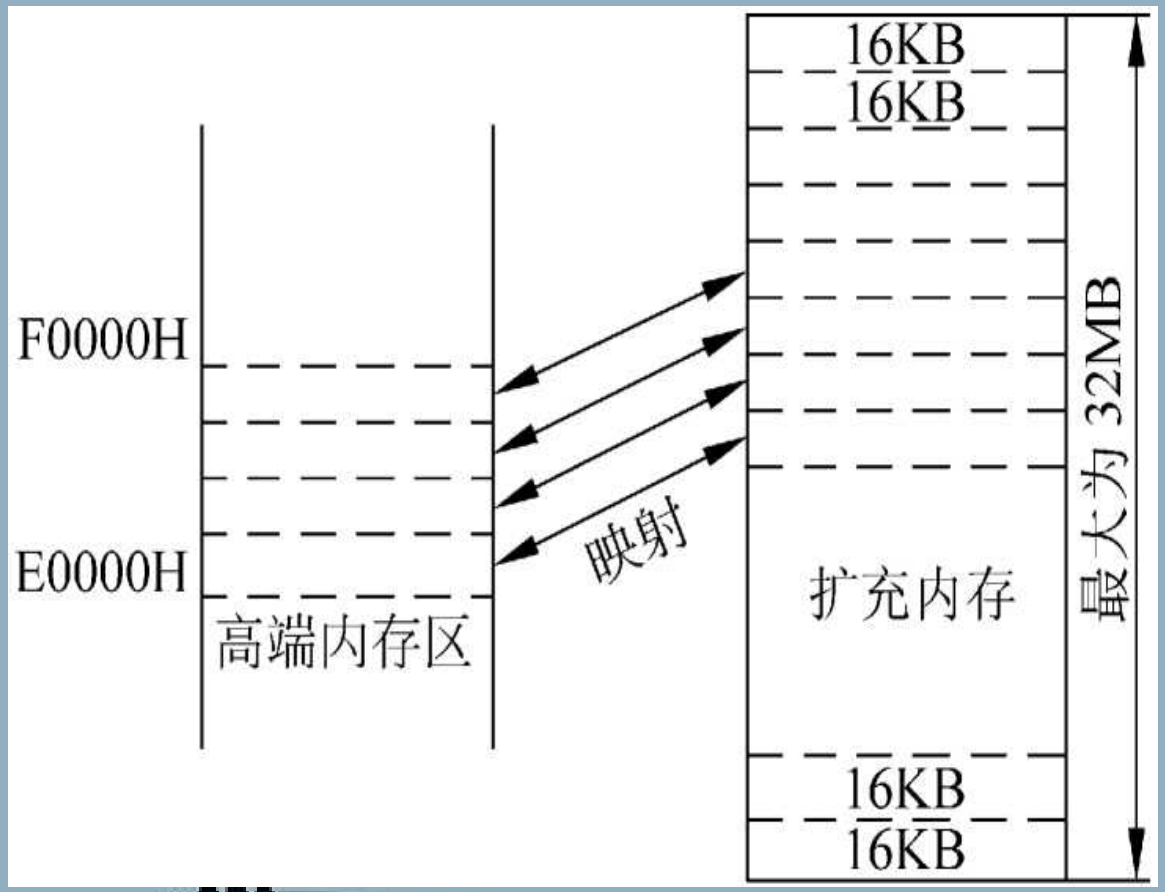
基本内存区的组织640KB

内存的分区结构



高端内存区的组织384KB

内存的分区结构



用高端内存区64K映射扩充内存的一个页组

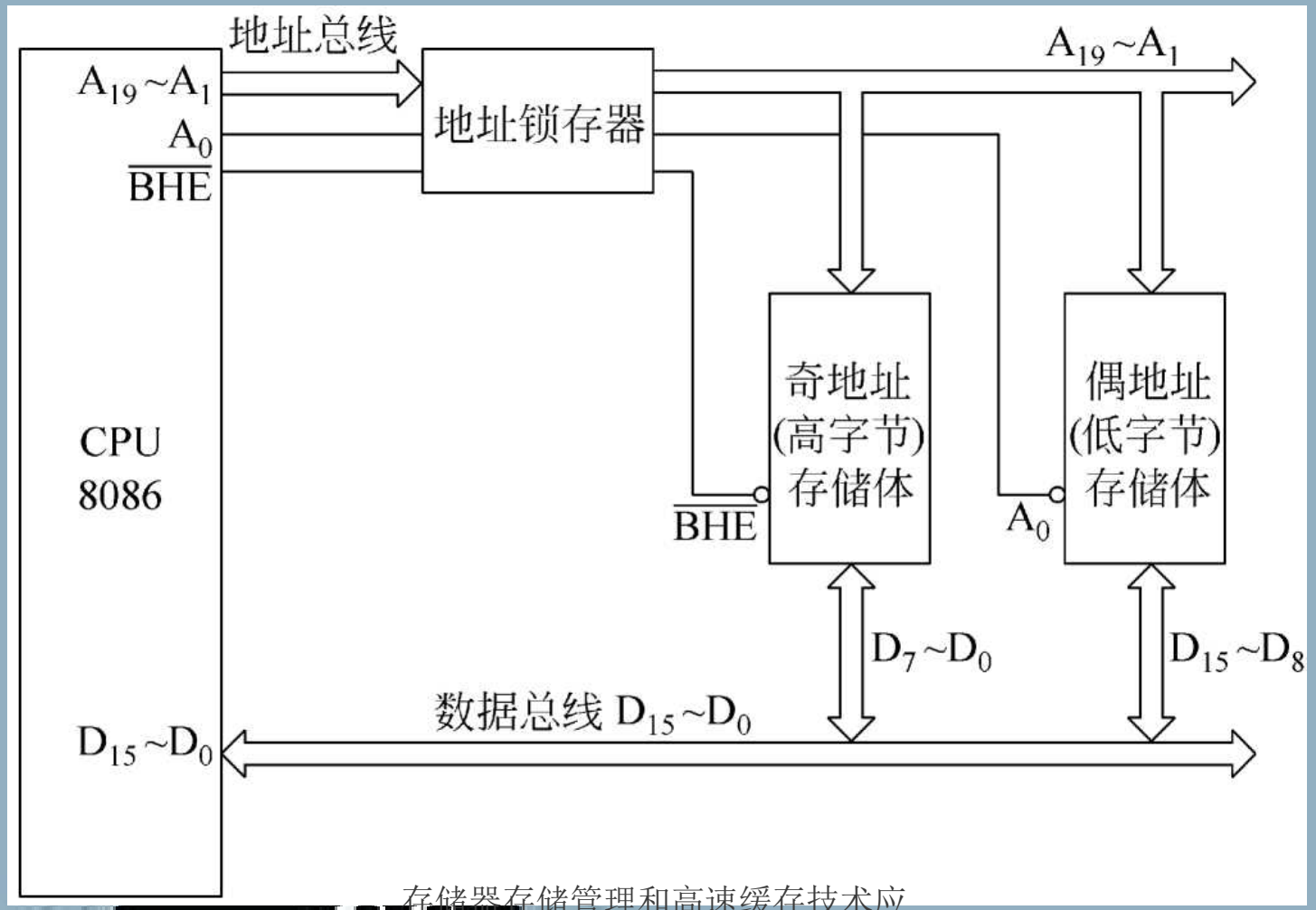
内存的分区结构

- 扩展内存区

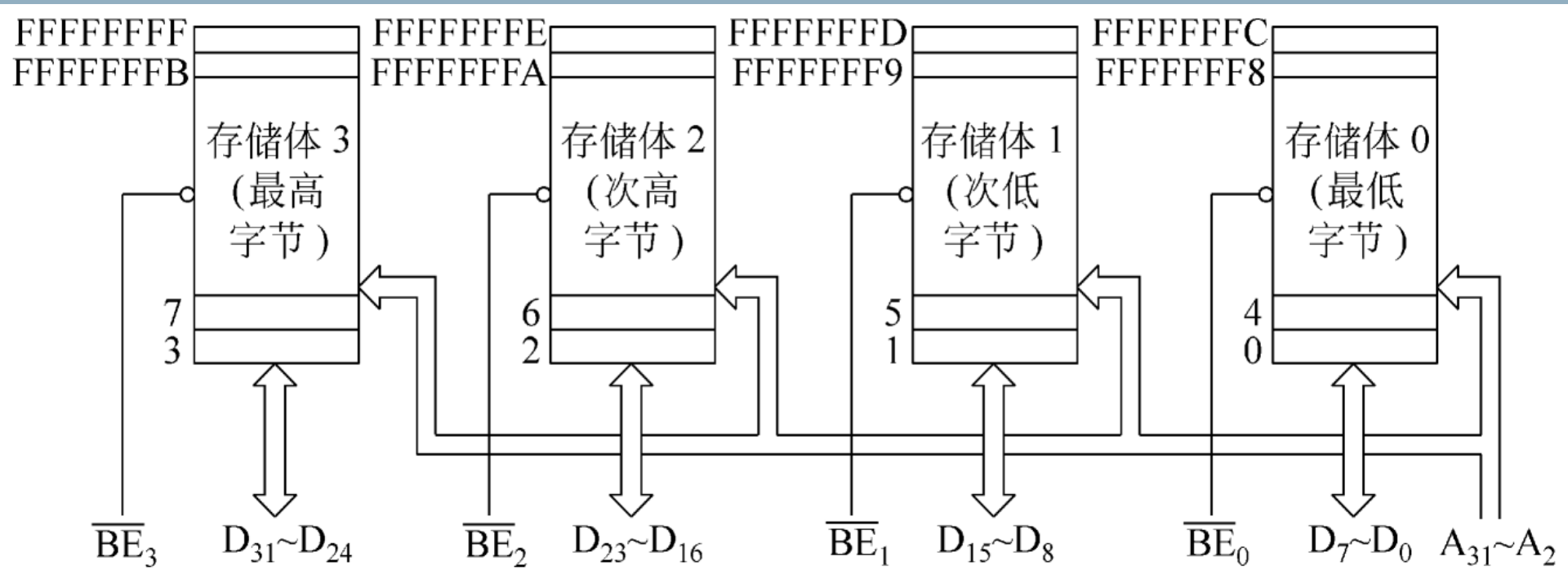
  32位微机才有的内存区，指1MB以上但不是通过内存扩充卡映射获得的空间。



16位微机系统的内存组织



32位微机系统的内存组织





5.3 Pentium的虚拟存储机制和段页两级存储管理

对多任务操作系统的支持，体现在：

- 从硬件上为任务之间的切换提供了良好的条件
- 支持容量极大的虚拟存储器，并且，为了管理如此大的存储空间，采用片内两级存储管理



虚拟存储机制

- 虚拟存储技术
  - 虚拟：相对于实际的、物理的存储而言的
- 物理存储器
  - 由地址总线直接访问的存储空间 (16 位 ,1M； 32 位 , 4G)
  - 单元地址称为物理地址
- 虚拟存储器
  - 程序使用的逻辑存储空间
  - 可以比物理存储器大得多
  - 单元地址称为虚拟地址（逻辑地址）
  - 由存储器管理软件在主存和辅存基础上建立的一种存储体系
- Pentium具有在保护模式下才支持

2.段式虚拟存储和页式虚拟存储

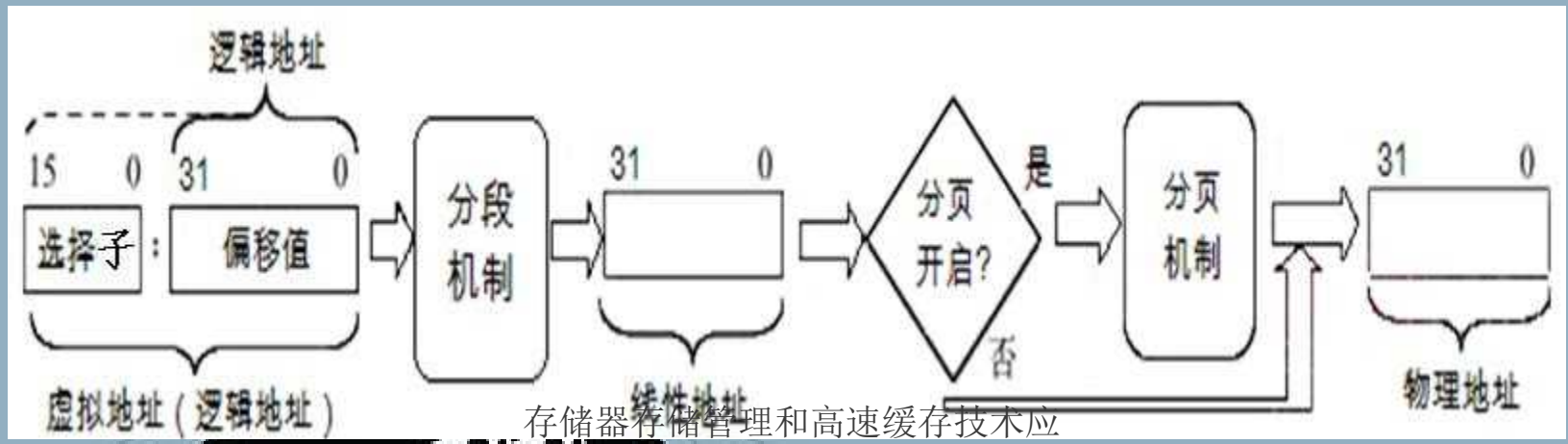
虚存的分类：

- 段式虚拟存储器
  - 每段的长度不是固定的
  - 每个段都是受到保护的独立的空间
  - 优点：易于管理。缺点：碎片多，效率低。
- 页式虚拟存储器
  - 一个系统中的所有页面大小固定(常是4KB)
  - 页面的起点和终点也固定
  - 只有分页机制才支持虚拟存储

控制寄存器CR0中PG=1允许分页

2.段式虚拟存储和页式虚拟存储

- 分段提供了隔绝各个代码、数据和堆栈区域的机制，因此多个程序（或任务）可以运行在同一个处理器上而不会互相干扰。分页机制为传统需求页、虚拟内存系统提供了实现机制。其中虚拟内存系统用于实现程序代码按要求被映射到物理内存中。分页机制当然也能用于提供多任务之间的隔离措施



中的三类地址

- 逻辑地址

  程序员所看到的地址（虚拟地址）。特点：

  - 这是程序员编写的源程序中使用的地址
  - 完整的逻辑地址一共48位（选择子：偏移量）
  - 逻辑地址中的选择子对应于一个段基址
  - Pentium共有2^{14}=16348个段

- 线性地址

  - 分段部件将包含选择子和偏移量的逻辑地址转换为32位的线性地址。特点：
  - 线性地址是由2个32位量相加而成的（基址+偏移）
  - 段基址由段描述符得到
  - 线性地址是分为3个字段来体现其功能

中的三类地址

- 物理地址
  - 和芯片上的地址信号相对应
  - 为每个存储单元在存储体中指定唯一的地址
  - 分页部件将线性地址转换为物理地址
  - 如果分页部件处于禁止状态，线性地址就是物理地址
- 转换时间
  - 几乎为0

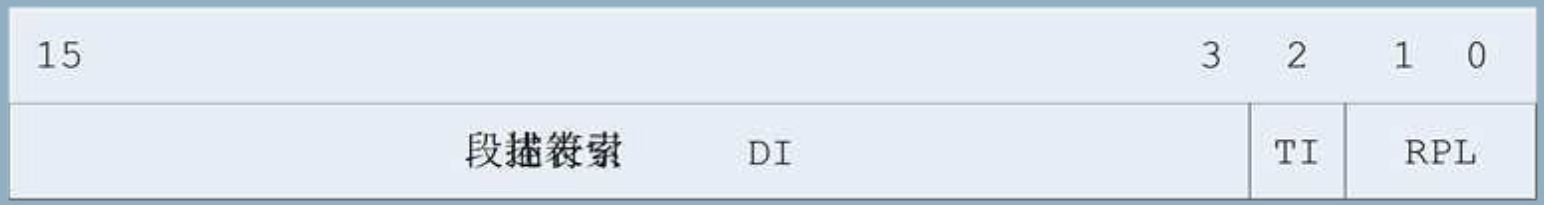


分段管理

- 段—独立且连续的存储空间
  - 相关的控制信息：段的基址、界限、访问的优先级、共享性、访问的特性（读/写）
- 段描述符
  - 把有关段的信息，即：段基址、界限、访问属性全部存放在一个称为段描述符的数据结构中
  - 并把系统中所有的描述符编成表，以便硬件查找和识别
- 三种描述符表—GDT、LDT、IDT
- 使用描述符表带来的优点
  - 可大大扩展存储空间（存储空间取决于描述符数量和每个描述符能表示的段长度）
  - 可实现虚拟存储（描述符属性位指示对应段是否在内存或磁盘，在磁盘及时调入内存）
  - 可实现多任务隔离（除与系统有关的操作访问GDT，其余的只能访问LDT，每个任务有独立空间，就像每个任务独享CPU）

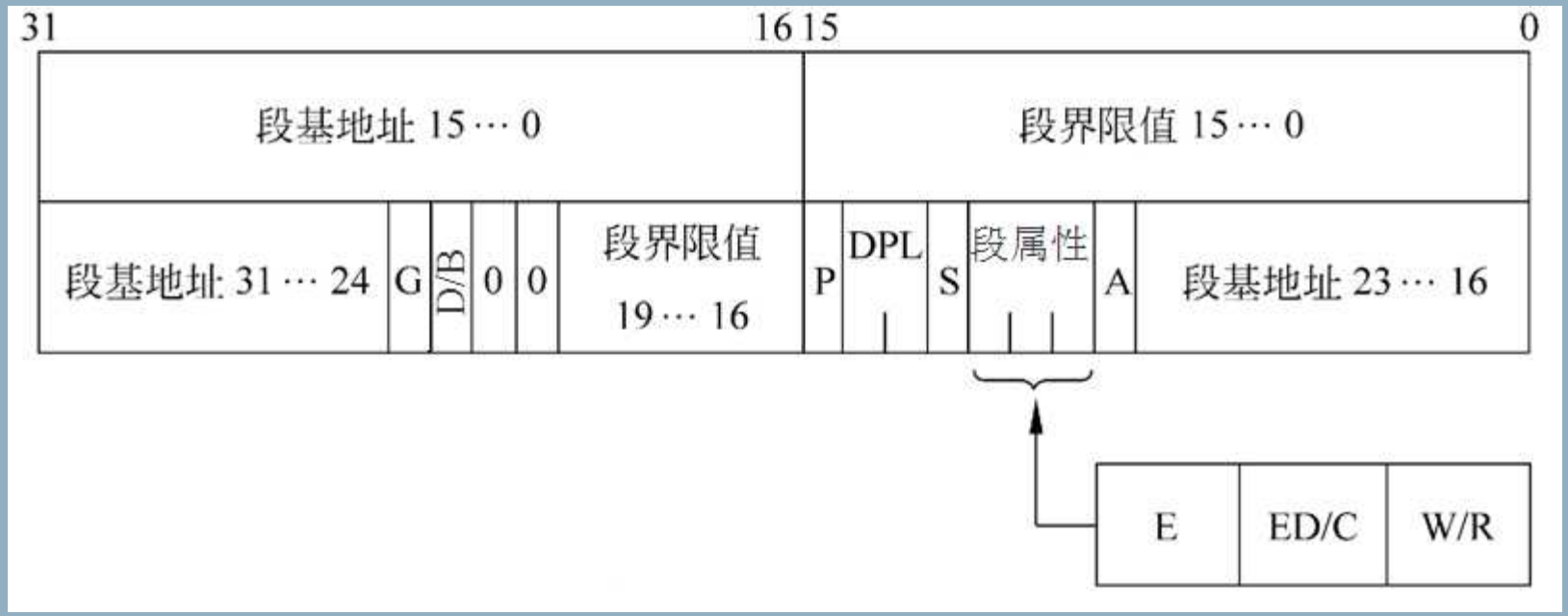
1.段选择子

- 通常由系统程序的链接程序（Linker）或装配程序（Loader）指定、修改。



- 段描述符索引字段DI
  - 13位(在GDT或LDT中选择一个描述符)
- 描述符指示标志TI
  - 选择GDT（TI=0）还是LDT（TI=1）
- 请求特权级字段RPL（共4级，0级最高）
  - 为了保护段

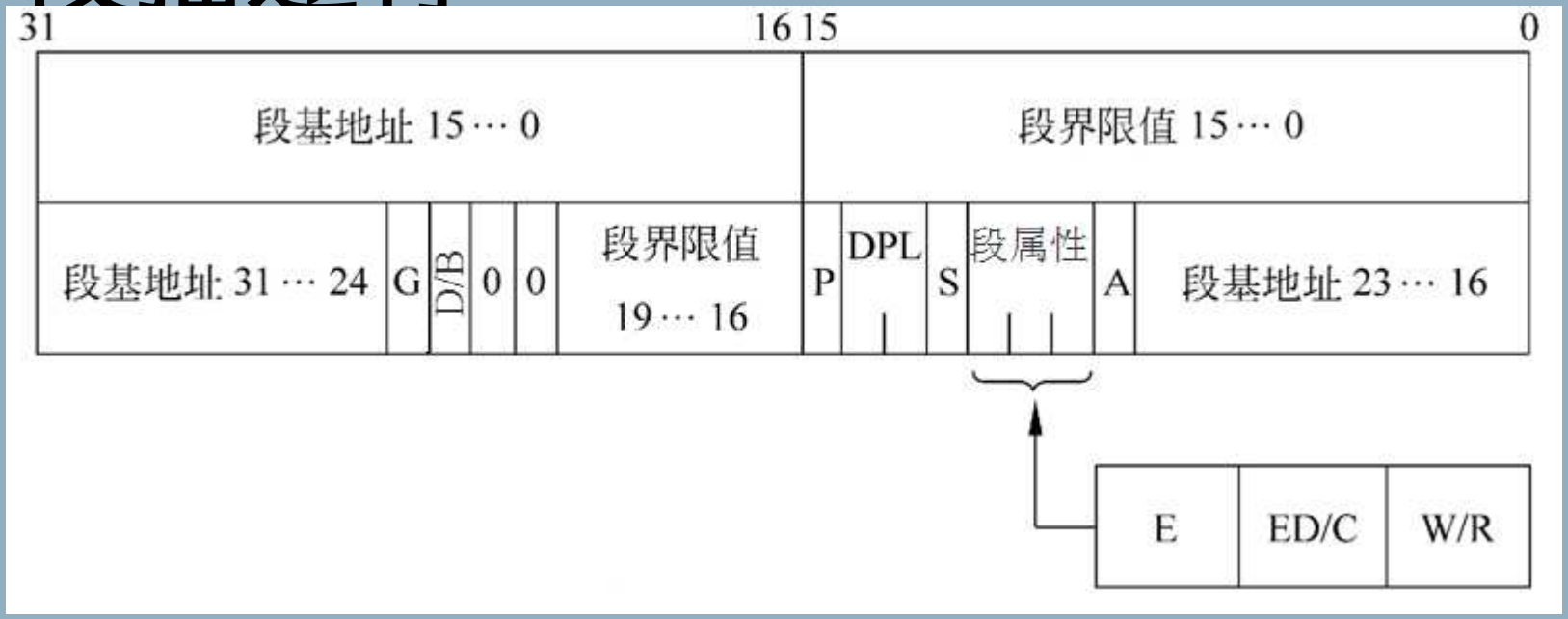
2.段描述符



- 32位的段基址——在物理空间的开始位置
- 段类型S
  - 0为系统段（TSS、LDT、各种门），1为非系统段
- 20位的段界限——段的长度
- 3位的段属性——ED/C、W/R

存储器存储管理和高速缓存技术应用

段描述符



- 粒度G——1B vs. 4KB
- 存在位P（P=1在内存，P=0在磁盘）
- 特权级DPL——保护
- 访问位A——可提供统计信息
- D/B字段——代码段、堆栈数据段中使用

3.描述符表

- 三类
  - GDT
  - LDT
  - IDT
- 每个描述符表最多可容纳2^{13}个描述符
- GDT中的第一个（DI＝0）为空描述符
- IDT最多只对应256个描述符



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：https://d.book118.com/747201113041006042