


2015。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

#### 商标声明

、**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

#### 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 深圳市海思半导体有限公司

地址：                    深圳市龙岗区坂田华为基地华为电气生产中心                    邮编：518129

网址：                    <http://www.hisilicon.com>

客户服务      :          +86-755-28788858

客户服务传真:          +86-755-28357515

客户服务邮箱:          [support@hisilicon.com](mailto:support@hisilicon.com)

# 前言

## 概述

本文档主要介绍 Hi3531A 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。

本文档提供 Hi3531A 芯片的硬件设计方法。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3531A	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2015-12-20	00B05	第 5 次临时版本发布 1.1.6 小节和 1.2.11.2 小节,涉及修改。

修订日期	版本	修订说明
2015-11-12	00B04	第 4 次临时版本发布 1.1.4 小节, 修改图 1-5; 1.3.2 小节, 修改表 1-11; 补充第 4 章的相关内容
2015-10-10	00B03	第 3 次临时版本发布 第一章 原理图设计 1.1.4、1.1.5、1.2.14.2、1.3.1 小节涉及修改 第二章 PCB 设计 2.1 小节涉及修改
2015-08-30	00B02	第 2 次临时版本发布 1.1.2、1.1.4、1.1.5、1.1.6、1.2.1、1.2.3、1.2.7、1.2.10、 1.2.12、1.2.14、1.2.15 小节涉及修改 1.2.9、1.2.13 小节新增 1.3.1 小节表 1-10、表 1-11 涉及修改 2.1、2.2、2.6、2.7、2.9、2.11、2.12、2.13 小节涉及修改
2015-06-29	00B01	第一次临时版本发布

---

---

前 言 .....	iii
1 原理图设计 .....	1
1.1 小系统外部电路要求 .....	1
1.1.1 Clocking 电路 .....	1
1.1.2 复位和 Watchdog 电路 .....	2
1.1.3 JTAG Debug 接口 .....	3
1.1.4 Hi3531A 硬件初始化系统配置电路 .....	4
1.1.5 电源设计建议 .....	8
1.1.6 SVB 动态调压 .....	9
1.2 Hi3531A 接口电路设计 .....	11
1.2.1 DDR3/3L 接口 .....	11
1.2.2 RTC 模块设计 .....	17
1.2.3 UART .....	17
1.2.4 USB2.0 接口 .....	17
1.2.5 USB3.0 接口 .....	18
1.2.6 GMAC 接口设计 .....	18
1.2.7 FLASH 接口设计 .....	20
1.2.8 SATA 接口设计 .....	22
1.2.9 PCIe 接口设计 .....	22
1.2.10 音频接口设计 .....	23
1.2.11 HDMI 输出接口设计 .....	24
1.2.12 VI 接口设计 .....	25
1.2.13 VO 接口设计 .....	33
1.2.14 模拟 DAC 接口设计 .....	34
1.2.15 SPI 和 I2C 接口设计 .....	35
1.3 特殊管脚说明 .....	35
1.3.1 能耐压 5V 的管脚 .....	35
1.3.2 未使用模块的管脚处理 .....	36
2 PCB 设计 .....	39
2.1 电源与滤波电容设计 .....	39

---

2.1.2 Core 电源设计 .....	40
2.1.3 CPU 电源设计 .....	41
2.1.4 DDR 电源设计 .....	42
2.1.5 3.3V 电源设计 .....	42
2.2 PLL 电路设计 .....	43
2.3 晶体电路设计 .....	44
2.4 DDR3/3L 接口设计 .....	44
2.5 GMAC 布线设计 .....	44
2.6 USB2.0 接口电路设计 .....	44
2.7 USB3.0 接口电路设计 .....	44
2.8 SATA 接口走线设计 .....	45
2.9 PCIe 总线 PCB 设计 .....	45
2.10 HDMI 接口走线设计 .....	45
2.11 VO 接口走线设计 .....	46
2.12 VI 接口走线设计 .....	46
2.13 VDAC 接口走线设计 .....	46
3 整机 ESD 设计建议 .....	48
3.1 背景 .....	48
3.2 整机 ESD 设计建议 .....	48
4 芯片散热设计建议 .....	49
4.1 工作条件 .....	49
4.2 散热设计参考 .....	49
4.3 电路热设计参考 .....	50
4.3.1 原理图 .....	50
4.3.2 PCB .....	51

---

# 插图

---

图 1-1 晶体振荡电路.....	1
图 1-2 RTC 晶振连接方式及器件参数.....	2
图 1-3 外部复位和 Watchdog 典型设计电路.....	3
图 1-4 JTAG 连接方式及标准连接器管脚定义.....	4
图 1-5 SATA, PCIe 及 USB3.0 复用关系示意图.....	7
图 1-6 电源上电顺序图.....	8
图 1-7 电源下电顺序图.....	9
图 1-8 电源动态调压示意图.....	10
图 1-9 Hi3531A 对接 4 片 DDR3/3L 连接示意图.....	12
图 1-10 Hi3531A 对接 6 片 DDR3/3L 连接示意图.....	13
图 1-11 DDR3/3L 电源分压网络参考设计图.....	15
图 1-12 CLK 的匹配方式示意图.....	16
图 1-13 CS 和 ODT 的匹配方式示意图.....	16
图 1-14 Hi3531A RGMII 模式下的信号连接图.....	19
图 1-15 Hi3531A MII 模式下的信号连接图.....	19
图 1-16 Hi3531A RMII 模式下的信号连接图.....	20
图 1-17 PCIe X2 级联示意图.....	23
图 1-18 对讲应用 Hi3531A 主模式连接方式.....	24
图 1-19 对讲应用 Hi3531A 从模式连接方式.....	24
图 1-20 图 1- Hi3531A VI-VO 级联场景.....	34
图 2-1 POWER 层.....	40
图 2-2 Hi3531A CORE 电源滤波电容类型.....	41
图 2-3 Hi3531A CPU 电源滤波电容类型.....	41
图 2-4 Hi3531A DDR 电源滤波电容类型(未包含 DDR 颗粒端).....	42
图 2-5 Hi3531A 3.3V 电源滤波电容类型.....	43

---

图 2-6 Hi3531A DVSS VDAC 信号单独打孔到 GND 层.....	47
图 4-1 散热器组示意图.....	50

---

## 表格

---

表 1-1 JTAG Debug 接口信号 .....	3
表 1-2 信号描述.....	5
表 1-3 DVDD CORE SVB 调压 RC 参数 .....	11
表 1-4 DVDD CPU SVB 调压 RC 参数.....	11
表 1-5 DDRC1 16bit/8bit 线序.....	13
表 1-6 SPI Flash 匹配设计推荐.....	21
表 1-7 单片 NAND Flash 匹配设计推荐.....	21
表 1-8 视频输入接口可对接 AD 管脚顺序（8 xBT.656） .....	25
表 1-9 视频输入接口可对接 AD 管脚顺序（4x BT.1120） .....	28
表 1-10 5V 耐压管脚.....	35
表 1-11 未使用模块的管脚处理 .....	37

# 1 原理图设计

## 1.1 小系统外部电路要求

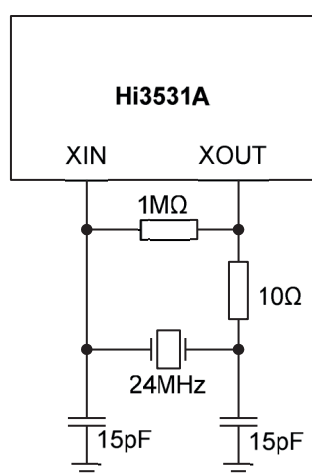
### 1.1.1 Clocking 电路

通过芯片的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。

晶振连接方式及器件参数如图 1-1 所示。

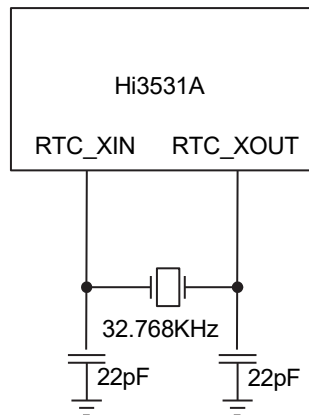
选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。建议选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗ESD 干扰能力。

图1-1 晶体振荡电路



另外，Hi3531A 内置 RTC，单板需要给 RTC 提供时钟电路，晶振连接方式及器件参数如图 1-2 所示。

图1-2 RTC 晶振连接方式及器件参数



#### 说明

电路中的电容取值需要与实际使用的晶体负载电容相匹配；不同品牌、不同型号的晶体，其固有的负载电容参数可能不同，电路中的电容取值也会不同。

## 1.1.2 复位和 Watchdog 电路

Hi3531A 可通过判断 POR\_ENABLE 管脚在上电时的状态选择 复位或外部复位。

AB29 管脚具备 WDG\_RSTN 和 SYS\_RSTN\_OUT 两种功能。当 Hi3531A 芯片使用复位时，AB29 管脚为 SYS\_RSTN\_OUT 功能；当 Hi3531A 芯片使用外部复位时，AB29 管脚为 WDG\_RSTN 功能。

- 当复用为 WDG\_RSTN 功能时，管脚为 OD 输出，必须外置上拉电阻。
- 当 POR\_ENABLE 为高电平时，选择 复位，主芯片上电后由 POR（Power on Reset）电路对芯片进行复位，此时 RSTN 管脚无效，可悬空处理。AB29 管脚复用为 SYS\_RSTN\_OUT 功能，输出复位信号用于复位相关的外设。

---

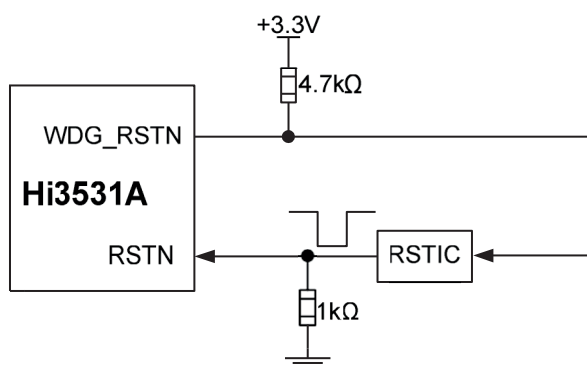
选择 复位时，为确保系统能正常启动，小系统相关的外设（例如：存放 boot 的 flash 器件）必须先于或同时与 Hi3531A 一起释放复位信号，否则可能会出现无法启动等异常情况。

- 当 POR\_ENABLE 为低电平时，选择外部复位，此时 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平，复位时间在 100ms~300ms 之间。AB29 管脚复用为 WDG\_RSTN 功能。  
板级设计时，若选择外部复位，可采用专用的复位芯片产生复位信号。Hi3531A 看门狗生效时，WDG\_RSTN 管脚会持续输出低电平，直到 RSTN 管脚检测到低电平复位信号后，才恢复为高电平。

禁止 WDG\_RSTN 管脚和 RSTN 管脚直连。

- 外部复位和 Watchdog 典型设计电路如图 1-3 所示。

图1-3 外部复位和 Watchdog 典型设计电路



### 1.1.3 JTAG Debug 接口

JTAG Debug 接口信号描述如表 1-1 所示。

表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片 下拉。要求单板上拉 1K 电阻。
TDI	JTAG 数据输入，芯片 上拉。要求单板上拉 4.7K 电阻。
TMS	JTAG 模式选择输入，芯片 上拉。要求单板上拉 4.7K 电阻。
TRSTN	JTAG 复位输入，芯片 下拉。正常工作要求单板上拉 10K 电阻。
TDO	JTAG 数据输出。要求单板上拉 4.7K 电阻。

芯片外部上拉电阻、芯片外部下拉电阻的阻值请参见图 1-4。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/748000056105006110>