

# 电子设计与制作实训报告

工程组长xxx 学号xx

成 员xxxx

专 业电子信息工程班级x

实验工程名称秒表倒计时电路设计

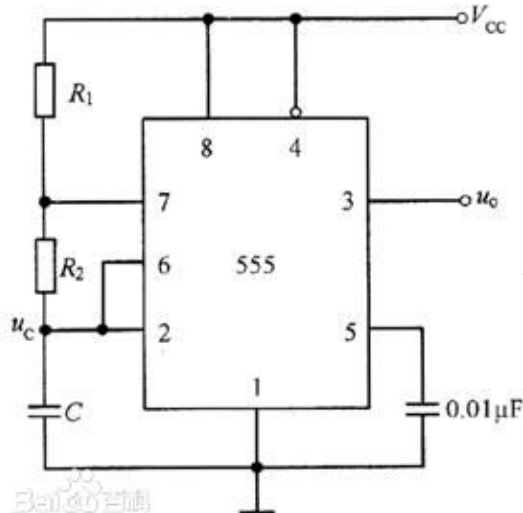
指导教师及职称xxx

开课学期x至x学年x学期

上课时间x年x月x日

## 一、实验设计方案

实验名称：秒表倒计时电路设计		实验时间：××
小组合作： 是● 否○	小组成员：××××	
1、实验目的： (1) 对数字电路知识有更进一步的了解； (2) 熟练计数器集成电路如 74191 的使用方法； (3) 熟练 555 电路的应用，数码管、7 段显示译码器电路的使用。		
2、实验场地及仪器、设备和材料：  实验场地： 实验仪器：电脑、proteus 仿真软件 材料：电烙铁、碳锡丝、电阻、数码显示管、555 定时电路、74LS161 芯片等		
3、实验过程（实验原理、实验内容、及实验步骤等）：  <b>（1）设计要求：</b> 1) 设计一个秒表倒计时电路，计时最大值为 59 秒，每隔一秒钟减 1，最小值为 0 秒，接着再回到 59 秒，58 秒，57 秒，……,0 秒，59 秒，58 秒，57 秒，如此循环往复。 2) 采用 7 段数码管显示时间。 3) 可能的话，在上述要求的根底上进行相关扩展功能的设计。 4) 先进行原理分析与方案选择，采用仿真软件（比方 Proteus 或 Quartus）进行设计；功能实现后，设计并制作实际电路并进行调试，完成一份设计报告。  <b>（2）实验大致步骤：</b> 1) 根据设计要求，构思出根本路线，利用 proteus 仿真软件画出电路图； 2) 在原有的电路仿真图的根底上进行相关的 扩张功能设计，并调试； 3) 根据 proteus 仿真出的电路图焊出电路板； 4) 调试电路板。  <b>（3）实验原理：</b>  1) 555 定时器局部：		



555 定时器是一种模拟和数字功能相结合的中规模集成器件。它内部包括两个电压比较器，三个等值串联电阻，一个 RS 触发器，一个放电管 T 及功率输出级。它提供两个基准电压  $V_{CC}/3$  和  $2V_{CC}/3$ 。555 定时器的功能主要由两个比较器决定。两个比较器的输出电压控制 RS 触发器和放电管的状态。在电源与地之间加上电压，当 5 脚悬空时，那么电压比较器 C1 的反相输入端的电压为  $2V_{CC}/3$ ，C2 的同相输入端的电压为  $V_{CC}/3$ 。假设触发输入端 TR 的电压小于  $V_{CC}/3$ ，那么比较器 C2 的输出为 0，可使 RS 触发器置 1，使输出端  $OUT=1$ 。如果阈值输入端 TH 的电压大于  $2V_{CC}/3$ ，同时 TR 端的电压大于  $V_{CC}/3$ ，那么 C1 的输出为 0，C2 的输出为 1，可将 RS 触发器置 0，使输出为 0 电平。它的各个引脚功能如下：

引脚	名称	功能
1	GND (地)	接地，作为低电平 (0V)
2	TRIG (触发)	当此引脚电压降至 $1/3 V_{CC}$ (或由控制端决定的阈值电压) 时输出端给出高电平。
3	OUT (输出)	输出高电平 ( $+V_{CC}$ ) 或低电平。
4	RST (复位)	当此引脚接高电平时定时器工作，当此引脚接地时芯片复位，输出低电平。
5	CTRL (控制)	控制芯片的阈值电压。(当此管脚接空时默认两阈值电压为 $1/3 V_{CC}$ 与 $2/3 V_{CC}$ )
6	THR (阈值)	当此引脚电压升至 $2/3 V_{CC}$ (或由控制端决定的阈值电压) 时输出端给出低电平。
7	DIS (放电)	内接 OC 门，用于给电容放电。
8	$V^+, V_{CC}$ (供电)	提供高电平并给芯片供电。

1 脚：外接电源负端 VSS 或接地，一般情况下接地。

2 脚：低触发端

3 脚：输出端  $V_o$

4 脚：是直接清零端。当此端接低电平，那么时基电路不工作，此时不管 TR、TH 处于何电平，时基电路输出为“0”，该端不用时应接高电平。

5 脚：VC 为控制电压端。假设此端外接电压，那么可改变内部两个比较器的基准电压，当该端不用时，应将该端串入一只  $0.01 \mu F$  电容接地，以防引入干扰。

6脚：TH 高触发端。

7脚：放电端。该端与放电管集电极相连，用做定时器时电容的放电。

8脚：外接电源 VCC，双极型时基电路 VCC 的范围是 4.5 ~ 16V，CMOS 型时基电路 VCC 的范围为 3 ~ 18V。一般用 5V。

在 1脚接地，5脚未外接电压，两个比拟器 A1、A2 基准电压分别为的情况下，555 时基电路的功能表如表所示。

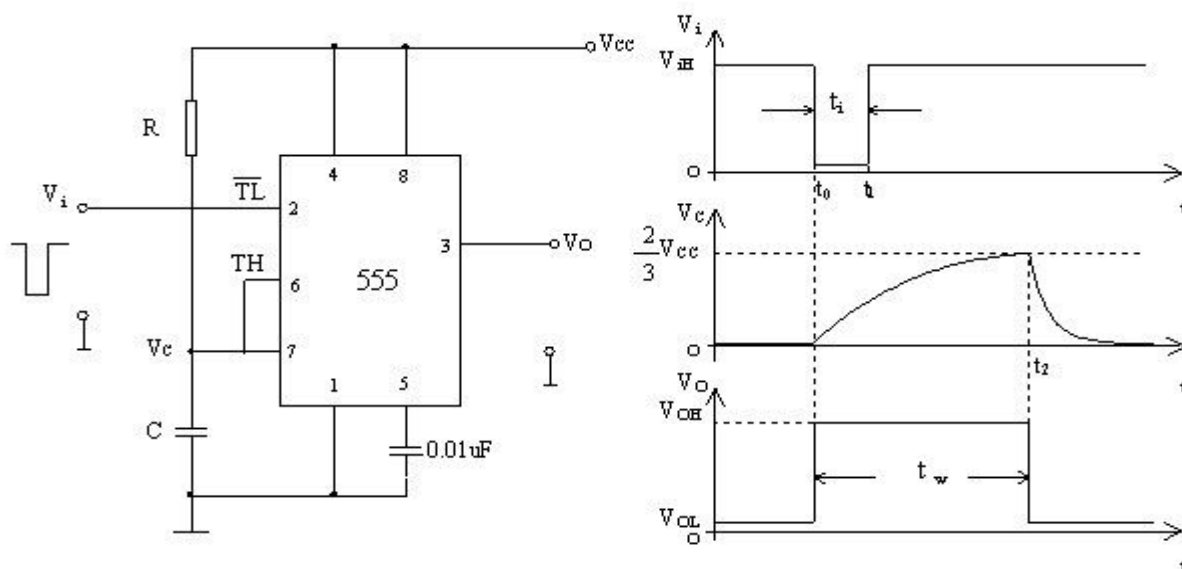
555 定时器的功能表如下：

清零端	高触发端 TH	低触发端 TL	Q	放电管 T	功能
0	×	×	0	导通	直接清零
1	0	1	×	保持上一状态	保持上一状态
1	1	0	1	截止	置 1
1	0	0	1	截止	置 1
1	1	1	0	导通	清零

555 定时器的单稳态触发电路只有一个稳态状态。在未加触发信号之前，触发器处于稳定状态，经触发后，触发器由稳定状态翻转为暂稳状态，暂稳状态保持一段时间后，又会自动翻转回原来的稳定状态。

单稳态触发器一般用于延时和脉冲整形电路。接通电源后，未加负脉冲，而 C 充电，上升，当时，电路输出为低电平，放电管 T 导通，C 快速放电，使  $V_C = 0$ 。这样，在加负脉冲前，为低电平， $V_C = 0$ ，这是电路的稳态。在  $t = t_0$  时刻负跳变（端电平小于  $V_{TH}$ ），而  $V_C = 0$ （TH 端电平小于  $V_{TH}$ ），所以输出翻为高电平，T 截止，C 充电。按指数规律上升。 $t = t_1$  时，负脉冲消失。 $t = t_2$  时上升到  $V_{TH}$ （此时 TH 端电平大于  $V_{TH}$ ，端电平大于  $V_{TH}$ ），又自动翻为低电平。在这段时间电路处于暂稳态。 $t > t_2$ ，T 导通，C 快速放电，电路又恢复到稳态。由分析可得：输出正脉冲宽度  $t_w = 1.1RC$

555 定时器用于实际中的实例有：能发出“叮、咚”声门铃的电路和旋光荣灯控制电路



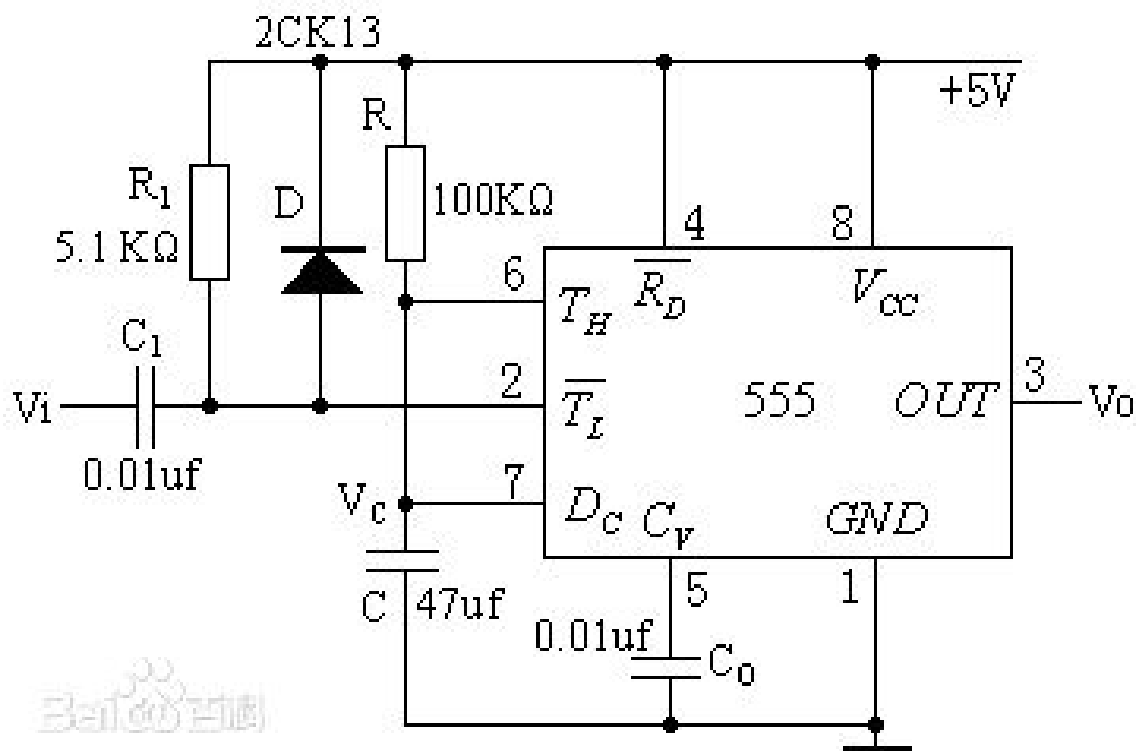
(a) 单稳态触发电路

(b) 工作波形

图 6-3

单稳触发电路和工作波形

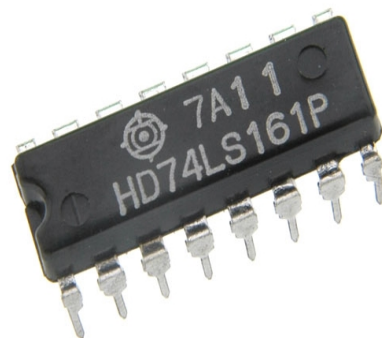
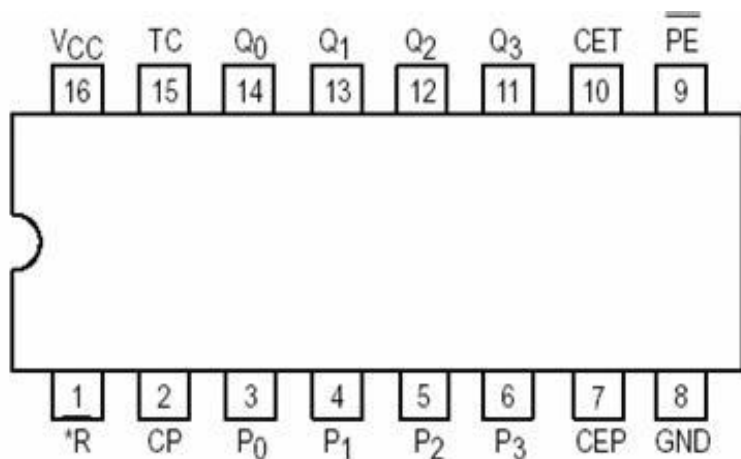
上图为由 555 定时器和外接定时元件 R、C 构成的单稳态触发器。D 为钳位二极管，稳态时 555 电路输入端处于电源电平，内部放电开关管 T 导通，输出端  $V_o$  输出低电平，当有一个外部负脉冲触发信号加到  $V_i$  端。并使 2 端电位瞬时低于  $1/3V_{CC}$ ，低电平比拟器动作，单稳态电路即开始一个稳态过程，电容 C 开始充电， $V_c$  按指数规律增长。当  $V_c$  充电到  $2/3V_{CC}$  时，高电平比拟器动作，比拟器 A1 翻转，输出  $V_o$  从高电平返回低电平，放电开关管 T 重新导通，电容 C 上的电荷很快经放电开关管放电，暂态结束，恢复稳定，为下个触发脉冲的到来作好准备。波形图见图 (b)。



暂稳态的持续时间  $T_w$  (即为延时时间) 决定于外接元件 R、C 的大小。  $T_w=1.1RC$ 。通过改变 R、C 的大小，可使延时时间在几个微秒和几十分钟之间变化。当这种单稳态电路作为计时器时，可直接驱动小型继电器，并可采用复位端接地的方法来终止暂态，重新计时。此外需用一个续流二极管与继电器线圈并接，以防继电器线圈反电势损坏内部功率管。

## 2) 二进制计数加法器 74LS161

74LS161 是 4 位二进制同步加法计数器，除了有二进制加法计数功能外，还具有异步清零、同步并行置数、保持等功能。74LS161 的逻辑电路图和引脚排列图如图 1 所示，CR 是异步清零端，LD 是预置数控制端，D0，D1，D2，D3 是预置数据输入端，P 和 T 是计数使能端，C 是进位输出端，它的设置为多片集成计数器的级联提供了方便。



74LS161 是 4 位二进制同步加法计数器，除了有二进制加法计数功能外，还具有异步清零、同步并行置数、保持等功能。74LS161 的逻辑电路图和引脚排列图如图 1 所示，CR 是异步清零端，LD 是预置数控制端，D<sub>0</sub>，D<sub>1</sub>，D<sub>2</sub>，D<sub>3</sub> 是预置数据输入端，P 和 T 是计数使能端，C 是进位输出端，它的设置为多片集成计数器的级联提供了方便。

①异步清零功能 当 CR=0 时，不管其他输入端的状态如何（包括时钟信号 CP），4 个触发器的输出全为零。

②同步并行预置数功能 在 CR=1 的条件下，当 LD=0 且有时钟脉冲 CP 的上升沿作用时，D<sub>3</sub>，D<sub>2</sub>，D<sub>1</sub>，D<sub>0</sub> 输入端的数据将分别被 Q<sub>3</sub>~Q<sub>0</sub> 所接收。由于置数操作必须有 CP 脉冲上升沿相配合，故称为同步置数。

③保持功能 在 CR=LD=1 的条件下，当 T=P=0 时，不管有无 CP 脉冲作用，计数器都将保持原有状态不变（停止计数）。

④同步二进制计数功能 当 CR=LD=P=T=1 时，74LS161 处于计数状态，电路从 00 状态开始，连续输入 16 个计数脉冲后，电路将从 1111 状态返回到 0000 状态。

⑤进位输出 C 当计数控制端 T=1，且触发器全为 1 时，进位输出为 1，否则为零。

功能表：

输 入									输 出			
CP	$\overline{CR}$	$\overline{LD}$	P	T	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
×	0	×	×	×	×	×	×	×	0	0	0	0
↑	1	0	×	×	d	c	b	a	d	c	b	a
×	1	1	0	×	×	×	×	×	保持			
×	1	1	×	0	×	×	×	×	保持(C = 0)			
↑	1	1	1	1	×	×	×	×	计数			

状态表：

输入脉冲数	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
1	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	0	1	1	0	1	0	0
5	0	1	0	0	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	1	0	0	1	1	1
8	0	1	1	1	1	0	0	0
9	1	0	0	0	1	0	0	1
10	1	0	0	1	1	0	1	0
11	1	0	1	0	1	0	1	1
12	1	0	1	1	1	1	0	0
13	1	1	0	0	1	1	0	1
14	1	1	0	1	1	1	1	0
15	1	1	1	0	1	1	1	1
16	1	1	1	1	0	0	0	0

### 3) 7 段数码显示管

7 段数码管一般由 8 个发光二极管组成，其中由 7 个细长的发光二极管组成 数字显示，另外一个圆形的发光二极管显示小数点。当发光二极管导通时，相应的一个点或一个笔画发光。控制相应的二极管导通，就能显示出各种字符，尽管显示的字符形状有些失真，能显示的数符数量也有限，但其控制简单，使用也方便。发光二极管的阳极连在一起的称为共阳极数码管，阴极连在一起的称为共阴极数码管。

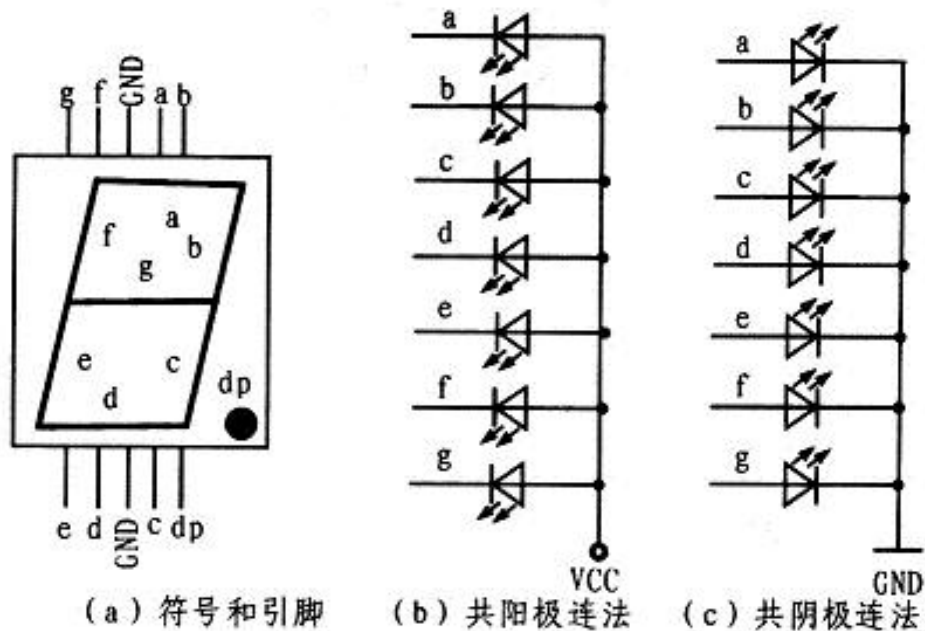


图 1 LED 数码管外形及其内部结构

发光二极管（LED 是一种由磷化镓（GaP）等半导体材料制成的，能直接将电能转变成光能的发光显示器件。当其内部有一电流通过时，它就会发光。7 段数码管每段的驱动电流和其他单个 LED 发光二极管一样，一般为 5~10mA；正向电压随发光材料不同表现为 1.8~2.5V 不等。7 段数码管的显示方法可分为静态显示与动态显示，下面分别介绍。

#### ①静态显示

所谓静态显示，就是当显示某一字符时，相应段的发光二极管恒定地寻能可截止。这种显示方法为每一们都需要有一个 8 位输出口控制。对于 51 单片机，可以在并行口上扩展多片锁存 74LS573 作为静态显示器接口。静态显示器的优点是显示稳定，在发光二极管导通电注一定的情况下显示器的亮度高，控制系统在运行过程中，仅仅在需要更新显示内容时，CPU 才执行一次显示更新子程序，这样大大节省了 CPU 的时间，提高了 CPU 的工作效率；缺点是位数较多时，所需 I/O 口太多，硬件开销太大，因此常采用另外一种显示方式——动态显示。

#### ②动态显示

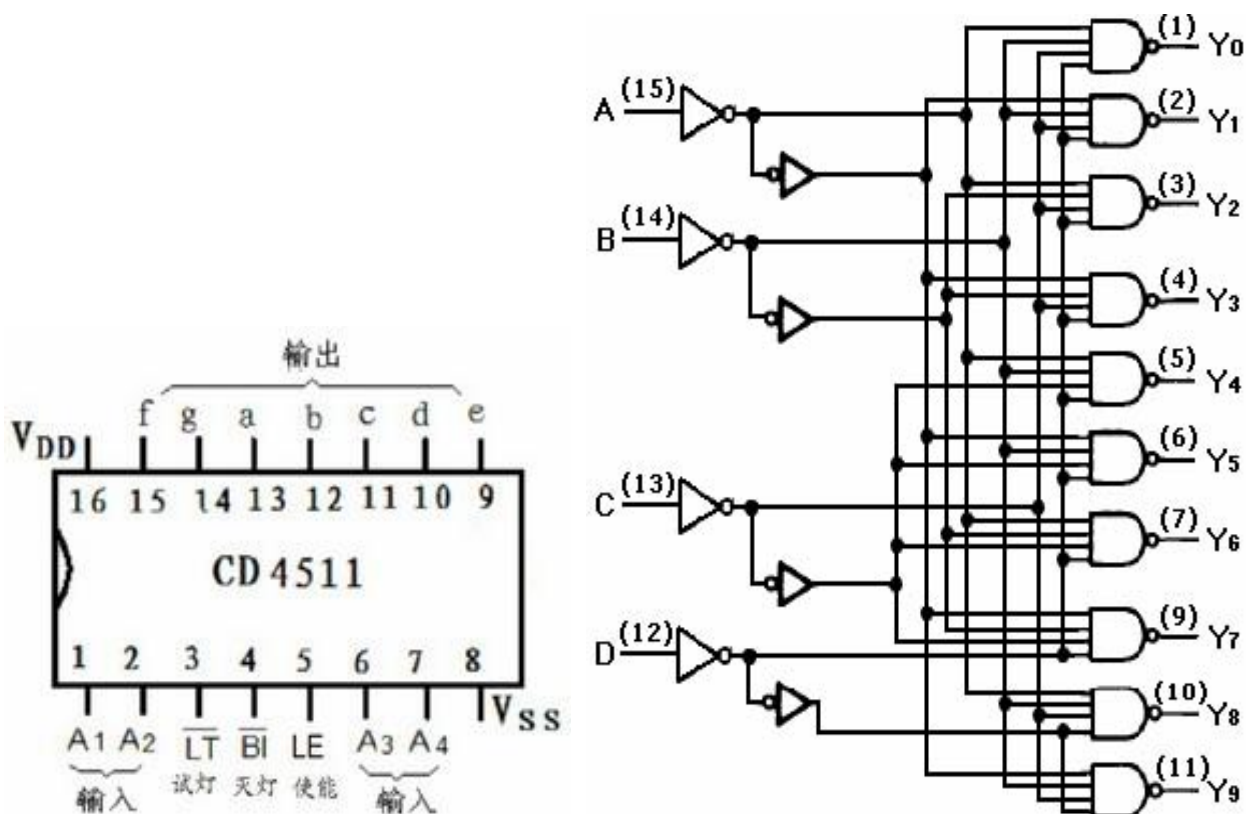
所谓动态显示就是一位一位地轮流点亮各位显示器（扫描），对于显示器的每一位而言，每隔一段时间点亮一次。虽然在同一时刻只有一位显示器在工作（点亮），但利用人眼的视觉暂留效应和发光二极管熄灭时的余辉效应，看到的却是多个字符“同时”显示。显示器亮度既与点亮时的导通电流有关，也与点亮时间和间隔时间的比例有关。调整电流和时间参烽，可实现亮度较高较稳定的显示。假设显示器的位数不大于 8 位，那么控制显示器公共极电位只需一个 8 位 I/O 口（称为扫描口或字位口），控制各位 LED 显示器所显示的字形也需要一个 8 位口（称为数据口或字形口）。

动态显示器的优点是节省硬件资源，本钱较低，但在控制系统运行过程中，要保证显示器正常显示，CPU 必须每隔一段时间执行一次显示子程序，这占用了 CPU 的大量时间，降低了 CPU 工作效率，同时显示亮度较静态显示器低。综合以上考虑，由于温度显示为精确到小数点后两位，故只需 4 个数码管，又考虑到 CPU 工作效率与电源效率，设计采用静态显示，为共阳极显示。

#### 4) 译码器 74LS47

译码器的逻辑功能是将每个输入的二进制代码译成对应的输出的高、低电平信号。常用的译码器电路有二进制译码器、二--十进制译码器和显示译码器。译码为编码的逆过程。它将编码时赋予代码的含义“翻译”过来。实现译码的逻辑电路成为译码器。译码器输出与输入代码有唯一的对应关系。

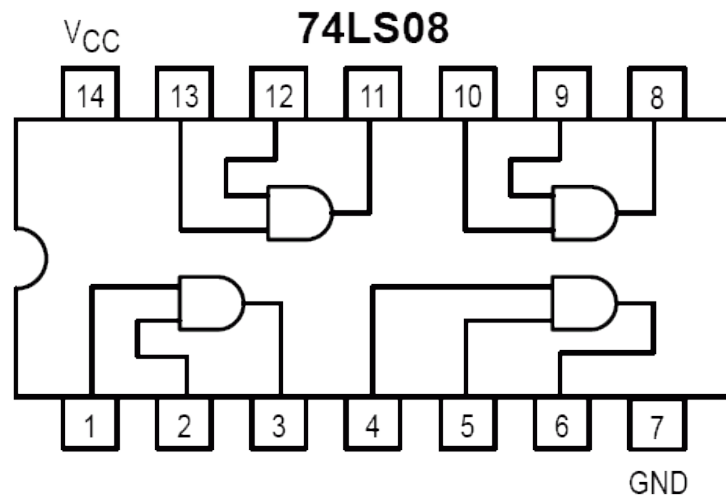
74LS47 是输出低电平有效的七段 74LS47 是 BCD-7 段数码管译码器/驱动器，74LS47 的功能用于将 BCD 码转化成数码块中的数字,通过它解码，可以直接把数字转换为数码管的显示数字。74LS47 为低电平作用。字形译码器，它在这里与数码管配合使用，其管脚功能图及状态表如下列图所示：





$\overline{LT}$	$\overline{RBI}$	$\overline{BI} / \overline{RBO}$	D C B A	abcdefg	说明
0	X	1	X X X X	0000000	试灯
X	X	0	X X X X	1111111	熄灭
1	0	0	0 0 0 0	1111111	灭零
1	1	1	0 0 0 0	0000001	0
1	X	1	0 0 0 1	1001111	1
1	X	1	0 0 1 0	0010010	2
1	X	1	0 0 1 1	0000110	3
1	X	1	0 1 0 0	1001100	4
1	X	1	0 1 0 1	0100100	5
1	X	1	0 1 1 0	1100000	6
1	X	1	0 1 1 1	0001111	7
1	X	1	1 0 0 0	0000000	8
1	X	1	1 0 0 1	0001100	9

5) 74LS08 与门



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要  
下载或阅读全文，请访问：

<https://d.book118.com/776143213153010211>