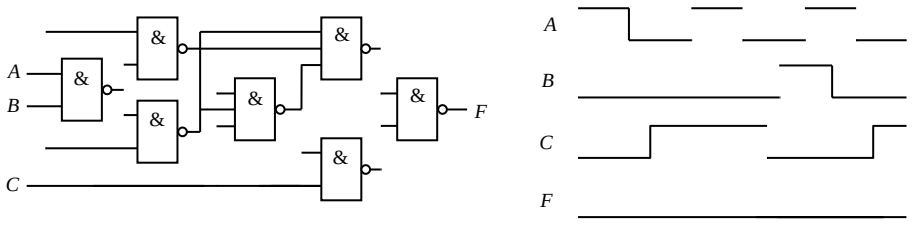
自我检测题解

题 3.1 答：组合逻辑电路如自我检测题 3.1 图（a）所示，其输入信号 *A*、*B*、*C* 的波形如自我检测题 3.1 图（b）所示。



(a) 逻辑图　　(b) 波形图

自我检测题 3.1 图

（1）填写真值表自我检测题 3.1 表。

自我检测题 3.1 表

输入		输出
A	*B*	*F*
0	0	$\overline{C}$
0	1	*C*
1	0	*C*
1	1	$\overline{C}$

（2）逻辑表达式：

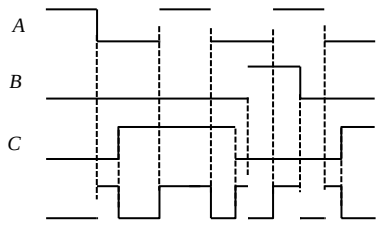
$$F=\overline{A\cdot B}\cdot\overline{A\cdot\overline{A\cdot B}}\cdot\overline{B\cdot C}\cdot\overline{A\cdot\overline{B}}\cdot\overline{B\cdot\overline{A\cdot B}}\cdot\overline{A\cdot\overline{B}}\cdot\overline{B\cdot\overline{A\cdot B}}\cdot\overline{A\cdot\overline{A\cdot B}}\cdot\overline{B\cdot C}\cdot C$$

利用反演律对逻辑表达式进行变换并化简，化简后得到

$$F=\overline{A}\cdot\overline{B}\cdot\overline{C}+\overline{A}\cdot B\cdot C+A\cdot\overline{B}\cdot C+A\cdot B\cdot\overline{C}$$

（3）在自我检测题 3.1 图（b）上画输出信号 *F* 的波形图。

根据真值表或化简后的表达式，可以得到输出信号 *F* 的波形图如自我检测题 3.1 图（c）所示。



自我检测题 3.1 图（c）

（4）当电路中输入信号 1 的个数为偶数时输出为 1，因此电路的功能是 判断输入信号 1 的奇偶性 。

题 3.2 答：典型的 VHDL 语言由三部分 参数部分—程序包 、 接口部分—设计实体 和 描述部分—结构体 组成。

题 3.3 答：在 VHDL 中，进程行为之间执行顺序为 并行执行方式 ，进程行为　　执行顺序为 顺序执行方式 。

题 3.4 答：在 VHDL 中，行为描述的基本单元是 进程语句 ，结构描述的基本单元是 调用元件语句 。

题 3.5 答：在 VHDL 结构体中的每条 VHDL 语句的执行顺序与排列顺序 无关 。

题 3.6 答：在 VHDL 中，标量数据类型包括 整数类型 、 实数类型 、 物理类型 和 枚举类型 。

题 3.7 答：自我检测题 3.7 图所示是十进制—BCD 码编码器的逻辑图。试根据逻辑图回答下列问题。

（1） 列写输出端 F_0 、F_1 、F_2 和 F_3 的逻辑表达式；

$F_0=IN_9+IN_7+IN_5+IN_3+IN_1$

$F_1=IN_7+IN_6+IN_3+IN_2$

$F_2=IN_7+IN_6+IN_5+IN_4$ $F_3=$

IN_9+IN_8

（2） 列出真值表

自我检测题 3.7 表

输入信号									输出信号			
IN_9	IN_8	IN_7	IN_6	IN_5	IN_4	IN_3	IN_2	IN_1	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	1

（3） 选择填空

（a） 编码器的功能是 B ；

（A） 将十进制数转换成二进制码；

（B） 将十进制数转换成 8421BCD 码；

（C） 将十进制数转换成格雷码。

（b）若输入端仅 IN_5 为 则输出 $Y_3Y_2Y_1Y_0$ = A ；

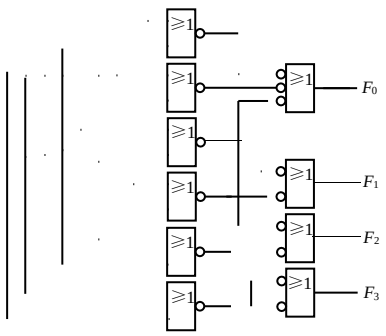
（A）0101；（B）1010；（C）1011；（D）1001。

（c）编码器输出端 B 有效；

（A） 低电平；（B）

（C）任意电平；（D）未知。

9 8 7 6 5 4 3 2 1



自我检测题 3.7 图

（d） 若欲输入十进制数 0，则输入端应 B ；

（A）全部为 （B）全部为低电平。

（e） 编码器 B 优先编码功能，因而 D 多个输入端同时为 1。

（A）有； （B）无； （C）允许； （D）不允许。

题 3.8 答：是非题（对的填“对”，错的填“错”）

（1） 数字显示电路由译码器、驱动器和数字显示器组成。（对）

（2） 译码器的作用是将二进制代码翻译成另一种代码或特定的输出信号。它是由逻辑门电路或计数器组成。（错）

（3） 对共阴极的显示器件，译码器输出低电平有效，对共阳极结构的显示器件，译码器输出高电平有效。（错）

思考题题解

题 3.1 简述组合逻辑电路的分析步骤和设计步骤。

答：组合逻辑电路的分析是用逻辑函数来描述已知的电路，找出输入、输出间的关系，从而判断电路功能。组合逻辑电路分析有以下几个步骤：首先根据逻辑电路图写出逻辑函数表达式，然后利用代数法或图解法化简函数，列出真值表，最后根据真值表判断电路的逻辑功能。

组合逻辑电路的设计是根据实际逻辑问题，求出实现相应逻辑功能的最简单或者最合理的数字电路的过程。逻辑电路的设计步骤如下：

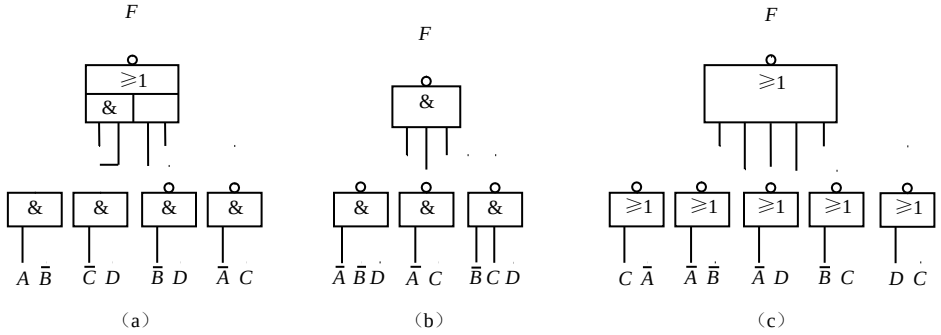
首先分析设计要求，建立真值表，选择所用门的类型，将逻辑表达式化为最简形式，或者变换为最合理的表达式，最后画出逻辑图。

题 3.2 组合逻辑电路如思考题 3.2 图（a）所示。

（1） 写出函数 F 的表达示。

（2） 将函数 F 化为最简与或式，并用与非门实现之。

（3） 若改用或非门实现，试写出相应的表达式。



思考题 3.2 图

解：（1）根据题图 3.3（a）已知电路，写出函数 F 的表达式如下：

$$F=\overline{A\cdot\overline{B}\cdot\overline{C}\cdot D+\overline{\overline{B}\cdot D}\cdot\overline{\overline{A}\cdot C}}$$

（2）将函数 F 化简为最简与或表达式，并用与非门实现。

$$F=\overline{A\cdot\overline{B}\cdot\overline{C}\cdot D+\overline{\overline{B}\cdot D}\cdot\overline{\overline{A}\cdot C}}$$

$$=\overline{A\cdot\overline{B}\cdot\overline{C}\cdot D}\cdot\overline{\overline{\overline{B}\cdot D}\cdot\overline{\overline{A}\cdot C}}$$

$$=(\overline{A}+B+C+\overline{D})\cdot(\overline{B}\cdot D+\overline{A}\cdot C)$$

$$=\overline{A}\cdot\overline{B}D+\overline{A}C+\overline{A}BC+\overline{B}CD+\overline{A}C\overline{D}$$

$$=\overline{A}\cdot\overline{B}D+\overline{A}C+\overline{B}CD$$

$$=\overline{\overline{AC}\cdot\overline{A}\cdot\overline{\overline{B}D}\cdot\overline{\overline{B}CD}}$$

根据与非表达式画出用与非门实现的电路如思考题 3.2 图（b）所示。

（3）若改用或非门实现，首先写出相应的表达式。

画出 $\overline{F}$ 的卡诺图，得到 $\overline{F}$ 的与或式，从而求出 F 的与或非式，变换得到或非-或非式。

$$F=\overline{A\cdot\overline{C}+AB+A\overline{D}+B\overline{C}+\overline{C}\cdot\overline{D}}$$

$$=\overline{\overline{A}+C}+\overline{\overline{A}+\overline{B}}+\overline{\overline{A}+D}+\overline{\overline{B}+C}+\overline{\overline{D}+\overline{C}}$$

函数 *F* 的或非门电路如思考题 3.2 图（c）所示。

题 3.3 什么叫竞争-冒险现象？当门电路的两个输入端同时向相反的逻辑状态转换（即一个从 0 变成 1，另一个从 1 变成 0）时，输出是否一定有干扰脉冲产生？

答：竞争指的是一个门电路多个输入信号同时跳变，或者一个信号经过不同路径传到同一个门电路的输入端导致信号到达时间不同的现象。冒险指的是由于竞争可能在电路输出端产生的毛刺现象。当门电路的两个输入端同时向相反的逻辑状态转换时，输出不一定有干扰脉冲产生。

3.4 简述 VHDL 的主要优点。

答：VHDL 的覆盖面广，描述能力强，是一个多层次的硬件描述语言，VHDL 已成为 IEEE 承认的一个工业标准，是一种通用的硬件描述语言。

VHDL 有良好的可读性，可以被计算机接受，也容易被读者理解，VHDL 源文件既是程序又是技术人员之间交换信息的文件，也可作为合同签约者之间的文件；VHDL 的生命周期长，因为 VHDL 硬件描述与工艺无关； VHDL 支持大规模设计的分解和已有设计的再利用。

题 3.5 一个VHDL 设计是否必须有一个结构体？结构体的目的是什么？一个设计可以有多个结构体吗？

答：VHDL 设计中必须有结构体。结构体描述实体硬件的互连关系、数据的传输和变换以及动态行为。一个实体可以对应多个结构体，每个结构体可以代表该硬件某方面的特性。例如用一个结构体表示某硬件的行为特性，用另一结构体表示该硬件的结构特性。

题 3.6 端口模式 IN 和 INOUT 有什么不同？

答：端口模式表示电路的数据流向。端口模式 IN 表示只能向端口写入数据，而端口模式 INOUT 表示既可以向端口写入数据，又可以从端口读出数据。

题 3.7 编码器的逻辑功能是什么？优先编码器与一般编码器有何区别？

答：编码器可以将一组相互独立的信号进行编码，形成一组相互关联的信号，以达到减少信号个数、增强信号表达能力的目的。一般编码器只允许一个信号为有效，而优先编码器允许同时有多个信号有效，但只识别优先级最高的信号。

题 3.8 要区别 24 个不同信号，或者说给 24 个输入信号编码，需要几位二进制代码？电路有多少个输出？如果区别 64 个信号有将如何？

答：若要区别 24 个不同信号，至少要用 5 位二进制代码，因此电路有 5 个输出。

若区分 64 个信号至少用 6 位二进制代码，因此电路有 6 个输出。

题 3.9 什么叫译码器？有哪些常用译码器？各有何特点？

答：将具有特定含义的不同的二进制代码辨别出来，翻译成为对应输出信号的电路就是译码器。常用的译码器有变量译码器和数字显示译码器。

对于译码器每一组输入编码，在若干个输出中仅有一个输出端为有效电平，其余输出皆处于无效电平，这类译码器称为变量译码器。常用的有 2-4 线译码器、3-8 线译码器、4-10 线 8421BCD 译码器等。

在数字电路中，需要将数字量的代码经过译码，送到数字显示器显示。能把数字量翻译成数字显示器能识别的译码器称为数字显示译码器，常用的有七段显示译码器。

题 3.10 数据选择器和数据分配器各具有什么功能？若想将一组并行输入的数据转换成串行输出，应采用哪种电路？

答：数据选择器根据控制信号的不同，在多个输入信号中选择其中一个信号输出。数据分配器则通过控制信号将一个输入信号分配给多个输出信号中的一个。若要将并行信号变成串行信号应采用数据选择器。

题 3.11 一个有使能端的译码器能否用作数据分配器？怎样接线可以使一个八路输出的数据分配器连接成一个 3 线-8 线译码器？

答：带使能端的译码器能用作数据分配器。以 74138 译码器芯片为例，将其连接成数据分配器如思考题 3.11 图（a）所示。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：https://d.book118.com/787015145123006035