

第一单元

1. 以直拉法拉制掺硼硅锭，切割后获硅片，在晶锭顶端切下的硅片，硼浓度为 $3 \times 10^{15} \text{ atoms/cm}^3$ 。当熔料的90%已拉出，剩下10%开始生长时，所对应的晶锭上的该位置处切下的硅片，硼浓度是多少？

已知： $C_p = 3 \times 10^{15} \text{ atoms/cm}^3$; $k_p = 0.35$; 由 $k = \frac{C_s}{C_l}$ 得：

硅熔料中硼的初始浓度为：

$$C_0 = C_p / k_p = 3 \times 10^{15} / 0.35 \approx 8.57 \times 10^{15} \text{ atoms/cm}^3;$$

由 $C_s = k C_0 (1-X)^{k-1}$ 得：

剩下10%熔料时，此处晶锭的硼浓度为：

$$C_{90\%} = k_p C_0 (1-0.1)^{k_p-1} = 0.35 \times 8.57 \times 10^{15} \times 0.1^{0.35-1} = 1.34 \times 10^{16}$$

2. 硅熔料含0.1%原子百分比的磷，假定溶液总是均匀的，计算当晶体拉出10%，50%，90%时的掺杂浓度。

已知：硅晶体原子密度为： $5 \times 10^{22} \text{ atoms/cm}^3$ ，含0.1%原子百分比的磷，熔料中磷浓度为：

$$C = 5 \times 10^{22} \times 0.1\% = 5 \times 10^{19} \text{ atoms/cm}^3; k_p = 0.8$$

由 $C_s = k C_0 (1-X)^{k-1}$ 计算得：

$$C_{10\%} = k_p C_0 (1-0.9)^{k_p-1} = 0.8 \times 5 \times 10^{19} \times 0.9^{-0.2} = 4.09 \times 10^{19} \text{ atoms/cm}^3$$

$$C_{50\%} = 0.8 \times 5 \times 10^{19} \times 0.5^{-0.2} = 4.59 \times 10^{19} \text{ atoms/cm}^3$$

$$C_{90\%} = 0.8 \times 5 \times 10^{19} \times 0.1^{-0.2} = 6.34 \times 10^{19} \text{ atoms/cm}^3$$

3. 比较硅单晶锭CZ、MCZ和FZ三种生长方法的优缺点？

答：

CZ法工艺成熟可拉制大直径硅锭，但受坩锅熔融带来的O等杂质浓度高，存在一定杂质分布，因此，相对于MCZ和FZ法，生长的硅锭质量不高。当前仍是生产大直径硅锭的主要方法。

MCZ法是在CZ技术基础上发展起来的，生长的单晶硅质量更好，能得到均匀、低氧的大直径硅锭。但MCZ设备较CZ设备复杂得多，造价也高得多，强磁场的存在使得生产成本也大幅提高。MCZ法在生产高品质大直径硅锭上已成为主要方法。

FZ法与CZ、MCZ法相比，去掉了坩锅，因此没有坩锅带来的污染，能拉制出更高纯度、无氧的高阻硅，是制备高纯度，高品质硅锭，及硅锭提存的方法。但因存在熔融区因此拉制硅锭的直径受限。FZ法硅锭的直径比CZ、MCZ法小得多。

4. 直拉硅单晶，晶锭生长过程中掺杂，需要考虑哪些因素会对硅锭杂质浓度及均匀性带来影响？

答：

直拉法生长单晶时，通常采用液相掺杂方法，对硅锭杂质浓度及均匀性带来影响的因素主要有：杂质分凝效应，杂质蒸发现象，所拉制晶锭的直径，坩锅内的温度及其分布。

5. 磁控直拉设备本质上是模仿空间微重力环境来制备单晶硅。为什么在空间微重力实验室能生长出优质单晶。

答:

直拉生长单晶硅时，坩埚内熔体温度呈一定分布。熔体表面中心处温度最低，坩埚壁面和底部温度最高。熔体的温度梯度带来密度梯度，坩埚壁面和底部熔体密度最低，表面中心处熔体密度最高。地球重力场的存在使得坩埚上部密度高的熔体向下，而底部、壁面密度低的熔体向上流动，形成自然对流。坩埚也就越来越大，熔体对流更加严重，进而形成强对流。熔体的流动将坩埚表面融入熔体的氧不断带离坩埚表面，进入熔体内；而且熔体强对流也使得单晶生长环境的稳定性变差，引起硅锭表面出现条纹，这有损晶体均匀性。如果在单晶炉上附加一强磁场，高温下具有高电导特性的熔体硅的流动因载流子切割磁力线而产生洛伦兹力，洛伦兹力与熔体运动方向及磁场方向相互垂直，磁力的存在相当于增强了熔体的粘性，从而熔体的自然对流受阻。

在空间微重力实验室，地球重力场可以忽略，在坩埚内的熔体就不会因密度梯度形成自然对流，因此能生长出优质单晶。

6. 硅气相外延工艺采用的衬底不是准确的晶向，通常偏离(100)或(111)等晶向一个小角度，为什么？

答:

从硅气相外延工艺原理可知，硅外延生长的表面外延过程是外延剂在衬底表面被吸附后分解出Si原子，他迁移到达结点位置停留，之后被后续的Si原子覆盖，该Si原子成为外延层中原子。因此衬底表面“结点位置”的存在是外延过程顺利进行的关键，如果外延衬底不是准确的(100)或(111)晶面，而是偏离一个小角度，这在其表面就会有大量结点位置，所以，硅气相外延工艺采用的衬底通常偏离准确的晶向一个小角度。

7. 外延层杂质的分布主要受哪几种因素影响？

外延温度，衬底杂质及其浓度，外延方法，外延设备等因素影响。

8. 异质外延对衬底和外延层有什么要求？

对于B/A型的异质外延，在衬底A上能否外延生长B，外延层B晶格能否完好，受衬底A与外延层B的兼容性影响。衬底与外延层的兼容性主要表现在三个方面：

其一，衬底A与外延层B两种材料在外延温度不发生化学反应，不发生大剂量的互溶现象。即A和B的化学特性兼容；

其二，衬底A与外延层B的热力学参数相匹配，这是指两种材料的热膨胀系数接近，以避免生长的外延层由生长温度冷却至室温时，因热膨胀产生残余应力，在B/A界面出现大量位错。当A、B两种材料的热力学参数不匹配时，甚至会发生外延层龟裂现象。

其三，衬底与外延层的晶格参数相匹配，这是指两种材料的晶体结构，晶格常数接近，以避免晶格结构及参数的不匹配引起B/A界面附近晶格缺陷多和应力大的现象。

9. 电阻率为2-3 Qcm的 n-Si，杂质为磷时，5千克硅，需掺入多少磷杂质？

已知： $\rho_p=2-3\Omega\text{cm}$ ， $\sigma_p=2.33 \text{ g/cm}^3$

由图1-13的p~n曲线可得： $n\approx 1\times 10^{16} \text{ atoms/cm}^3$ ，

$$\text{掺入磷的原子数为: } \frac{W_{Si} n_p}{\rho_{Si}} = \frac{5 \times 10^3 \times 1 \times 10^{16}}{2.33} = 2.146 \times 10^{19} \text{ atoms}$$

磷原子量为30.97;原子量单位为 $1.6606 \times 10^{-27} \text{kg}$, 掺杂磷的质量应为:

$$\text{需掺入磷: } 1.661 \times 10^{-21} \times 30.97 \times 2.146 \times 10^{19} \approx 1.1 \text{mg}$$

10. 比较分子束外延(MBE)生长硅与气相外延(VPE)生长硅的优缺点。

答:

MBE与VPE相比生长硅, MBE可精确控制外延层厚度, 能生长极薄的硅外延层; 且外延温度低, 无杂质再分布现象, 且工艺环境清洁, 因此硅外延层杂质分布精确可控, 能形成复杂杂质结构的硅外延层。但MBE工艺设备复杂、工艺成本高、效率低。

第二单元

1. SiO_2 膜网络结构特点是什么?氧和杂质在 SiO_2 网络结构中的作用和用途是

什么?对 SiO_2 膜性能有哪些影响?

二氧化硅的基本结构单元为Si-O四面体网络状结构, 四面体中心为硅原子, 四个顶角上为氧原子。对 SiO_2 网络在结构上具备“长程无序、短程有序”的一类固态无定形体或玻璃体。半导体工艺中形成和利用的都是这种无定形的玻璃态 SiO_2 。

氧在 SiO_2 网络中起桥联氧原子或非桥联氧原子作用, 桥联氧原子的数目越多, 网络结合越紧密, 反之则越疏松。在连接两个Si-O四面体之间的氧原子

掺入 SiO_2 中的杂质, 按它们在 SiO_2 网络中所处的位置来说, 基本上可以分为两类: 替代(位)式杂质或间隙式杂质。取代Si-O四面体中Si原子位置的杂质为替代(位)式杂质。这类杂质主要是IIIA, VA元素, 如B、P等, 这类杂质的特点是离子半径与Si原子的半径相接近或更小, 在网络结构中能替代或占据Si原子位置, 亦称为网络形成杂质。

由于它们的价电子数往往和硅不同, 所以当其取代硅原子位置后, 会使网络的结构和性质发生变化。如杂质磷进入二氧化硅构成的薄膜称为磷硅玻璃, 记为PSG; 杂质硼进入二氧化硅构成的薄膜称为硼硅玻璃, 记为BSG。当它们替代硅原子的位置后, 其配位数将发生改变。

具有较大离子半径的杂质进入 SiO_2 网络只能占据网络中间隙孔(洞)位置, 成为网络变形(改变)杂质, 如Na、K、Ca、Ba、Pb等碱金属、碱土金属原子多是这类杂质。当网络改变杂质的氧化物进入 SiO_2 后, 将被电离并把氧离子交给网络, 使网络产生更多的非桥联氧离子来代替原来的桥联氧离子, 引起非桥联氧离子浓度增大而形成更多的孔洞, 降低网络结构强度, 降低熔点, 以及引起其它性能变化。

2. 在 SiO_2 系统中存在哪几种电荷?他们对器件性能有些什么影响?工艺上如

何降低他们的密度?

在二氧化硅层中存在着与制备工艺有关的正电荷。在 SiO_2 内和 SiO_2 -Si界面上有四种类型的电荷: 可动离子电荷: Q_m ; 氧化层固定电荷: Q_f ; 界面陷阱电荷: Q_{it} ; 氧化层陷阱电荷: Q_{ot} 。这些正电荷将引起硅/二氧化硅界面p-硅的反型层, 以及MOS器件阈值电压不稳定等现象, 应尽量避免。

(1) 可动离子电荷 (Mobile ionic charge) Q_m 主要是 Na^+ 、 K^+ 、 H^+ 等荷正电的碱金属离子, 这些离子在二氧化硅中都是网络修正杂质, 为快扩散杂质, 电荷密度在 $10^{10}\sim 10^{12}/\text{cm}^2$ 。其中主要是 Na^+ , 因为在人体与环境中大量存在 Na^+ , 热氧化时容易发生 Na^+ 沾污。

Na^+ 离子沾污往往是在 SiO_2 层中造成正电荷的一个主要来源。这种正电荷将影响到 SiO_2 层下的硅的表面势, 从而, SiO_2 层中 Na^+ 的运动及其数量的变化都将影响到器件的性能。进入氧化层中的 Na^+ 数量依赖于氧化过程中的清洁度。现在工艺水平已经能较好地控制 Na^+ 的沾污, 保障MOS晶体管阈值电压 V_r 的稳定。

存在于 SiO_2 中的 Na^+ , 即使在低于 200°C 的温度下在氧化层中也具有很高的扩散系数。同时由于 Na 以离子的形态存在, 其迁移(transport)能力因氧化层中存在电场而显著提高。为了降低 Na^+ 的沾污, 可以在工艺过程中采取一些预防措施, 包括: ①使用含氯的氧化工艺; ②用氯周期性地清洗管道、炉管和相关容器; ③使用超纯净的化学物质; ④保证气体在传输过程的清洁。另外保证栅材料(通常是多晶硅)不受沾污也是很重要的。使用PSG和BPSG玻璃钝化可动离子, 可以降低可动离子的影响。因为这些玻璃体能捕获可动离子。用等离子淀积氮化硅来封闭已经完成的芯片, 氮化硅起阻挡层的作用, 可以防止 Na^+ 、水汽等有害物的渗透。

(2) 固定离子电荷 (Fixed Oxide Charge) Q_f , 通常是带正电, 但是在某些情况下也可能带负电, 它的极性不随表面势和时间的变化而变化, 所以叫它固定电荷。这种电荷是指位于距离Si-SiO₂界面3nm的氧化层范围内的正电荷, 又称界面电荷, 是由氧化层中的缺陷引起的, 电荷密度在 $10^{10}\sim 10^{12}/\text{cm}^2$ 。然而在超薄氧化层($<3.0\text{nm}$)中, 电荷离界面更近, 或者是分布于整个氧化层之中。

固定离子电荷的来源普遍认为是氧化层中过剩的硅离子, 或者说是氧化层中的氧空位。由于氧离子带负电, 氧空位具有正电中心的作用, 所以氧化层中的固定电荷带正电。固定氧化层电荷的能级在硅的禁带以外, 但在 SiO_2 禁带中。

硅衬底晶向、氧化条件和退火温度的适当选择, 可以使固定正电荷控制在较低的密度。同时降低氧化时氧的分压, 也可减小过剩 Si^+ 的数量, 有助于减小固定正电荷密度。另外, 含氯氧化工艺也能降低固定正电荷的密度。

(3) 界面陷阱电荷 (Interface trapped charge) Q_{it} , 位于 SiO_2/Si 界面上, 电荷密度在 $10^{10}/\text{cm}^2$ 左右, 是由能量处于硅禁带中、可以与价带或导带方便交换电荷的那些陷阱能级或电荷状态引起的。那些陷阱能级可以是施主或受主, 也可以是少数载流子的产生和复合中心, 包括起源于Si-SiO₂界面结构缺陷(如硅表面的悬挂键)、氧化感生缺陷以及金属杂质和辐射等因素引起的其它缺陷。

通常可通过氧化后在低温、惰性气体中退火来降低 Q_{it} 的浓度。在(100)的硅上进行干氧化后, D_{it} 的值大约是 $10^{11} \sim 10^{12} / \text{cm}^2 \text{ eV}$, 而且会随着氧化温度的升高而减少。

(4) 氧化层陷阱电荷(Oxide trapped charge) Q_{ot} , 它位于 SiO_2 中和 Si/SiO_2 界面附近, 这种陷阱俘获电子或空穴后分别荷负电或正电, 电荷密度在 $10^9 \sim 10^{13} / \text{cm}^2$ 左右。这是由氧化层内的杂质或不饱和键捕捉到加工过程中产生的电子或空穴所引起的。在氧化层中有些缺陷能产生陷阱, 如悬挂键、界面陷阱变形的 Si-Si 、 Si-O 键。

氧化层陷阱电荷的产生方式主要有电离辐射和热电子注入。减少电离辐射陷阱电荷的主要工艺方法有: ①选择适当的氧化工艺条件以改善 SiO_2 结构, 使 Si-O-Si 键不易被打破。一般称之为抗辐照氧化最佳工艺条件, 常用 1000°C 干氧化。②在惰性气体中进行低温退火($150 \sim 400^\circ\text{C}$)可以减少电离辐射陷阱。

3. 欲对扩散的杂质起有效的屏蔽作用, 对 SiO_2 膜有何要求? 工艺上如何控制

氧化膜生长质量?

硅衬底上的 SiO_2 若要能够当作掩膜来实现定域扩散的话, 就应该要求杂质在 SiO_2 层中的扩散深度 x , 小于 SiO_2 本身的厚度 x_{so} , 即有

$$x < x_{\text{SiO}_2}$$

实际上只有对那些 $D_{\text{SiO}_2} < D_{\text{Si}}$, 即 $\frac{D_{\text{Si}}}{D_{\text{SiO}_2}} > 1$ 的杂质, 用 SiO_2 膜掩蔽才有实

用价值。

SiO_2 掩膜最小厚度确定硅衬底上的 SiO_2 要能够当作掩膜来实现定域扩散的话, 只要 x_{so} 能满足条件: 预生长的 SiO_2 膜具有一定的厚度, 同时杂质在衬底硅中的扩散系数 D_s , 要远远大于其在 SiO_2 中的扩散系数 D_{SiO_2} (即 $D_s > D_{\text{SiO}_2}$)

, 而且 SiO_2 表面杂质浓度(C_s)与 SiO_2 -Si界面杂质浓度(C_i)之比达到一定数值, 可保证 SiO_2 膜能起到有效的掩蔽作用。

若取 $\frac{C_s}{C_i} = 10^3$, 则所需氧化层的最小厚度为

$$x_m = 4.6 \sqrt{D_{\text{SiO}_2} t}$$

4. 由热氧化机理解释干、湿氧速率相差很大这一现象

由二氧化硅基本结构单元可知, 位于四面体中心的Si原子与四个顶角上的氧原子以共价键方式结合在一起, Si原子运动要打断四个Si-O键, 而桥联O原子的运动只需打断二个Si-O键, 非桥联氧原子只需打断一个Si-O键。因此, 在 SiO_2 网络结构中, O原子比Si原子更容易运动。氧原子离开其四面体位

置运动后，生成氧空位。在热氧化过程中，氧离子或水分子能够在已生长的 SiO_2 中扩散进入 SiO_2/Si 界面，与 Si 原子反应生成新的 SiO_2 网络结构，使

SiO₂ 膜不断增厚。与此相反，硅体内的Si 原子则不容易挣脱Si 共价键的束缚，也不容易在已生长的SiO₂ 网络中移动。所以，在热氧化的过程中，氧化反应将在SiO₂-Si 界面处进行，而不发生在SiO₂ 层的外表层，这一特性决定了热氧化的机理。

为了解释线性速率常数与硅表面晶向的关系，有人提出了一个模型。根据这个模型，在二氧化硅中的水分子和Si-SiO₂ 界面的Si-Si 键之间能直接发生反应。在这个界面上的所有的硅原子，一部分和上面的氧原子桥联，一部分和下面的Si 原子桥联，这样氧化速率与晶向的关系就变成了氧化速率与氧化激活能和反应格点的浓度的关系了。在SiO₂-Si 界面上，任何一个时刻并不是处于不同位置的所有硅原子对氧化反应来说都是等效的，也就是说不是所有硅原子与水分子都能发生反应生成SiO₂。

实验发现，在干氧氧化的气氛中，只要存在极少量的水汽，就会对氧化速率产生重要影响。对于硅的(100)晶面，在800℃的温度下进行干氧化时，当氧化剂气氛中的水汽含量小于1ppm时，氧化700分钟，氧化层厚度为300Å；在同样条件下，水汽含量为25ppm时，氧化层厚度为370 Å。在上述实验中，为了准确控制水汽含量，氧气源是液态的；为了防止高温下水汽通过石英管壁进入氧化炉内，氧化石英管是双层的，并在两层中间通有高纯氮或氩，这样就可以把通过外层石英管进入到夹层中的水汽及时排除。

5. 薄层氧化过程需注意哪些要求?现采用的工艺有哪些?

在ULSI 中，MOS 薄栅氧化层(xso<100Å) 制备应满足以下关键条件：

- (1) 低缺陷密度----以降低在低电场下的突然性失效次数；
- (2) 好的抗杂质扩散的势垒特性----对p+多晶硅栅的p-MOSFET 特别重要；
- (3) 具有低的界面态密度和固定电荷的高质量的Si-SiO₂ 界面----低的界面态密度可保证MOSFET有理想的开关特性；
- (4) 在热载流子应力和辐射条件下的稳定性----当MOSFET 按比例减小时，沟道横向的高电场会使沟道载流子获得高能量，并产生热载流子效应，例如氧化层电荷陷阱和界面态。在热载流子应力和辐射条件(如反应离子刻蚀和X射线光刻工艺)下生产最小损伤的栅介质层；
- (5) 工艺过程中具有较低的热开销 (Thermal budget),以减少热扩散过程中的杂质再分布。

现采用的工艺分为四大类主流方法：(1) 各种预氧化清洁工艺；(2) 各种氧化工艺；(3) 化学改善栅氧化层工艺；(4) 沉积氧化层或叠层氧化硅作为栅介质。

6. 掺氯氧化为何对提高氧化层质量有作用?

HCl 的氧化过程，实质上就是在热生长SiO₂ 膜的同时，在SiO₂ 中掺入一定数量的氯离子的过程。所掺入的氯离子主要分布在Si-SiO₂ 界面附近100Å 左右处。氯在氧化膜中的行为是比较复杂的，从实验观察分析认为有以下几种情况：(1) 氯是负离子，在氧化膜中集中必然造成负电荷中心，它与正电荷的离

子起中和作用；(2)它能在氧化膜中形成某些陷阱态来俘获可动离子；(3)碱金属离子和重金属离子能与氯形成蒸气压高的氯化物而被除去；(4)在氧化膜中填补氧空位，与硅形成Si-Cl键或Si-O-Cl复合体，因此降低了固定正电荷密度和界面态密度(可使固定正电荷密度降低约一个数量级)。掺氯氧化同时减少固定电荷等氧化膜缺陷，提高氧化膜平均击穿电压，增加氧化速率，提高硅中少数载流子寿命等。

7. 热氧化法生长1000Å厚的氧化层，工艺条件：1000°C，干氧氧化，无初始氧化层，试问氧化工艺需多长时间？

解：氧化层生长厚度与生长时间之间的关系式为

$$x^2 + Ax = B(t + t_0)$$

已知 $t_0=0$ ，1000°C，干氧氧化查表4-2，可知 $A=0.165 \mu\text{m}$ ，

$$B = 1.95 \times 10^{-4} \mu\text{m}^2 / \text{min}$$

$$x = 0.1 \mu\text{m} \text{ 所以}$$

$$t \approx 135.9 \text{ min}$$

8. 硅器件为避免芯片沾污，可否最后热氧化一层SiO₂作为保护膜？为什么？

不可以。Si的热氧化是高温工艺，硅器件芯片完成后再进行高温工艺会因金属电极的氧化、杂质再分布等原因损害器件性能、甚至使其彻底失效。另外，热氧化需要消耗衬底硅，器件表面无硅位置生长不出氧化层。

9. 求下列条件下固溶度与扩散系数：①B在1050°C ②P在950°C

解：固溶度可查图1-15得 ①B在1050°C近似为 $5 \times 10^{20} \text{ atoms/cm}^3$

②P在950°C近似为 $8 \times 10^{20} \text{ atoms/cm}^3$

玻尔兹曼常数 $k = 1.3806 \times 10^{-23} \text{ J/K} = 8.617 \times 10^{-5} \text{ eV/K}$

由公式 $D = D_0 \exp\left[\frac{-E_a}{kT}\right]$ ，查表5-1知道B和P在这两个温度下

$D_0=10.5\text{cm}^2 \cdot \text{s}^{-1}$, $E_4=3.69\text{eV}$ 代入公式即得

$$\textcircled{1} \text{B 在 } 1050^{\circ}\text{C} \quad D = D_0 \exp\left[\frac{-E_a}{\kappa T}\right] = 9.85 \times 10^{-14} \text{ cm}^2 / \text{s}$$

$$D = D_0 \exp\left[\frac{-E_a}{\kappa T}\right] = 6.62 \times 10^{-15} \text{ cm}^2 / \text{s}$$

$\textcircled{2}$ P 在 950°C

10. 在 Si 衬底上 975°C , 30min 预淀积磷, 当衬底为 $0.3 \Omega \cdot \text{cm}$ 的 p-Si, 975°C

时: $\textcircled{1}$ 求结深和杂质总量; $\textcircled{2}$ 若继续进行再分布, 1100°C , 50min, 求这时的结深和表面杂质浓度。

解: $\textcircled{1}$ 由图 1-13 得 $C_g = 5 \times 10^{15} \text{ atoms/cm}^3$; 由图 1-15 得: $C_5 = 10^{21} \text{ atoms/cm}^3$

$$\text{由 } D = D_0 \exp\left[\frac{-E_a}{\kappa T}\right] = 1.47 \times 10^{-15} \text{ cm}^2 / \text{s}$$

预淀积工艺主要以恒定表面源扩散为主, 所以杂质总量

$$Q(t) = 1.13 C_s \sqrt{Dt} = 1.84 \times 10^{15}$$

预淀积为余误差分布, $C_s / C_B = 2 \times 10^5$; 由图 3.7 得: $A \approx 6.2$;

$$x_j = A \sqrt{Dt} = 6.2 \times \sqrt{1.47 \times 10^{-15} \times 30 \times 60} \approx 0.1 \mu\text{m}$$

$\textcircled{2}$ 再分布过程符合恒定表面源扩散规律, 所以表面杂质浓度

$$C_s(t) = C(0, t) = \frac{Q}{\sqrt{\pi Dt}} = \frac{1.84 \times 10^{15}}{\sqrt{\pi \times 4.89 \times 10^{-14} \times 50 \times 60}} = 8.57 \times 10^{19} \text{ atoms/cm}^2$$

$$x_j = A \sqrt{Dt} = 6.0 \sqrt{4.89 \times 10^{-14} \times 50 \times 60} = 7.26 \times 10^{-5} \text{ cm} = 0.726 \mu\text{m}$$

11. 什么是沟道效应? 如何才能避免?

对晶体靶进行离子注入时, 当离子注入的方向与靶晶体的某个晶向平行时, 其运动轨迹将不再是无规则的, 而是将沿沟道运动并且很少受到原子核的碰撞, 因此来自靶原子的阻止作用要小得多, 而且沟道中的电子密度很低, 受到的电子阻止也很小, 这些离子的能量损失率就很低。在其他条件相同的情况下, 很难控制注入离子的浓度分布, 注入深度大于在无定形靶中的深度并使注入离子的分布产生一个很长的拖尾, 注入纵向分布峰值与高斯分布不同, 这种现象称为离子注入的沟道效应(Channeling effect)。

减少沟道效应的措施：(1)对大的离子，沿沟道轴向(110)偏离7—10°；
(2)用Si,Ge,F,Ar等离子注入使表面预非晶化，形成非晶层 (Pre-amorphization);(3)增加注入剂量(晶格损失增加，非晶层形成，沟道离子

减少); (4) 表面用 SiO_2 层掩膜。

12. 硼注入, 峰值浓度 (R_p) 在 $0.1 \mu\text{m}$ 处, 注入能量是多少?

解: 由表6-19, 峰值浓度在 $0.1 \mu\text{m}$ 处注入能量是 30keV

13. 在 1000°C 工作的扩散炉, 温度偏差在 $\pm 1^\circ\text{C}$, 扩散深度相应的偏差是多少?

假定是高斯扩散。

解: 扩散温度导致的扩散深度偏差产生主要来源于扩散系数差

由公式 $D = D_0 \exp\left[\frac{-E_a}{\kappa T}\right]$ 以P扩为例

$$\frac{D(1001)}{D(1000)} = \exp\left[\frac{E_a}{1274\kappa} - \frac{E_a}{1273\kappa}\right] = 97.46\%$$

$$\frac{D(999)}{D(1000)} = \exp\left[\frac{E_a}{1272\kappa} - \frac{E_a}{1273\kappa}\right] = 103.04\%$$

$$(Dt)^{\frac{1}{2}}$$

14. 对n区进行p扩散, 使 $C_s = 1000C_B$, 证明: 假定是恒定源扩散, 结深与

成正比, 请确定比例因子。

证: 恒定源扩散时硅一直处于杂质氛围中, 因此, 认为硅片表面达到了该扩散温度的固溶度 C_s , 根据这种扩散的特点, 解一维扩散方程式

$$\frac{\partial C(x,t)}{\partial t} = D \frac{\partial^2 C(x,t)}{\partial x^2},$$

其初始条件和边界条件为

$$\text{初始条件} \quad C(x,0)=0, t=0$$

$$\text{边界条件} \quad C(0,t)=C_s, x=0$$

$$C(\infty,t)=0$$

按上述初始条件和边界条件, 可解得硅中杂质分布的表达式

$$C(x,t) = C_s \left(1 - \frac{2}{\pi} \int_0^{\frac{x}{2\sqrt{Dt}}} \exp(-\lambda^2) d\lambda\right) = C_s \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right)$$

两种杂质浓度相等处形成pn结。其结的位置由 $C(x, t) = C_g$

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：
<https://d.book118.com/788046134111006112>