



组合逻辑电路的设计

- ◆ 半加器：不考虑从低位来的进位数。
- ◆ 全加器：考虑从低位来的进位数。



一、半加器

输入信号：加数 A ， 被加数 B

输出信号：本位的和 F ， 向高位的进位数 C

◆ 设计的一般步骤：

(1) 根据逻辑功能列出真值表。

A	B	F	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

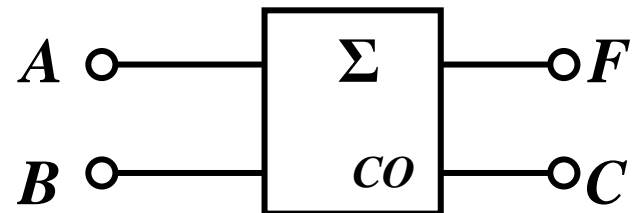
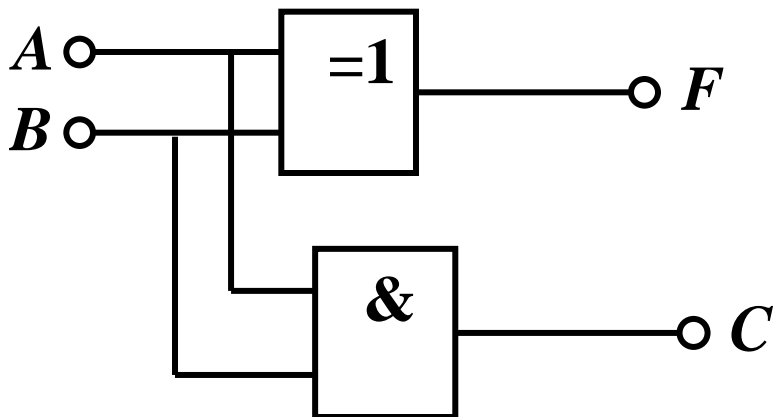
(2) 根据真值表写出逻辑表达式。

<i>A</i>	<i>B</i>	<i>F</i>	<i>C</i>
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$F = A\bar{B} + \bar{A}B = A \oplus B \quad \text{异或}$$

$$C = A \cdot B \quad \text{与}$$

(3) 根据逻辑表达式画出逻辑电路。



二、全加器

(1) 根据逻辑功能列出真值表。

输入信	A_i	B_i	C_{i-1}	F_i	C_i	位数 C_{i-1}
	0	0	0	0	0	
输出信	0	0	1	1	0	数 C_i
	0	1	0	1	0	
	0	1	1	0	1	
	1	0	0	1	0	
	1	0	1	0	1	
	1	1	0	0	1	
	1	1	1	1	1	

A_i	B_i	C_{i-1}	F_i
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(2) 根据真值表写出逻辑表达式。

$F_i =$ 真值为 **1** 时输入乘积项的逻辑和

$$F_i = (\bar{A}_i \bar{B}_i C_{i-1}) + (\bar{A}_i B_i \bar{C}_{i-1}) + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1}$$

A_i	B_i	C_{i-1}	C_i
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(2) 根据真值表写出逻辑表达式。

$C_i =$ 真值为 **1** 时输入乘积项的逻辑和

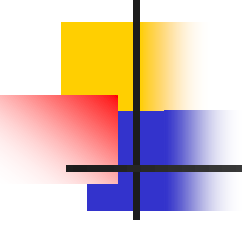
$$C_i = \bar{A}_i B_i C_{i-1} + A_i \bar{B}_i C_{i-1} + A_i B_i \bar{C}_{i-1} + A_i B_i C_{i-1}$$

A_i	B_i	C_{i-1}	F_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$\overline{F_i}$ = 真值为 **0** 各行的乘积项的逻辑和

$$\overline{F_i} = \overline{A_i} \overline{B_i} \overline{C_{i-1}} + \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}}$$

$$\overline{C_i} = \overline{A_i} \overline{B_i} \overline{C_{i-1}} + \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}}$$



$$F = \overline{\overline{A_i} \overline{B_i} \overline{C_{i-1}}} + \overline{\overline{A_i} B_i C_{i-1}} + \overline{A_i \overline{B_i} C_{i-1}} + \overline{A_i B_i \overline{C_{i-1}}}$$

$$C_i = \overline{\overline{A_i} \overline{B_i} \overline{C_{i-1}}} + \overline{\overline{A_i} \overline{B_i} C_{i-1}} + \overline{\overline{A_i} B_i \overline{C_{i-1}}} + \overline{A_i \overline{B_i} \overline{C_{i-1}}}$$



(3) 根据题意简化逻辑表达式。

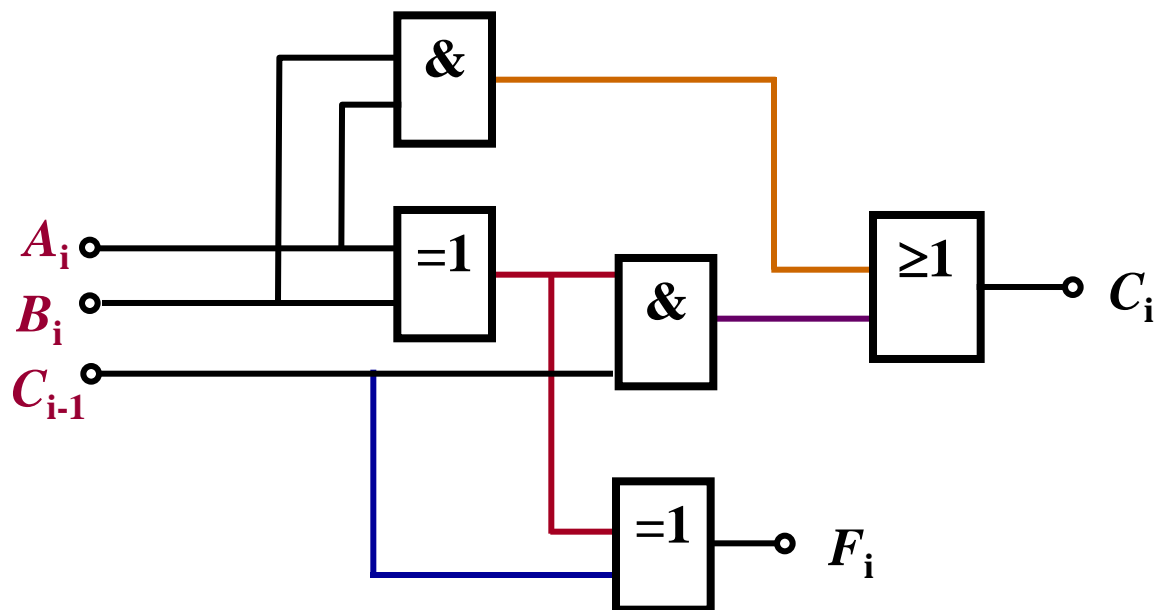
$$\begin{aligned} F &= \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1} \\ &= (\overline{A_i} \overline{B_i} + A_i B_i) C_{i-1} + (\overline{A_i} B_i + A_i \overline{B_i}) \overline{C_{i-1}} \\ &= (\overline{A_i \oplus B_i}) C_{i-1} + (A_i \oplus B_i) \overline{C_{i-1}} \\ &= (A_i \oplus B_i) \oplus C_{i-1} = A_i \oplus B_i \oplus C_{i-1} \\ C_i &= \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + A_i B_i C_{i-1} \\ &= (\overline{A_i} B_i + A_i \overline{B_i}) C_{i-1} + A_i B_i (\overline{C_{i-1}} + C_{i-1}) \\ &= (A_i \oplus B_i) C_{i-1} + A_i B_i \end{aligned}$$

$$F \equiv A_i \oplus B_i \oplus C_{i-1}$$

$$C_i \equiv (A_i \oplus B_i)C_{i-1} + A_i B_i$$

(4) 画出组合逻辑电路。

1. 要求只使用基本门和异或门电路实现。



以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/807031143145006114>