

微机原理复习资料及答案

一、单项选择题

1. 8086 微处理器将下一条指令的地址保存在指令寄存器 () 中。
A) OP B) MP C) IP D) XP
2. 以下寻址方式中只有 () 不需要访问内存。
A) 立即寻址 B) 直接寻址 C) 寄存器间接寻址
D) 相对寄存器寻址
3. 关于微处理器的指令系统，以下说法正确的是 ()。
A) 指令系统就是该处理器能够执行的全部指令
B) 一个微处理器的指令系统是设计微处理器时决定的，是其固有的功能
C) 指令系统所能完成功能的强弱，是这种微处理器功能强弱的具体表现
D) 以上都正确
4. 在 Intel 系列微处理器中保护模式下是通过 () 中的段选择子在描述符表中选择一个描述符，从而得到段的相关信息来访问内存。
A) 通用寄存器 B) 段寄存器 C) 标志寄存器
D) 偏移寄存器
5. 以下存储器中，只有 () 是以电容来存储信息，需要定期进行刷新。
A) PROM B) EPROM C) DRAM D) SRAM

6. 以下指令错误的是 ()。

A) MOV AX, 1234H

B) MOV AX, BL

C) MOV AX, 12H

D) MOV AL, BL

7. 8086CPU 的中断源中只有 () 能被 CPU 的 IF 标志屏蔽。

A) INTR

B) NMI

C) 软中断

D) 溢出中断

8. 一片 8259 中断控制器可以管理 8 级外部中断, 则 2 片 8259 级联最多可以管理 () 级外部中断。

A) 15

B) 16

C) 17

D) 18

9. 8086 微处理器的状态标志中, () 用于指示当前运算结果是否为零。

A) AF

B) CF

C) OF

D) ZF

10. DMA 数据传送是指在 () 之间直接进行的数据传送。

A) CPU 和内存

B) CPU 和外设

C) 外设和外设

D) 内存和外设

11. 微机系统中若用 4 片 8259A 构成主、从两级中断控制逻辑, 接至 CPU 的可屏蔽中断请求线 INTR 上, 最多可扩展为 () 级外部硬中断。

A. 32

B. 29

C. 28

D. 24

12. 采用查询方式来实现输入输出是因为它 ()

- A. 速度最快
B. 在对多个事件查询工作时，能对突发事件做出实时响应
C. 实现起来比较容易
D. CPU 可以不介入

13. 并行接口与串行接口的区别主要表现在 () 之间的数据传输前者是并行, 后者是串行

- A. 接口与 MPU
B. 接口与外设
C. 接口与 MPU 和外设

14. 8086CPU 通过 M/I/O 控制线来区分是存储器访问, 还是 I/O 访问, 当 CPU 执行 IN AL, DX 指令时, 该信号线为 () 电平。

- A. 高
B. 低
C. ECL
D. CMOS

15. CPU 响应可屏蔽中断请求时, 其中断向量号由 () 提供

- A. CPU 内部
B. 中断指令
C. 向量号固定
D. 中断控制器

16. 设 $x = -46$, $y = 117$, 则 $[x - y]$ 补和 $[x + y]$ 补分别等于。()

- A. 5DH 和 47H
B. D2H 和 75H
C. 47H 和 71H
D. 2EH 和 71H

17. 地址译码器的输入端应接到 () 上。

- A. 控制总线 B. 数据总线 C. 地址总线
D. 外部总线

18. 8259A 可编程中断控制器的中断服务寄存器 ISR 用于 ()

- A. 记忆正在处理中的中断 B. 存放从
外设来的中断请求信号
C. 允许向 CPU 发中断请求 D. 禁止向
CPU 发中断请求

19. 8259A 工作在 8086/8088 模式时, 初始化命令字 ICW2 用来设置 ()

- A. 中断向量地址的高 8 位 B. 中断类
型号地址的高 5 位
C. 中断向量的高 5 位 D. 中断类
型号的高 5 位

20. 8086 中, () 组寄存器都可以用作指针来实现对存储器的寻址。

- A. AX, SI, DI, BX B. BP, BX,
CX, DX
C. SI, DI, BP, BX D. BX, CX,
SI, DI

21. 8086CPU 中段寄存器用来存放 ()

- A. 存储器的物理地址 B. 存储器的
逻辑地址

15.

16. C. 存储器的段基值

D. 存储器的起始地址

17. 在 8086 微机系统的 RAM 存储单

元器 0000H:002CH 开始依次存放 23H, 0FFH, 00H,

和 0F0H 四个字节, 该向量对应的中断类型号是 ()。

A. 0AH

B. 0BH

C. 0CH

D. 0DH

18. 若要使寄存器 AL 中的高 4 位不

变, 低 4 位为 0, 所用指令为 ()。

A. AND AL, 0FH

B. AND AL, 0F0H

C. OR

AL, 0FH

D. OR AL, 0F0H

19. 计算机能直接认识、理解和执行的

的程序是 ()

A. 汇编语言程序

B. 机器语言程序

C.

高级语言程序

20. 8254 可编程定时/计数器的计

数范围是 ()

A. 0-255

B. 1-256

C. 0-65535

D. 1-65536

(计数值范围: 0000H ~ FFFFH 0000H 是最大值, 代表 65536 选择十进制(BCD 码))

21. 按微机系统与存储器的关系,

I/O 端口的编址方式分为 ()

A. 线性和非线性编址

B. 集中和分散编址

C.

统一和独立编址

D. 重叠和非重叠编址

22.

微处理器系统中采用独立编址

时，存储单元与 I/O 端口是通过 () 来区分的

A. 不同的地址编码

B. 不同的读 / 写控制逻辑

辑

C. 专用 I / O 指令

23.

CPU 执行 OUT DX, AL 指令时, ()

的值输出到地址总线上。

A. AL 寄存器

B. AX 寄存器

C. DL

寄存器

D. DX 寄存器

24.

可编程接口芯片在使用前对它

(), 称为初始化编程

A. 写操作数

B. 写控制字

C.

编接口地址

D. 设计控制电路

25.

8251 芯片是可编程 () 接口芯

片

A. 定时器

B. 计数器

C. 并行通信

D. 串行通信

26.

当 IF=0, 8088/8086CPU 不响应

() 中断请求。

A. INTN

B. INTR

C. NMI

D. INTO

IF 是中断标志位。IF=1, 允许 CPU 响应可屏蔽中断

(INTR), IF=0, CPU 不响应可屏蔽中断

27. 指令 MOV AX, [BX][SI] 中源操作数的寻址方式是()
- A. 寄存器间接寻址 B. 变址寻址
C. 相对寻址 D. 基址变址寻址
28. 在 DMA 方式下, 数据从内存传送到外设的路径是()
- A. 内存 → CPU → 总线 → 外设 B. 内存 → DMAC → 外设
C. 内存 → 数据总线 → 外设 D. 外设 → 内存
29. 8254 工作在哪儿种方式时, 可输出 1 个时钟周期宽度 (1CLK) 的负脉冲()
- A. 方式 0, 4, 5 B. 方式 2, 4, 5 C. 方式 1, 2, 4 D. 方式 0, 2, 4
30. CPU 响应 INTR 和 NMI 中断时, 相同的必要条件是()
- A. 当前总线空闲 B. 允许中断 C. 当前访问内存结束 D. 当前指令执行结束
31. 用 $2K \times 4$ 位的 RAM 芯片组成 16K 字节的存储器, 共需 RAM 芯片和片选地址分别为()
- A. 16 片和 3 位 B. 8 片和 8 位 C. 4 片和 3 位 D. 32 片和 8 位
32. 8086/8088 中除()两种寻址方式外, 其它各种寻址方式的操作数均在存储器中。

A. 立即寻址和直接寻址

B. 寄存器寻址和直接寻址

C. 立即寻址和寄存器寻址

D. 立即寻址和间接寻址

33.

设置特殊屏蔽方式的目的是

()

A. 屏蔽低级中断

B. 响应高级中断

C.

响应低级中断

D. 响应同级中断

34.

设 8255A 的方式选择控制字为

9BH, 其含义是()

A. A、B、C 口全为输出

B. A、B、C 口全为输入

C. A、B 口为方式 0 且输出

D. 以上都不对

35.

CPU 与外设交换数据, 当采用程

序控制 I/O 方式时, 是()。

A. 以 CPU 为主动方

B. 以存储器为主动方

C. 以外设为主动方

D. 外设直接和存储器交换数据

36.

8254 在下面几种不同的工作方

式中, 可用 GATE 作重触发信号的是()。

A. 方式 0

B. 方式 1

C.

方式 3

D. 方式 4

37. 堆栈的工作方式是()
A. 先进先出 B. 随机读写 C. 只能读出不能写入
D. 后进先出

38. CPU 与外设间数据传送的控制方式有()
A. 中断方式 B. 程序控制方式 C. DMA 方式 D. 以上三种都是

39. 某存储单元的段基址为 3806H, 段内偏移地址为 2A48H, 该存储单元的物理地址为()。
A. 4100H B. 3AA08H
C. 3B008H D. 3AAA8H

40. 某存储器芯片容量为 $2K \times 1\text{bit}$ 、若用它组成 $16K \times 8\text{bit}$ 存储器组, 所用芯片数以及用于组内寻址的地址线为()。(笔算: $16K=2^n$? ?)
A. 32 片、11 根 B. 64 片、14 根 C. 8 片、14 根
D. 16 片、8 根

41. 可编程并行接口 8255A 具有()
A. 两个 8 位(A 口、B 口) 和两个 4 位(C 口的高、低各 4 位) 并行输入输出端口。
B. 两个 8 位(A 口、C 口) 和两个 4 位(B 口的高、低各 4 位) 并行输入输出端口。
C. 两个 8 位(B 口、C 口) 和两个 4 位(A 口的高、低各 4 位) 并行输入输出端口。

件和系统软件

47. 执行指令 `PUSH BX` 后，堆栈指针 `SP` 的变化为 ()
- A. `SP-1` B. `SP-2` C. `SP+1`
D. `SP+2`
48. 定时/计数器 8254 每片有 () 。
- A. 3 个独立的 16 位计数器，每个计数器都有 6 种不同的工作方式。
- B. 2 个独立的 8 位计数器，每个计数器都有 3 种不同的工作方式。
- C. 3 个独立的 16 位计数器，每个计数器都有 8 种不同的工作方式。
- D. 4 个独立的 16 位计数器，每个计数器都有 6 种不同的工作方式。
49. 实现 DMA 传送，需要 ()
- A. CPU 通过执行指令来完成
B. CPU 利用中断方式来完成
C. CPU 利用查询方式来完成
D. 不需要 CPU 参与即可完成
50. 以下叙述不正确的是 () 。
- A. 一个字节由 8 位二进制数构成
B. 字节是存储容量的基本单位。
C. 字节是衡量微机性能的重要指标。
D. 字节是微机字长的基本单位。

51. 以下有关 CPU 的说法不正确的是 ()。

- A. CPU 也称作运算控制单元 B. CPU 也称作微处理器
C. CPU 是微型机的核心部件。 D. CPU 也称作运算处理单元

52. 下列存储器中，存取速度最快的是 ()。

- A. CD-ROM B. 内存储器 C. 软盘 D. 硬盘

53. 存储器芯片位数不足时，需用 ()。

- A、字扩展 B、位扩展 C、字位扩展 D、以上均可

54. 8086CPU 有 20 条地址线，可寻址空间为 ()。

- A、640kB B、64kB C、1MB D、16MB

55. 8086 系统中，中断优先级最低的是 ()。

- A、INT n B、NMI C、INTR D、单步中断

56. 8259 芯片中，中断结束是指使 () 中相应位复位的动作。

- A、IMR B、IRR C、ISR D、以上都不对

57. 8259 工作在优先级自动循环方式，则 IRQ4 的中断请求被响应并且服务完毕以后，优先级最高的中断源是 ()。

A、IRQ₃ B、IRQ₅ C、IRQ₀ D、IRQ₄
IRQ4 的中断请求被响应后,IRQ5 的中断请求的将变为最高优先级,依次是IRQ6, IRQ7, IRQ0, IRQ1, IRQ2, IRQ3, IRQ4。

58. 设 8254 芯片的端口地址是 60H-63H, 将控制字写入控制寄存器的指令是()。

- A、OUT 60H, AL B、OUT 61H, AL
C、OUT 62H, AL D、OUT 63H, AL

二、填空题

- 8255A 中共有 三 个 8 位端口, 其中, PC 口既可作数据口, 又可产生控制信号, 若要所有端口均工作在方式 0 输出模式, 则方式选择字应为 OUT ADDRESS 0;。
- 一台微机的 CPU, 其晶振的主振频率为 4MHz, 二分频后作为 CPU 的时钟频率。如果该 CPU 的一个总线周期含有四个时钟周期, 那么此总线周期是 2 μ s。
- 试写出 3 条将 AX 寄存器清零的不同的指令: xor ax, ax , mov ax, 0 , AND AX, AX 。
- 微型计算机中, CPU 重复进行的基本操作是: 取指令、指令译码 和 执行指令。
- 8259A 共有 7 个可编程的寄存器, 它们分别用于接

受 CPU 送来的 初始化命令字 和 操作命令字。

6. 已知 $BX=2730H$, $CF=1$, 执行指令: $ADC\ BX, 97CFH$ 之后, $BX=$ _____, 标志位的状态分别为 $CF=$ _____, $ZF=$ _____, $OF=$ _____, $SF=$ _____。

— ADC 为带进位加法, 相当于 $BX+97CFH+(CF)$

$BX+97CFH=0BEFFH=1011, 1110, 1111, 1111$ $BCF=1$

1011, 1110, 1111, 1111
+ 0000, 0000, 0000, 0001

1011, 1111, 0000, 0000B=0BF00H

CF 为进位标志位, 为0

ZF 为零标志位, 为0

OF 为溢出标志位, 为0

SF 为符号标志位, 为1

7. $8259A$ 最多允许 64 级级联, 三片 $8259A$ 可管理的中断源最多为 22 个。
8. $8259A$ 有两种结束中断的方式, 分别为 自动结束 和 非自动结束 两种。
9. PC 机采用 向量 中断方式处理 8 级外中断, 中断号依

次为 08H~0FH, 在 RAM 0028H 单元开始依次存放 20H, FFH, 50H, C0H 四个字节, 该向量对应的中断号和中断程序入口是 A C050: FF20 。

10. 8086 中, BIU 部件完成 外部总线操作 功能, EU 部件完成 指令译码和指令执行 功能。

11. 设 8086 系统中采用单片 8259A, 其 8259A 的 ICW2=32H, 则对应 IR5 的 中断类型为 35H, 它的中断入口地址在中断向量表中的地址为 000D4H—000D7H H。

12. 微型计算机系统的硬件由五大部分组成, 这五个部分是 微处理器、存储器、系统总线、输入输出接口 和 外设。

13. 若 (CS) =3100H 时, 物理转移地址为 35B20H, 当 CS 的内容被重新设定为 2900H 时, 物理转移地址为 2DB20。(16 进制计算)

14. 8259A 工作在 8086 模式, 中断向量字 ICW2=70H, 若在 IR3 处有一中断请求信号, 这时它的中断向量号为 73H, 该中断的服务程序入口地址保存在内存地址为 1CC H 至 1CF H 的 4 个单元中。

简析: ICW2 中记录了 8259A 的 8 级中断对应的中断

类型号的高5位，中断类型号的低3位由中断引脚编号确定，所以IR3脚对应的中断类型号为73H，中断服务程序的入口地址 = 中断类型号 $\times 4 = 73H \times 4 = 1CCH$ 。

ICW2 = 后3 + 前5 = 70H + 3 = 73 (70用户设置, 3系统设置)

15. 在8086CPU中，由于BIU和EU分开，所以取指令和执行指令可以重叠操作，提高了CPU的利用率；

16. 中断请求寄存器IRR的功能是用以分别保存8个中断请求信号。

17. 在一个微机系统中，若8259A只开放IR1和IR4引脚的中断源，而将其余中断源屏蔽，则中断屏蔽寄存器IMR应设置为12H。
(10010---0屏蔽)

18. 若256KB的SRAM具有8条数据线，则它具有18条地址线。

19. 若用1片74LS138、1片6116RAM(2K \times 8)及2片2732EPROM(4K \times 8)组成存储器电路，则存储器的总容量是 ，其中，CPU运行的程序代码应存放在 存储器中。

20. 若由2K \times 1位的RAM芯片组成一个容量为8K字(16位)的存储器时，需要该芯片数为32。

21. 8254 芯片内包含有 3 个独立的计数通道，它有 5 种工作方式，若输入时钟 CLK1=1MHz，计数初值为 500，BCD 码计数方式，OUT1 输出为方波，则初始化时该通道的控制字应为 77h。
22. 用 $2k \times 8$ 的 SRAM 芯片组成 $16K \times 16$ 的存储器，共需 SRAM 芯片 16 片，片内地址和产生片选信号的地址分别为 11、3 位。
23. 在 8086 中，一条指令的物理地址是由 CS 的内容乘以 16 后与 IP 的内容 相加得到的。
24. 8086 CPU 只在 访问 CPU 外部的存储器或 I/O 接口 时，才执行总线周期。
25. 存储器地址译码有两种方式，分别为 全译码方式 和 部分译码方式。
26. 用 $2k \times 8$ 的 SRAM 芯片组成 $16K \times 16$ 的存储器，共需 SRAM 芯片 16 片，片内地址和产生片选信号的地址分别为 11 位和 3 位。
27. CPU 与接口之间传送信息的方式一般有四种，即：无条件、查询式、中断方式、DMA 方式。
28. 半导体存储器从使用功能上来

说，可分为两类：RAM 和 ROM。

29. MOV AX, 1234H 中源操作数所使用的是 立即数寻址 寻址方式，MOV ES, AX 源操作数所采用的是 寄存器寻址 寻址方式。

30. 8259A 的初始化命令字包括 ICW1-ICW4，其中 ICW1 是必须设置的。

31. 一台 微机的地址总线为 16 条，其 RAM 存储器容量为 32KB，首地址为 3200H，且地址是连续的，则可用的最高地址是_____。

32. 一个数据的有效地址 $EA = 1234H$ ，且 $DS = 5678H$ ，则该数据在内存中的物理地址是 579B4H，该数据段的首单元的物理地址是 56780H。

物理地址 = 段地址 * 16 + 有效地址。即 $56780H + 1234H = 579B4H$ 首单元物理地址 $579B4H$ ，末单元要看数据长度才知道。

IjdEPdwP366X1xy2nEm2hDnaASkULINNrJuq90VxtAojKqNXt6Gm97RZMNRQPEPtW-jvnjSa

33. 8086 CPU 的 $\overline{M/I\overline{O}}$ 信号是 存储器/输入/输出控制信号，高电平时表示 CPU 和存储器之间进行数据传输。

34. I/O 端口的编址方式有两种，分别为：独立编址 和 统一编址。
35. 从CPU的NMI引脚产生的中断叫做 非屏蔽中断，他的响应不受 标志位IF 影响 的影响。
36. 在存储系统的层次结构中，通常分为 和 两个层次。
37. 寻址方式就是指 寻找操作数或操作数地址的方式 的方式。
38. Intel8086 由 biu 和执行单元 EU 组成，它们之间采用 并行 方式并行工作，大大提高了CPU的指令执行速度。
39. 在 Intel 系列微处理器中保护模式下是通过段寄存器中的 选择子，在描述符表中 选择一个描述符，从而得到段的相关信息来访问内存。
40. 用 MOS 器件构成的随机存取存储器 RAM 分为 SRAM 和 DRAM 两种，其中 DRAM 以电容来存储信息，需要定期进行 刷新。
41. 设 8254 的计数器 1 的输入时钟频率为 1MHz，以 BCD 码计数，要求该通道每隔 5ms 输出一个正跳变信号，则其方式控制字应为 71h (1110001)。
- 已知 8253 的计数时钟频率为1MHZ，若要求8253的计

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/818105012135007003>