

# EDA/SOPC系统开发平台

---

## 用户 使用 手册



# 目 录

<b>第一章 综述</b> .....	<b>1</b>
SOPC-NIOSII-EP2C35 核心板资源介绍.....	1
EDA/SOPC 开发平台资源介绍.....	3
<b>第二章 系统模块</b> .....	<b>6</b>
<b>SOPC-NIOSII-EP2C35 核心板模块说明</b>	
FPGA EP2C35F484C8 芯片说明.....	8
FLASH AM29LV065D 功能模块说明.....	9
SRAM IDT71V416 功能模块说明.....	10
SDRAM 功能模块说明.....	11
NAND FLASH 功能模块说明.....	12
扩展接口功能说明.....	13
调试接口 JTAG、AS 说明.....	14
其它功能模块.....	15
<b>SOPC-NIOSII-EP2C35 核心板使用注意事项</b> .....	<b>18</b>
<b>EDA/SOPC 实验开发平台模块说明</b>	
液晶显示模块.....	20
RTC 实时时钟模块.....	21
网卡接口模块.....	22
USB 接口模块.....	22
音频 CODEC 接口模块.....	23
高速 AD/DA 转换模块.....	25
直流电机与步进电机模块.....	26
数字、模拟信号源模块.....	28
EEPROM 存储模块.....	28
数字温度传感器模块.....	29
其它功能模块.....	30
EDA/SOPC 开发平台使用注意事项.....	31

<b>第三章 软件的安装</b> .....	<b>33</b>
概述.....	33
QuartusII 软件的安装.....	35
QuartusII 软件的授权.....	40
NIOSII 软件的安装.....	45
<b>第四章 USB 电缆的安装与使用</b> .....	<b>49</b>
USB 电缆在 WINXP 系统中的安装.....	51
USB 电缆在 Linux 系统中的安装.....	55
USB 电缆在 QuartusII 软件中和设置.....	55
USB 电缆的规格指标.....	57
USB 电缆使用注意事项.....	61
疑难解答.....	61
<b>附表一</b>	
核心板资源与 FPGA EP2C35 I/O 接口对照表.....	63
<b>附表二</b>	
EP2C35 核心板与开发平台资源 I/O 接口对照表.....	69

# 第一章 综 述

SOPC-NIOS EDA/SOPC 实验开发系统是根据现代电子发展的方向，集 EDA 和 SOPC 系统开发为一体的综合性实验开发系统，除了满足高校专、本科生和研究生的 SOPC 教学实验开发之外，也是电子设计和电子项目开发的理想工具。整个开发系统由核心板 SOPC-NIOSII-EP2C35、SOPC 开发平台和扩展板构成，根据用户不同的需求配置成不同的开发系统。

## EP2C35核心板

EP2C35核心板为基于Altera Cyclone器件的嵌入式系统开发提供了一个很好的硬件平台，它可以为开发人员提供以下资源：

- 1、主芯片采用Altera CycloneII器件EP2C35F484C8
- 2、EPCS4I8配置芯片
- 3、两路SRAM容量为256K\*32BIT
- 4、一路NOR FLASH芯片采用AM29LV065D，容量为8M\*8BIT
- 5、一路NAND FLASH容量为64MB
- 6、一路SDRAM容量为32MB
- 7、4个用户自定义按键
- 8、4个用户自定义LED
- 9、1个七段码LED
- 10、标准AS编程接口和JTAG调试接口
- 11、50MHz高精度时钟源
- 12、三个高密度扩展接口
- 13、系统上电复位电路
- 14、支持+5V直接输入，板上电源管理模块

核心板主芯片采用484引脚、BGA封装的EP2C35 FPGA，它拥有33216个LE，105个M4K片上RAM（共计483840bits），4个高性能PLL以及多达322个用户自定义IO。

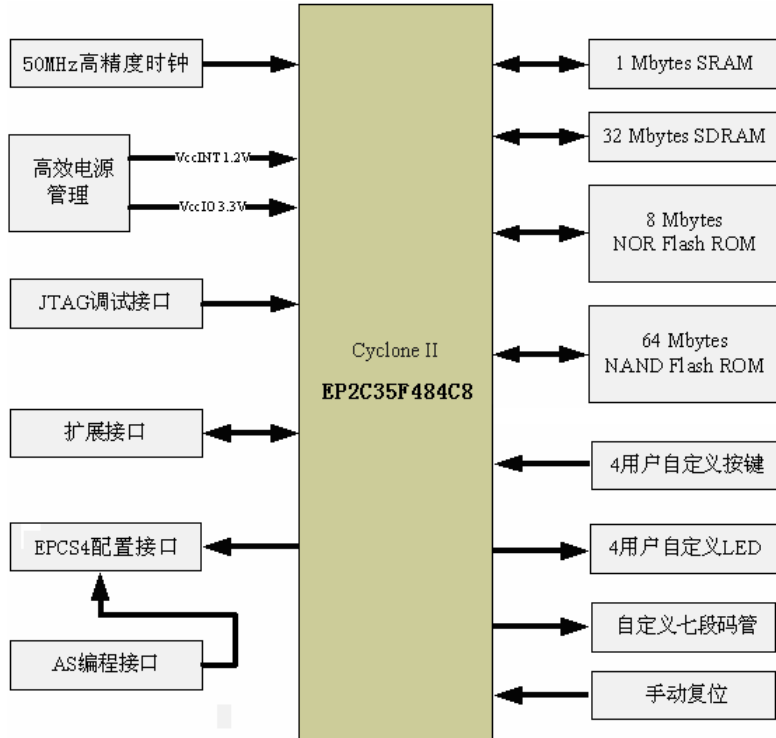


图1-1 EP2C35核心板系统功能框图

## EDA/SOPC 实验开发平台

EDA/SOPC 实验开发平台提供了丰富的资源供学生或开发人员学习使用，资源包括接口通信、控制、存储、数据转换以及人机交互显示等几大模块，接口通信模块包括 SPI 接口、IIC 接口、VGA 接口、RS232 接口、网络接口、USB 接口、PS2 键盘/鼠标接口、1-Wire 接口等；控制模块包括直流电机、步进电机和交通灯的控制模块等；存储模块包括 EEPROM 存储器模块等；数据转换模块包括串行 ADC、DAC、高速并行 ADC、DAC 以及音频 CODEC 等；人机交互显示模块包括 8 个按键、12 个拨动开关、12 个 LED 发光二极管显示、4×4 键盘阵列、128×240 图形点阵 LCD、8 位动态 7 段码管、16×16 点阵、实时时钟等；另外平台上还提供了一个简易模拟信号源和多路时钟模块。上述的这些资源模块既可以满足初学者入门的要求，也可以满足开发人员进行二次开发的要求。

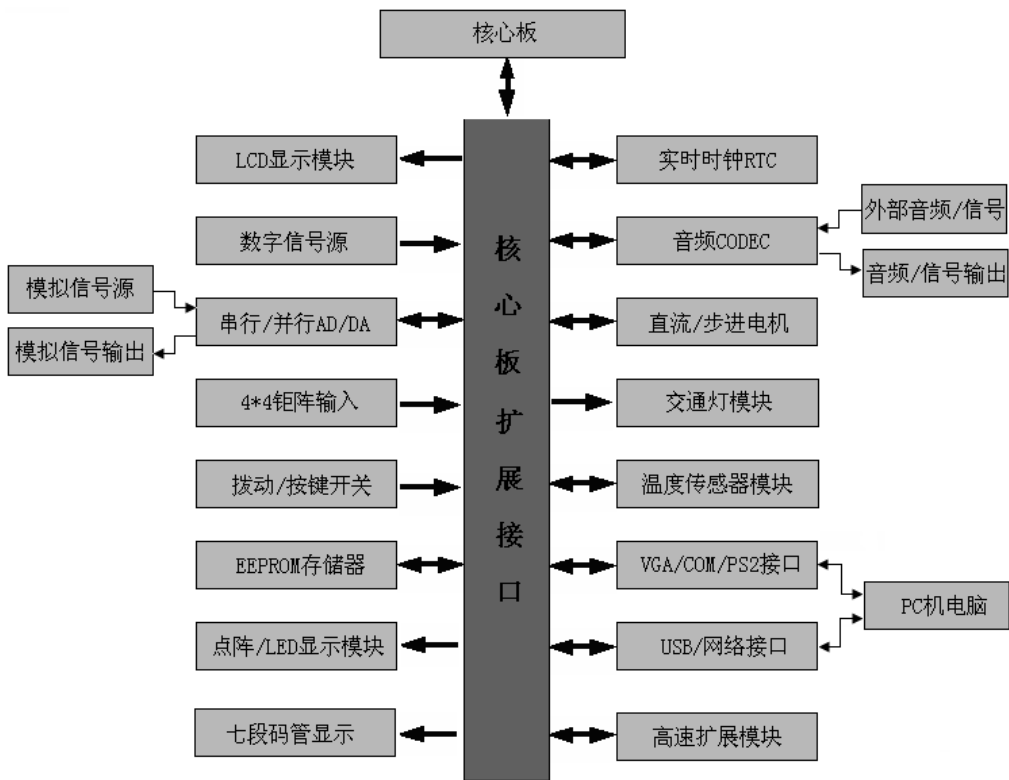


图 1-2 EDA/SOPC 系统平台功能框图

EDA/SOPC 实验开发平台提供的资源有：

- 配置核心板为 SOPC-NIOS-EP2C35（核心芯片为 EP2C35F484C8）。可更换 EP1C12F324C8 等其它核心板。
- 128×240 超大图形点阵液晶屏（可更换其它黑白 / 彩色液晶显示屏）。
- RTC，提供系统实时时钟。
- 1 个直流电机和转速测量传感器模块。
- 1 个四相步进电机模块。
- 1 个 VGA 接口。
- 2 个标准串行接口。
- 1 个 10M/100M 以太网卡接口，利用 RTL8019AS 芯片进行数据收发。
- 1 个 USB 设备接口，利用 PDIUSB12 芯片实现 USB 协议转换。
- 基于 SPI 或 IIC 接口的音频 CODEC 模块。
- 1 个音频喇叭输出模块。
- 2 个 PS2 键盘/鼠标接口。
- 1 个交通灯模块。
- 串行 ADC 和串行 DAC 模块。
- 高速并行 ADC 和 DAC 模块。
- IIC 接口的 EEPROM 存储器模块。
- 基于 1-Wire 接口的数字温度传感器。
- 扩展接口，供用户高速稳定的自由扩展。
- 1 个数字时钟源，提供 24MHz、12MHz、6MHz、1MHz、100KHz、10KHz、1KHz、100Hz、10Hz 和 1Hz 等多个时钟。
- 1 个模拟信号源，提供频率在 80~8KHz、幅度在 0~3.3V 可调的正弦波、方波和三角波。
- 1 个 16×16 点阵 LED 显示模块。
- 1 个 4×4 键盘输出阵列。



- 8 位动态七段码管 LED 显示。
- 12 个用户自定义 LED 显示。
- 12 个用户自定义开关输出。
- 8 个用户自定义按键输出。
- 2 路高速扩展模块。
- 多路电源输出（均带过流、过压保护）。

## 第二章 平台系统功能介绍

### 核心板系统功能介绍

本节将重点介绍 EP2C35 核心板上所有的组成模块及其电路原理。用户根据自己的 FPGA 开发平台所选用的不同的核心板参考以下不同的核心板的说明。

#### EP2C35 核心板

图 2-1 是 EP2C35 核心板的模块布局图，表 2-1 是对应的组成部分及其功能的简单描述。

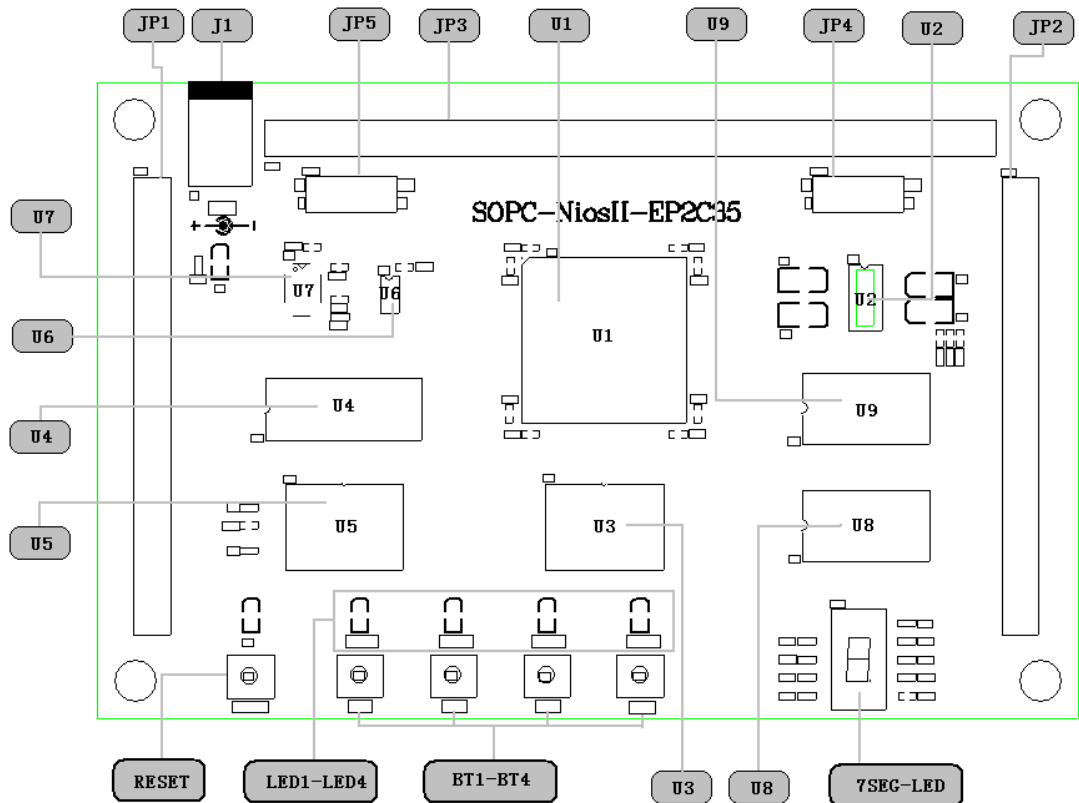


图 2-1 SOPC-NIOSII-EP1C12 布局图

序号	名称	功能描述
U1	CycloneII FPGA	主芯片 EP2C35F484C8
存储单元		
U6	EPCS4	4 Mbits 主动串行配置器件

U3	NOR FLASH	8 Mbytes 线性 Flash 存储器
U8, U9	SRAM	两片组成 1 Mbytes, 即 256K×32bits
U4	SDRAM	32Mbytes SDRAM (16M×16bits)
U5	NAND FLASH	64Mbytes 非线性 Flash 存储器
接 口 资 源		
JP1-JP3	扩展接口	出了板上固定连接的 IO 引脚, 还有多达 180 个左右的用户自定义 IO 口通过不同的接插件引出, 供用户进行二次开发
JP4	JTAG 调试接口	供用户下载 FPGA 代码, 实时调试 Nios II CPU, 以及运行 Quartus II 提供的嵌入式逻辑分析仪 SignalTap II 等
JP5	AS 编程接口	待用户调试 FPGA 成功后, 可通过该接口将 FPGA 配置代码下载到配置器件中
人 机 交 互		
BT1-BT4	自定义按键	4 个用户自定义按键, 用于简单电平输入, 该信号直接与 FPGA 的 IO 相连
RESET	复位按键	该按键在调试 Nios II CPU 时, 可以作为复位信号, 当然也可以由用户自定义为其它功能输入
LED1-LED4	自定义 LED	4 个用户自定义 LED, 用于简单状态指示, LED 均由 FPGA 的 IO 直接驱动
7SEG-LED	七段码 LED	静态七段码 LED, 用于简单数字、字符显示, 直接由 FPGA 的 IO 驱动
时 钟 输 入		
U7	晶振	高精度 50MHz 时钟源, 用户可以用 FPGA 内部 PLL 或分频器来得到其它频率的时钟
电 源		
J1	直流电源输入	直流电源适配器插座, 适配器要求为+5V/1A
U2	电源管理	负责提供板上所需的 3.3V 和 1.2V 电压

表 2-1 系统组成部分及其功能描述

下面对 EP2C35 核心板上的各个模块及其与 FPGA 硬件的连接逐一作详细说明。

## CycloneII FPGA 器件 (U1)

Altera 公司发布的第二代 Cyclone FPGA, 与第一代相比, 加入了硬件乘法器, 同时内部存储单元数量也得到了进一步的提升, EP2C35 核心板上采用的 FPGA 是 Altera 公司 CycloneII 系列芯片 EP2C35F484C8。下面介绍 EP2C35 核心板的有关特性。表 2-2 列出了 EP2C35 的有关资源特性, 更详细的特性请参阅其数据手册。

特性	EP2C35
逻辑单元 LEs	33, 216
M4K Memory Blocks	105
所有 RAM Bits	483, 840
18×18 硬件乘法器	35
PLLs	4
用户可用 I/O	322
基本串行主动配置器件	EPCS4

表 2-2 EP2C35F484C8 资源列表

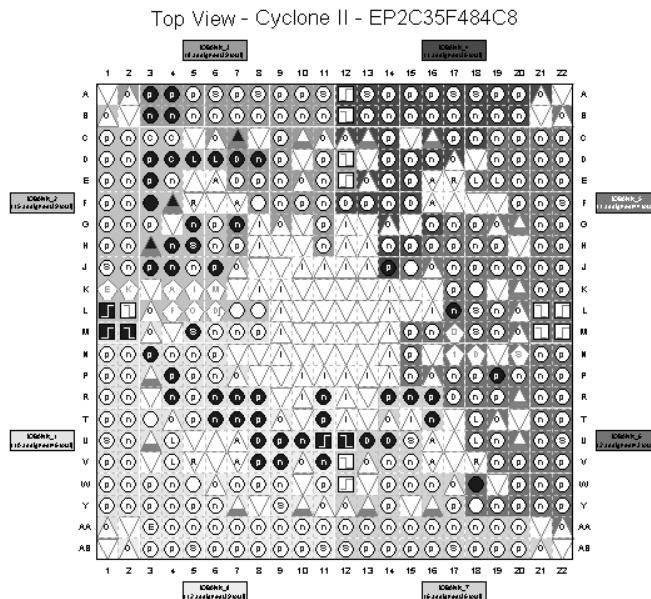


图 2-2 EP2C35F484C8 芯片管脚示意图

如图 2-2 所示 BGA 封装的 FPGA (EP2C35) 的管脚名称用行、列合在一起来表示。行用英文字母表示, 列用数字来表示。通过行列的组合来确定是哪一个管脚。如 A2 表示 A 行 2 列的管脚。F3 表示 F 行 3 列的管脚。

开发板上提供了两种途径来配置 FPGA:

- 使用 Quartus II 软件, 配合下载电缆从 JTAG 接口下载 FPGA 所需的配置数据, 完成对 FPGA 的配置。这种方式主要用来调试 FPGA 或 Nios II CPU, 多在产品开发初期使用。
- 使用 Quartus II 软件, 配合下载电缆, 通过 AS 接口对 FPGA 配置器件进行编程, 在开发板下次上电的时候, 会完成对 FPGA 的自动配置。这种模式主要用来产品定型后, 完成对 FPGA 代码的固化, 以便产品能够独立工作。

核心芯片的 JTAG 接口电路和 AS 接口电路的一些具体的参数将在后面介绍。

## **NOR Flash (U3)**

核心板上提供了1片容量为8Mbytes (8M×8bits) NOR Flash存储器——AM29LV065D, 在FPGA器件上实现的NIOS/NOISII嵌入式处理器可以使用FLASH存储器作为通用只读存储器和非易失性存储器, 用户可以将基于NIOS/NIOSII处理器的应用程序通过编程器写入到该FLASH中, 在程序运行前, 将FLASH中的代码复制到其它速度更快的易失性存储器中(如SRAM、SDRAM等), 然后运行。该芯片支持3.0~3.6V单电压供电情况下的读、写、擦除以及编程操作, 访问时间可以达到90ns。

AM29LV065D由128个64Kbytes的扇区组成, 每个扇区都支持在线编程。另外, 该芯片在高达125℃条件下, 依然可以保证存储的数据20年不会丢失。具体的芯片有关参数请读者参照其数据手册。NOR Flash的相关引脚与FPGA的IO接口对应关系见附表一, 其硬件连接电路如图2-3所示。在硬件连接上, NOR FLASH与SRAM共用数据端口(D0—D7)和地址端口(A2-A19)。

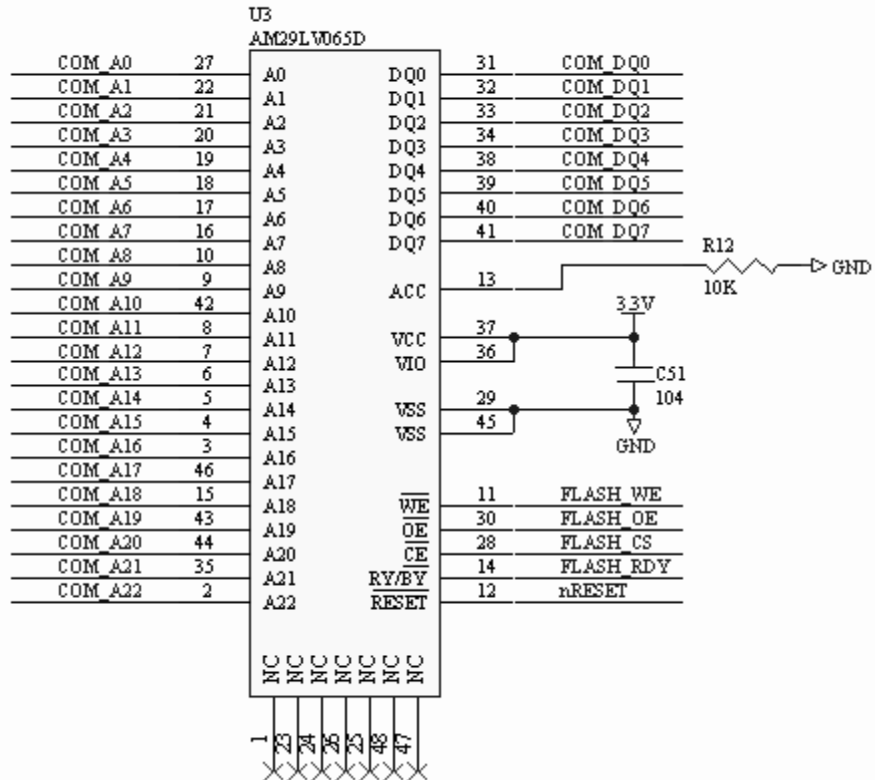


图 2-3 NOR Flash 硬件连接电路图

## SRAM (U 8, U9)

核心板上的 SRAM 由 2 片 3.3V CMOS 静态 RAM IDT71V416 组成容量为 256K×32bits 的存储空间，高速度 SRAM 和高带宽数据总线，保证了 Nios II CPU 可以工作在非常高效的状态。本开发板所用的 SRAM 为-10 等级的，这就意味着 Nios II CPU 可以在 32 位总线带宽情况下，以 100MHz 的速度进行读写操作，数据吞吐率高达 400Mbytes/S。具体的芯片有关参数请读者参照其数据手册。SRAM 与 FPGA 的 IO 接口的对应关系见附表一，其硬件连接电路图如图 2-4。

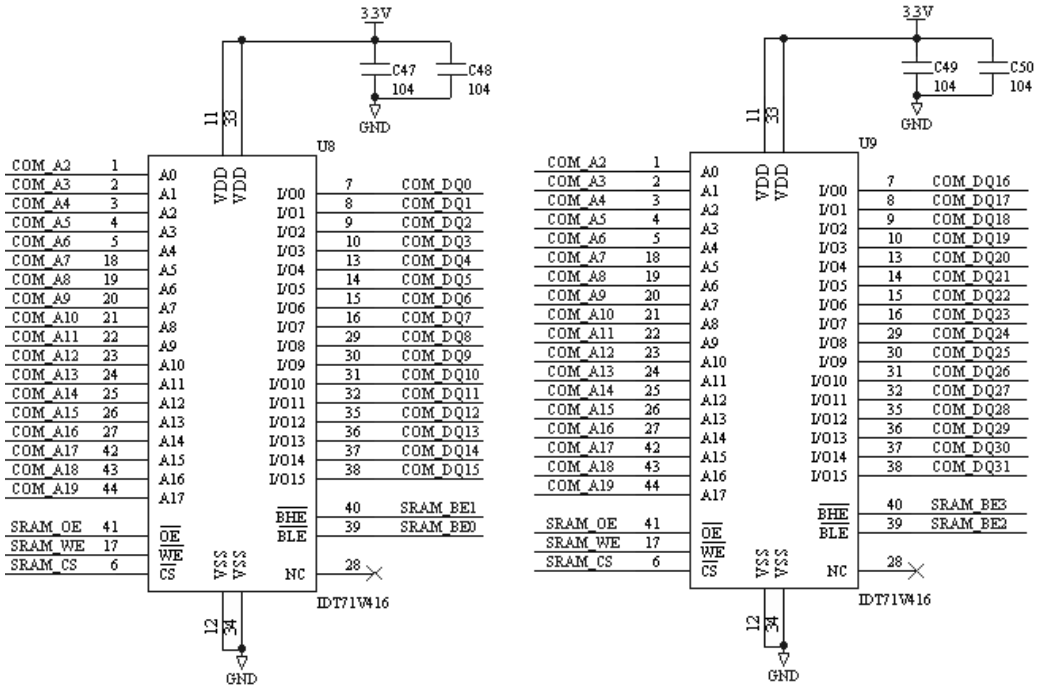


图2-4 SRAM硬件连接电路图

## SDRAM (U4)

EP2C35核心板上使用的SDRAM为HY57V561620BT-6，该芯片最高可工作在166MHz主频上，由4个4M×16bits的Bank组成，共有32Mbytes的容量，即16M×16bits。开发板上的主时钟源为50MHz，通过内部PLL进行3倍频可得到稳定的150MHz时钟，所以Nios II CPU可以在150MHz主频上与SDRAM进行数据交互，数据吞吐率高达300Mbytes/S，如此高的数据交互能力，足以满足不同开发人士所需。具体的芯片有关参数请读者参照其数据手册。SDRAM与FPGA的IO接口的对应关系见附表一，其硬件连接电路图如图2-5。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/848053056057006026>