集成电路原理与设计重点内容总结

第一章 绪论

摩尔定律：(P4)

集成度大约是每 18 个月翻一番或者集成度每三年 4 倍的增长规律就是世界上公认的摩尔定律。

集成度提高原因：

一是特征尺寸不断缩小，大约每三年缩小

$\sqrt{2}$

倍；二是芯片面积不断增大，大约每三年增大 1.5 倍；三是器件和电路结构的不断改进。

等比例缩小定律：(种类 优缺点)(P7-8)

1.恒定电场等比例缩小规律（简称 CE 定律）

a.器件的所有尺寸都等比例缩小 K 倍，电源电压也要缩小 K 倍，衬底掺杂浓度增大 K 倍，保证器件内部的电场不变。

b.集成度提高 K2 倍，速度提高 K 倍，功耗降低 K2 倍。

c.改变电源电压标准，使用不方便。阈值电压降低，增加了泄漏功耗。

2.恒定电压等比例缩小规律（简称 CV 定律）

a.保持电源电压和阈值电压不变，器件的所有几何尺寸都缩小 K 倍，衬底掺杂浓度增加 K2 倍。

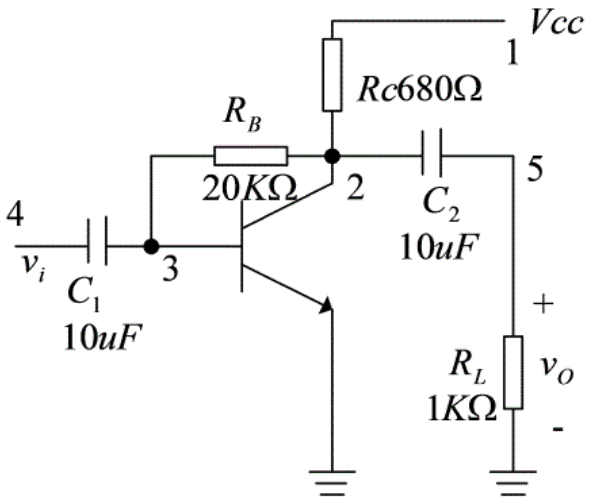
b.集成度提高 K2 倍，速度提高 K2 倍。

c.功耗增大 K 倍。内部电场强度增大，载流子漂移速度饱和，限制器件驱动电流的增加。

3.准恒定电场等比例缩小规则(QCE)

器件尺寸将缩小 K 倍，衬底掺杂浓度增加 K（1<<K）倍，而电源电压则只变为原来的/K 倍。是 CV 和 CE 的折中。需要高性能取接近于 K，需要低功耗取接近于 1。

写出电路的网表：



A BJT AMP

VCC 1 0 6

Q1 2 3 0 MQ

RC 1 2 680

RB 2 3 20K

RL 5 0 1K

C1 4 3 10U

C2 2 5 10U

VI 4 0 AC 1

.MODEL MQ NPN IS=1E-14

+BF=80 RB=50 VAF=100

.OP

.END

其中.MODEL 为模型语句，用来定义 BJT 晶体管 Q1 的类型和参数。

常用器件的端口电极符号

器件名称	端口符号缩写

Q（双极型晶体管）	C（集电极），B（基极），E（发射极），S（衬底）
M（MOS 场效应管）	D（漏极），G（栅极），S（源极），B（衬底）
J（结型场效应管）	D（漏极），G（栅极），S（源极）
B（砷化镓场效应管）	D（漏极），G（栅极），S（源极）

电路分析类型

.OP　直流工作点分析　.TRAN　瞬态分析

.DC　直流扫描分析　.FOUR　傅里叶分析

.TF　传输函数计算　.MC　蒙特卡罗分析

.SENS　灵敏度分析　.STEP　参数扫描分析

.AC　交流小信号分析　.WCASE　最坏情况分析

.NOISE　噪声分析　.TEMP　温度设置

第二章 集成电路制作工艺

集成电路加工过程中的薄膜：(P15)

热氧化膜、电介质层、外延层、多晶硅、金属薄膜。

光刻胶中正胶和负胶的区别:(P16)

负胶：曝光的光刻胶发生聚合反应，变得坚固，不易去掉。

正胶：在曝光时被光照的光刻胶发生分解反应，在显影时很容易被去掉，而没有被曝光的光刻胶显影后仍然保留。

因此对同样的掩膜版，用负胶和正胶在硅片上得到是图形刚好相反。

N 阱和 P 阱 CMOS 结构制作过程：(P21-25)

N 阱：1、衬底硅片的选择

MOS 集成电路都选择<100>晶向的硅片，因为这种硅界面态密度低，缺陷少，迁移率高，有利于提高器件性能。

2、制作 n 阱

首先，对原始硅片进行热氧化，形成初始氧化层作为阱区注入的掩蔽层。然后，根据 n 阱的版图进行光刻和刻蚀，在氧化层上开出 n 阱区窗口。通过注磷在窗口下形成 n 阱，注入后要进行高温退火，又叫阱区推进，一方面使杂质激活，另一方面使注入杂质达到一定的深度分布。

3、场区氧化

首先，在硅片上用热生长方法形成一薄层 SiO2 作为缓冲层，它的作用是减少硅和氮化硅之间的应力。然后淀积氮化硅，它的作用是作为场区氧化的掩蔽膜，一方面因为氧或水汽通过氮化硅层的扩散速度极慢，这就有效地阻止了氧到达硅表面；另一方面氮化硅本身的氧化速度极慢，只相当于硅氧化速度的 1/25。通过光刻和刻蚀去掉场区的氮化硅和缓冲的二氧化硅。接下来进行热氧化，由于有源区有氮化硅保护，不会被氧化，只在场区通过氧和硅起反应生成二氧化硅。

4、制作硅栅

目前 MOS 晶体管大多采用高掺杂的多晶硅作为栅电极，简称硅栅。硅栅工艺实现了栅和源、漏区自对准，减少了栅-源和栅-漏的覆盖长度，从而减小了寄生电容。硅栅工艺也叫自对准工艺。

5、形成源、漏区

6、形成金属互连线

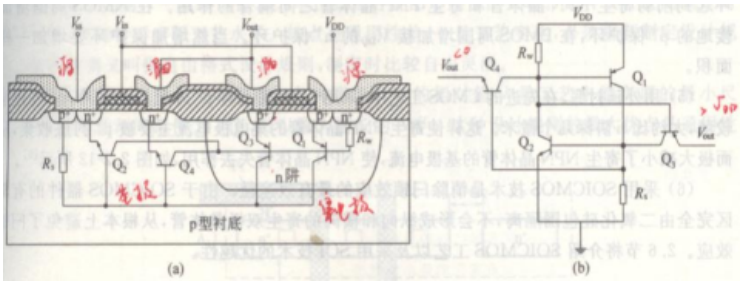
P 阱：

鸟嘴效应：(P23)

在场区氧化过程中，氧也会通过氮化硅边缘向有源区侵蚀，在有源区边缘形成氧化层，伸进有源区的这部分氧化层被形象地称为鸟嘴，它使实际的有源区面积比版图设计的面积缩小。

闩锁效应：(P27)

闩锁效应是 CMOS 集成电路存在一种寄生电路的效应，它会导致 VDD 和 VSS 短路，使得晶片损毁。在 CMOS 晶片中，在电源和地线之间由于寄生的 PNP 和 NPN 双极型 BJT 相互影响而产生的低阻抗通路，它的存在会使电源和地之间产生大电流，从而破坏芯片或者引起系统错误。



如图所示，如果外界噪声或其他干扰使 Vout 高于 VDD 或低于 0，则引起寄生双极型晶体管 Q3 或 Q4 导通，而 Q3 或 Q4 导通又为 Q1 和 Q2 提供了基极电流，并通过 RW 或 RS 使 Q1 或 Q2 的发射结正偏，导致 Q1 或 Q2 导通。由于 Q1 和 Q2 交叉耦合形成正反馈回路，一旦其中有一个晶体管导通，电流将在 Q1 和 Q2 之间循环放大。若 Q1 和 Q2 的电流增益乘积大于 1，将使电流不断加大，最终导致电源和地之间形成极大的电流，并使电源和地之间锁定在一个很低的电压（Von+VCES），这就是闩锁效应。

一旦发生闩锁效应可能造成电路永久性破坏，可以采取以下主要措施防止闩锁效应：

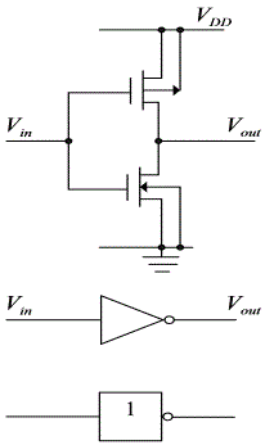
(1)减小阱区和衬底的寄生电阻 RW 和 RS，这样可以减小寄生双极晶体管发射结的正向偏压，防止 Q1 和 Q2 导通。在版图设计中合理安排 n 阱接 VDD 和 p 型衬底接地的引线孔，减小寄生双极晶体管基极到阱或衬底引出端的距离。(2)降低寄生双极晶体管的增益。(3)使衬底加反向偏压。(4)加保护环，保护环起到削弱寄生 NPN 晶体管和寄生 PNP 晶体管之间的耦合作用。(5)用外延衬底。(6)采用 SOICMOS 技术是消除闩锁效应的最有效途径。

第四章 数字集成电路的基本单元电路

CMOS 反向器：

构成： CMOS 反相器的电路构成，是由一个增强型 n 沟 MOS 管作为输入管和由一个增强型 p 沟 MOS 管作为负载管，且两栅极短接作为输入端，两漏极短接作为输出端，N 管源极接地，P 管源极接电源电压 VDD，这就构成了两管功能上的互补。

工作原理： 如图所示的 CMOS 反相器电路结构示意图



分析其工作过程如下：

Vi=“0”时：VGSn=0，VGSp=-VDD

p 管导通，n 管截止 VO=“1”=VDD

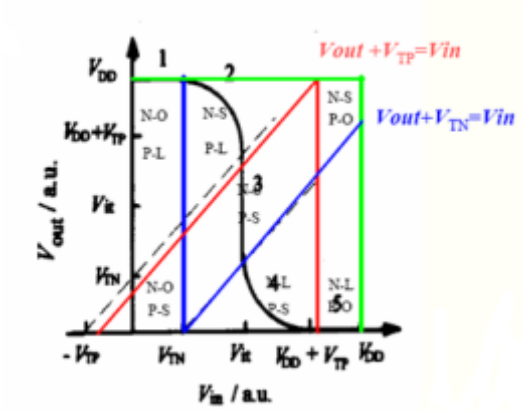
Vi=“1”时：VGSn=Vi，VGSp=0

n 管导通，p 管截止 VO=“0”（=0V）

即：VOH-VOL=VDD 最大逻辑摆幅，

且输出摆幅与 p、n 管 W/L 无关（无比电路）。

直流电压传输特性：



瞬态特性：　　传输延迟时间、负载电容、最高频率。

直流噪声容限：　允许的输入电平变化范围。

开门电平：　　电路允许的输入高电平的下限

关门电平：　　电路允许的输入低电平的上限

上升时间：　　输出从 0.1VDD 上升到 0.9VDD 所需要的时间

下降时间：　　输出从 0.9VDD 下降到 0.1VDD 所需要的时间

输出从高向低转换的传输延迟时间：

从输入信号上升边的 50%到输出信号下降边的 50%所经过的延迟时间。tpHL

输出从低向高转换的传输延迟时间：

从输入信号下降边的 50%到输出信号上升边的 50%所经过的延迟时间。tpLH

电路的平均传输延迟时间

$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$

CMOS 反相器的设计：（P230-231）

设计一个 CMOS 反相器，要求驱动 1pF 负载电容时上升时间和下降时间不超过 0.5ns。采用 0.6um 工艺，VDD=5V，VTN=0.8V，VTP=-0.9V，

$$K_N^{'} = u_n C_{OX} = 120 \times 10^{-6} A/V^2, K_P^{'} = u_P C_{OX} = 60 \times 10^{-6} A/V^2$$

。

$$t_r = \tau_P [\frac{\alpha_P - 0.1}{(1-\alpha_P)^2} + \frac{1}{2(1-\alpha_P)} \ln(\frac{1.9 - 2\alpha_P}{0.1})]$$

$$t_f = \tau_N [\frac{\alpha_N - 0.1}{(1-\alpha_N)^2} + \frac{1}{2(1-\alpha_N)} \ln(\frac{1.9 - 2\alpha_N}{0.1})]$$

解：

由

$$\alpha_P = \frac{-V_{TP}}{V_{DD}} = 0.18$$

代入

$$t_r = \tau_P[\frac{\alpha_P - 0.1}{(1-\alpha_P)^2} + \frac{1}{2(1-\alpha_P)}\ln(\frac{1.9-2\alpha_P}{0.1})]$$

得

$$t_r = 1.78\tau_P$$

因为

$$t_r = 0.5ns$$

，所以

$$\tau_P = 0.28ns$$

又根据

$$\tau_P = \frac{C_L}{K_P V_{DD}}, \quad C_L = 1pF$$

，由于外部负载电容很大可以忽略输出节点 pn 结电容，得到

$$K_P = 7.14\times10^{-4} A/V^2$$

$$(\frac{W}{L})_P = \frac{2K_P}{K_P^{'}} = \frac{2\times7.14\times10^{-4}}{60\times10^{-6}} = 23.8$$

同理可得，

$$(\frac{W}{L})_N = \frac{2K_N}{K_N^{'}} = \frac{2\times6.9\times10^{-4}}{120\times10^{-6}} = 11.5$$

取

$$L_N = L_P = 0.6um$$

，则得

$W_N = 6.9um$
$W_P = 14.28um$

CMOS 与 NMOS 反相器性能比较：(P236-237)

如果把 CMOS 反相器中的 PMOS 管作为负载元件，则 CMOS 反相器和几种 NMOS 反相器的性能差别主要是负载元件的性能差别引起的。

从直流特性看，由于 NMOS 反相器中的负载元件是常导通的，因此输出低电平决定于电路的分压比，是有比反相器，达不到最大逻辑摆幅，而且有较大的静态功耗。CMOS 反相器中的 PMOS 管是作为开关器件，在输出高电平时只有 PMOS 导通，在输出低电平时只有 NMOS 导通，因此是无比电路，可以获得最大的逻辑摆幅，而且不存在直流导通电流，有利于减小静态功耗。

从瞬态特性看，由于 NMOS 反相器是有比反相器，为了保证低电平合格，要求参数 Kr>l，从而使负载元件提供的充电电流很小，造成电路的上升时间远大于下降时间，成为限制速度的主要因素。CMOS 反相器可以采用对称设计，负载特性和驱动管特性是对称的，使 tr=tf，从而有利于提高速度。

NMOS 反相器转变区增益有限，噪声容限小。CMOS 反相器可以采用对称设计，从而可以获得最大的直流噪声容限。

CMOS 电路相对 NMOS 电路有很多优点，特别是 CMOS 电路低功耗的优点对提高集成密度非常有利。CMOS 电路的静态功耗非常小，只有泄漏电流引起的静态功耗，因而极大减小的芯片的维持功耗，更加符合发展便携式设备的需求。另外，CMOS 电路有全电源电压的逻辑摆幅，可以在低电压下工作，因而更适合于深亚微米技术发展的要求。

设计一个 CMOS 或非门:(P243-244)

设计一个两输入或非门，要求在最坏情况下输出上升时间和下降时间不大于 0.5ns，已知，CL=1pF，VDD=5V，VTN=0.8V，VTP=-0.9V，采用 0.6um 工艺，有

$$K_N' = 120 \times 10^{-6} A/V^2$$

，

$$K_P' = 60 \times 10^{-6} A/V^2$$

。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：

https://d.book118.com/865230124013011232