

找了好久，终于在期末从老师那儿弄了一份，希望对大家有用！

$$t_{cyc}(R) < 4T - t_{da} - t_D - T$$

其中：T 为 8086 微处理器的时钟周期； $t_{da}$  为 8086 微处理器的地址总线延时时间； $t_D$  为各种因素引起的总线附加延时。这里的  $t_D$  应该认为是总线长度、附加逻辑电路、总线驱动器等引起的延时时间总和。

同理，存储器芯片的最小写入时间应满足如下表达式：

$$t_{cyc}(W) < 4T - t_{da} - t_D - T$$

4. 用下列 RAM 芯片构成 32kB 存储器模块，各需多少芯片 16 位地址总线中有多少位参与片内寻址多少位可用作片选控制信号

- (1) 1k×1    (2) 1k×4    (3) 4k×8    (4) 16k×4

解：(1) 1k×1

$$\frac{32K}{1K} \times \frac{8}{1} = 256 \text{ 片,}$$

片内寻址： $A_0 \sim A_9$ ，共 10 位；    片选控制信号： $A_{10} \sim A_{15}$ ，共 6 位。

(2) 1k×4

$$\frac{32K}{1K} \times \frac{8}{4} = 64 \text{ 片,}$$

片内寻址： $A_0 \sim A_9$ ，共 10 位；    片选控制信号： $A_{10} \sim A_{15}$ ，共 6 位。

(3) 4k×8

$$\frac{32K}{4K} \times \frac{8}{8} = 8 \text{ 片,}$$

片内寻址： $A_0 \sim A_{11}$ ，共 12 位；    片选控制信号： $A_{12} \sim A_{15}$ ，共 4 位。

(4) 16k×4

$$\frac{32K}{16K} \times \frac{8}{4} = 4 \text{ 片,}$$

片内寻址： $A_0 \sim A_{13}$ ，共 14 位；    片选控制信号： $A_{14} \sim A_{15}$ ，共 2 位。

5. 若存储器模块的存储容量为 256kB，则利用上题中给出的 RAM 芯片，求出构成 256kB 存储模块各需多少块芯片 20 位地址总线中有多少位参与片内寻址多少位可用作片选控制信号

解：(1) 1k×1

$$\frac{256\text{K} \times 8}{1\text{K} \times 1} = 2048 \text{ 片,}$$

片内寻址:  $A_0 \sim A_9$ , 共 10 位; 片选控制信号:  $A_{10} \sim A_{19}$ , 共 10 位。

(2)  $1\text{k} \times 4$

$$\frac{256\text{K} \times 8}{1\text{K} \times 4} = 512 \text{ 片,}$$

片内寻址:  $A_0 \sim A_9$ , 共 10 位; 片选控制信号:  $A_{10} \sim A_{19}$ , 共 10 位。

(3)  $4\text{k} \times 8$

$$\frac{256\text{K} \times 8}{4\text{K} \times 8} = 64 \text{ 片,}$$

片内寻址:  $A_0 \sim A_{11}$ , 共 12 位; 片选控制信号:  $A_{12} \sim A_{19}$ , 共 8 位。

(4)  $16\text{k} \times 4$

$$\frac{256\text{K} \times 8}{16\text{K} \times 4} = 32 \text{ 片,}$$

片内寻址:  $A_0 \sim A_{13}$ , 共 14 位; 片选控制信号:  $A_{14} \sim A_{19}$ , 共 6 位。

6. 一台 8 位微机系统的地址总线为 16 位, 其存储器中 RAM 的容量为 32kB, 首地址为 4000H, 且地址是连接的。问可用的最高地址是多少

解:  $32\text{K} = 2^{15} = 8000\text{H}$ , 所以, 最高地址为:

$$4000\text{H} + 8000\text{H} - 1 = \text{BFFFH}$$

则, 可用的最高地址为 0BFFFH。

7. 某微机系统中内存的首地址为 4000H, 末地址为 7FFFH, 求其内存容量。

解:  $7\text{FFFH} - 4000\text{H} + 1 = 4000\text{H} = 2^{14} = 16\text{KB}$

内存容量为 16KB。

8. 利用全地址译码将 6264 芯片接在 8088 的系统总线上, 其所占地址范围为 00000H~03FFFH, 试画连接图。

写入某数据并读出与之比较, 若有错, 则在 DL 中写入 01H; 若每个单元均对, 则在 DL 写入 EEH, 试编写此检测程序。

解: 因为 6264 的片容量为 8KB。

RAM 存储区域的总容量为  $03\text{FFFH} - 00000\text{H} + 1 = 4000\text{H} = 16\text{KB}$ , 故需要 2 片 6264 芯片。

连接图如图所示。

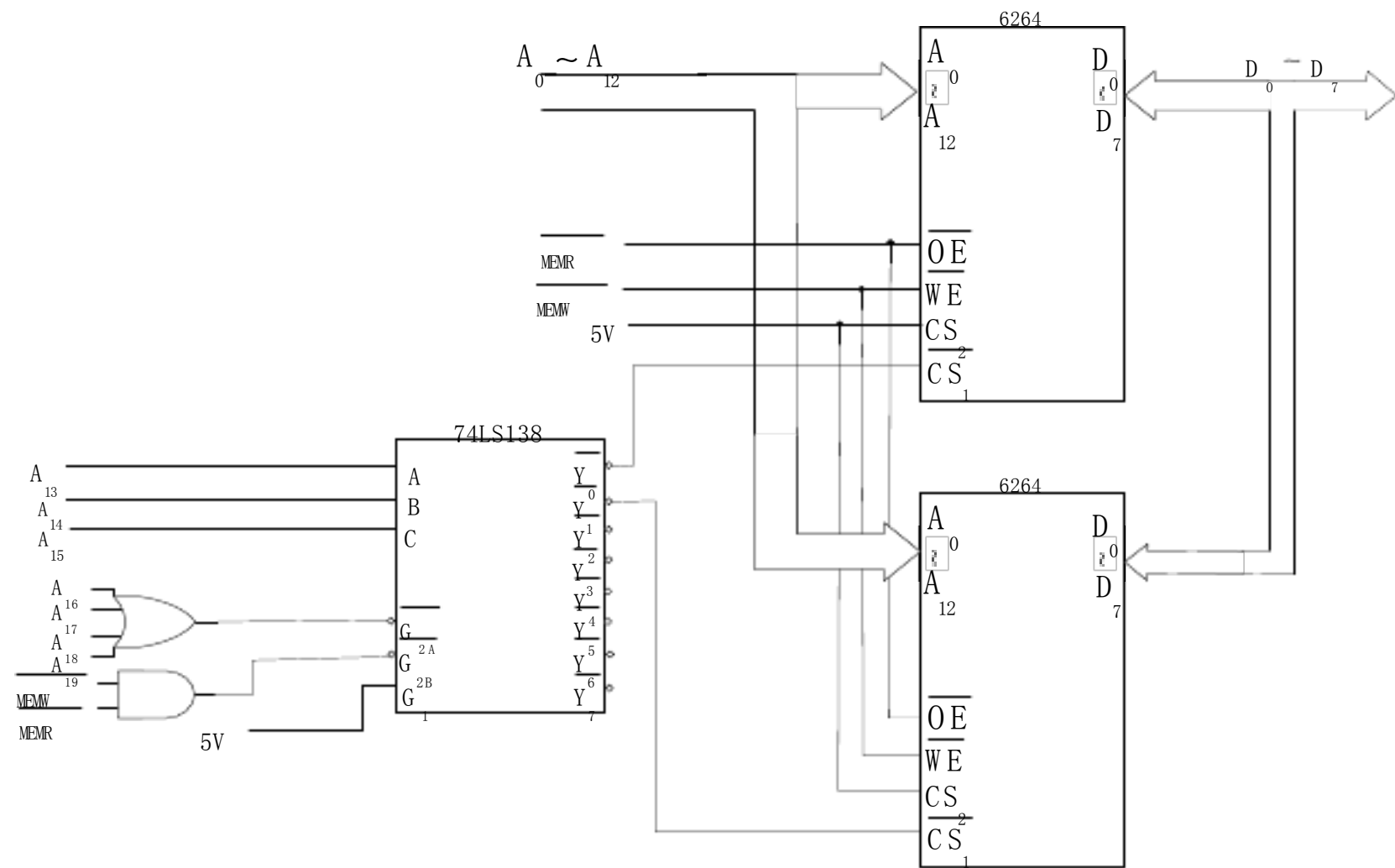


图 与 8088 系统总线的连接图

检测程序段：

```

MOV AX, 0000H

MOV DS, AX

MOV SI, 0

MOV CX, 16*1024

MOV AL, 55H

CMPL: MOV [SI], AL

MOV BL, [SI]

CMP BL, AL

JNE ERROR

INC SI

LOOP CMPL

MOV DL, 0EEH

JMP NEXT

```

ERROR: MOV DL, 01H

NEXT:

...

9. 简述 EPROM 的编程过程，并说明 EEPROM 的编程过程。

解：EPROM 芯片的编程有两种方式：标准编程和快速编程。

在标准编程方式下，每给出一个编程负脉冲就写入一个字节的的数据。V<sub>pp</sub> 上加编程电压，地址线、数据线上给出要编程单元的地址及其数据，并使  $\overline{CE} = 0$ ,  $\overline{OE} = 1$ 。上述信号稳定后，在  $\overline{PGM}$  端加上宽度为 50ms ± 5ms 的负脉冲，就可将数据逐一写入。写入一个单元后将  $\overline{OE}$  变低，可以对刚写入的数据读出进行检验。

快速编程使用 100 ns 的编程脉冲依次写完所有要编程的单元，然后从头开始检验每个写入的字节。若写的不正确，则重写此单元。写完再检验，不正确可重写。

EEPROM 编程时不需要加高电压，也不需要专门的擦除过程。并口线 EEPROM 操作与 SRAM 相似，写入时间约 5ms。串行 EEPROM 写操作按时序进行，分为字节写方式和页写方式。

10. 若要将 4 块 6264 芯片连接到 8088 最大方式系统 A0000H~A7FFFH 的地址空间中，现限定要采用 74LS138 作为地址译码器，试画出包括板内数据总线驱动的连接电路图。

解：8088 最大方式系统与存储器读写操作有关的信号线有：地址总线  $A_0 \sim A_{19}$ ，数据总线： $D_0 \sim D_7$ ，控制信号： $\overline{MEMR}$ ， $\overline{MEMW}$ 。

根据题目已知条件和 74LS138 译码器的功能，设计的板内数据总线驱动电路如图 (a) 所示，板内存储器电路的连接电路图如图 (b) 所示。

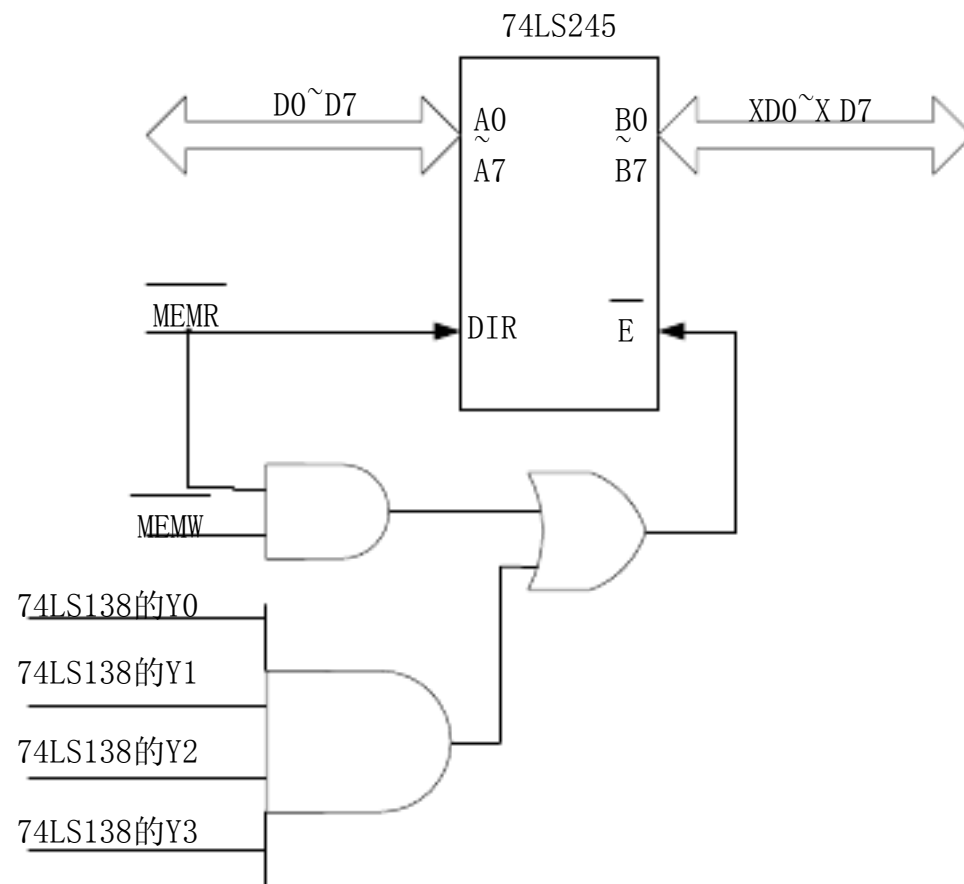


图 (a) 板内数据总线驱动电路

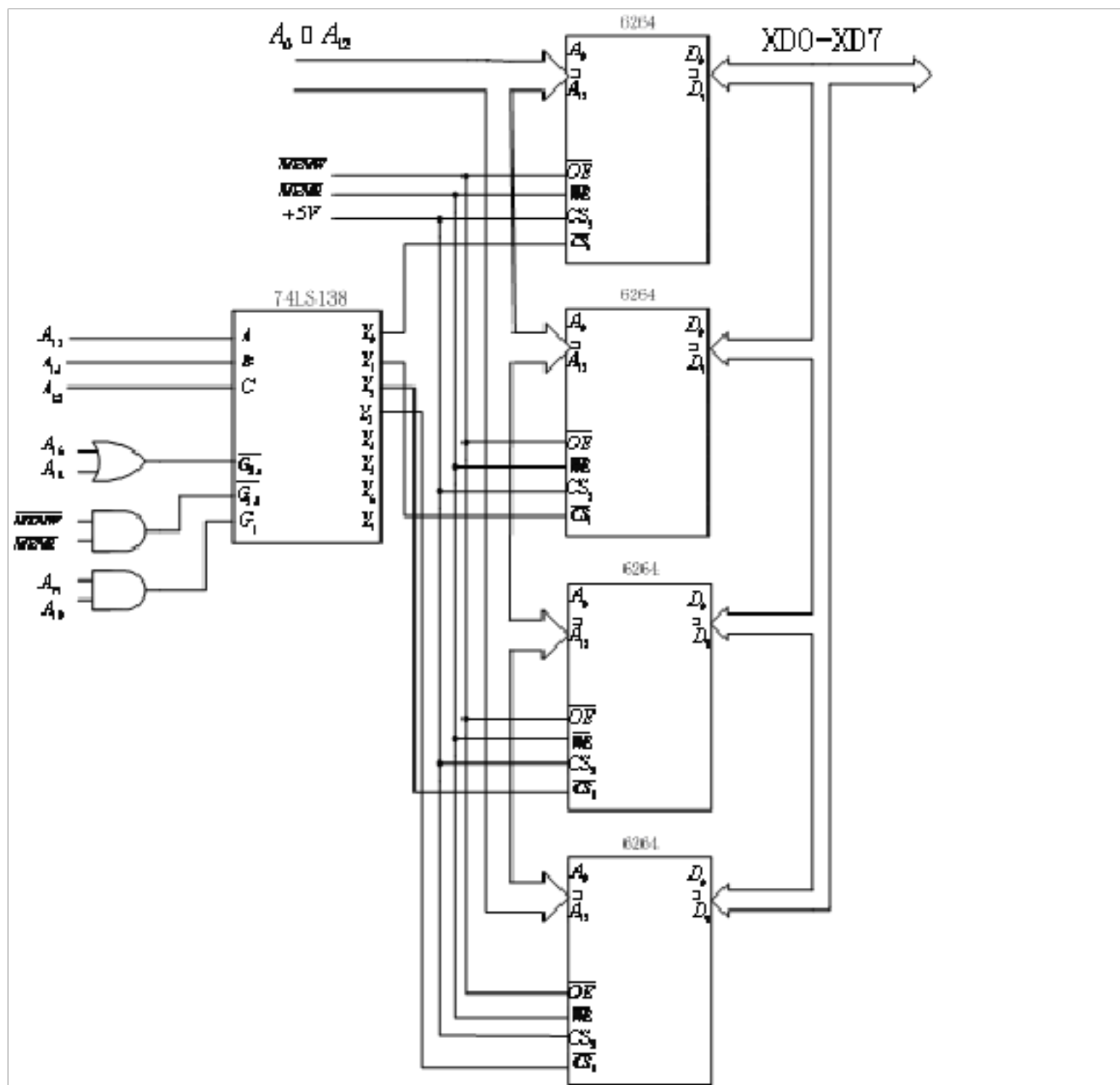


图 (b) 板内存储器电路的连接图

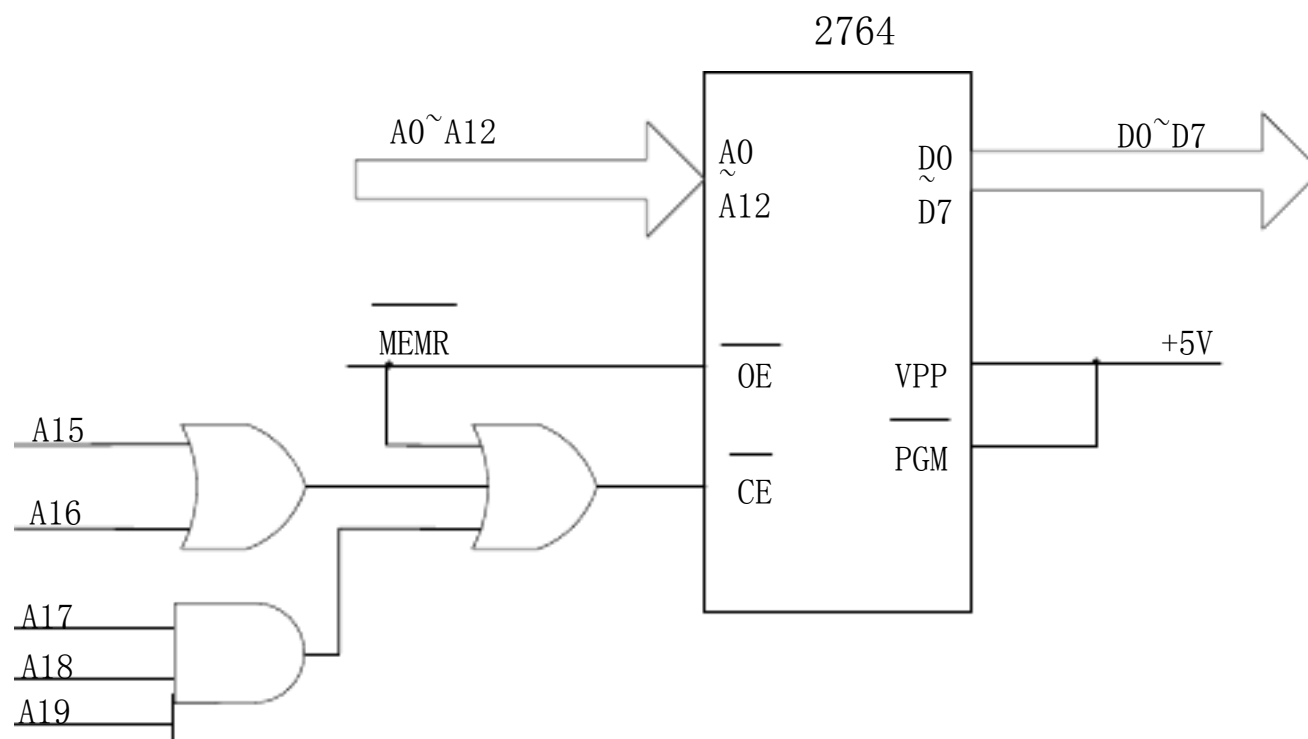
11. 若在某 8088 微型计算机系统中, 要将一块 2764 芯片连接到 E000H~E7FFFH 的空间中去, 利用局部译

码方式使它占有整个 32kB 的空间，试画出地址译码电路及 2764 芯片与总线的连接图。

解：Intel 2764 的片容量为 8KB，而题目给出的地址共 32KB，说明有 4 个地址区重叠，即采用部分地址译

码时，有 2 条高位地址线不参加译码（即  $A_{13}$ ， $A_{14}$  不参加译码）。

地址译码电路及 2764 与总线的连接如图所示。



图地址译码电路及 2764 与总线的连接

12. 在 8086 CPU 工作在最小方式组成的微机系统中，扩充设计 16kB 的 SRAM 电路，SRAM 芯片选用 Intel 6264，内存地址范围为 70000H~73FFFH，试画出此 SRAM 电路与 8086 系统总线的连接图。

解：73FFFH-70000H+1=4000H=16K

Intel 6264 的片容量为 8KB，RAM 存储区总容量为 16KB，故需要 2 片 6264。

8086 最小方式系统与存储器读写操作有关的信号线有：地址总线  $A_0 \sim A_{19}$ ，数据总线： $D_0 \sim D_{15}$ ，

控制信号： $M$  /  $\overline{IO}$ ， $\overline{RD}$ ， $\overline{WR}$ ， $\overline{BHE}$ 。

此 SRAM 电路与 8086 系统总线的连接图如图所示。

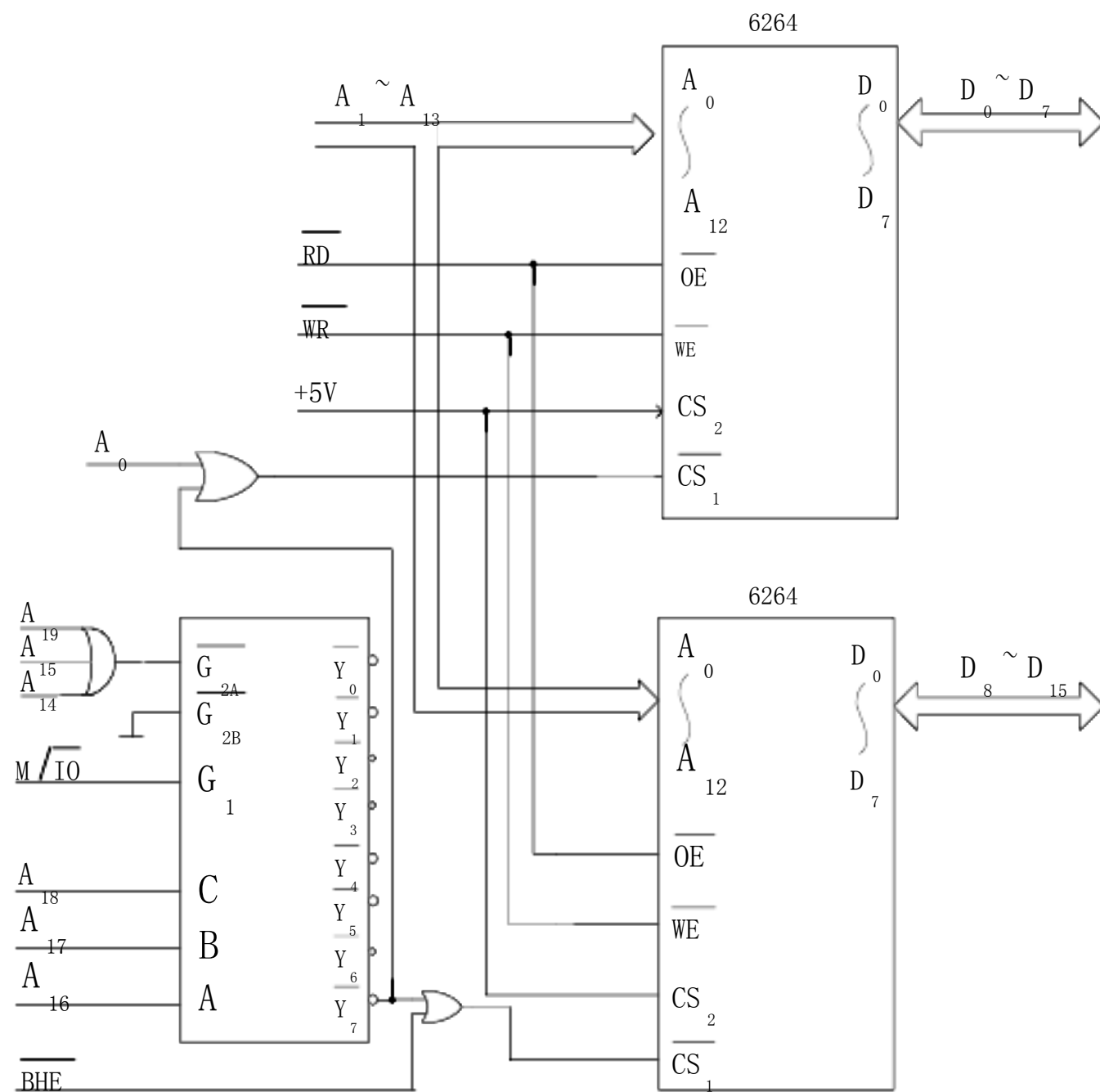


图 SRAM 电路与 8086 系统总线的连接图

13. EPROM 28C16 芯片各引脚的功能是什么如果要一片 28C16 与 8088 系统总线相连接，并能随时改写 28C16 中各单元的内容，试画出 28C16 和 8088 系统总线的连接图(地址空间为 40000H~407FFH)。

解：28C16 的引脚功能：

VCC, GND: 电源和地

$A_{10} \sim A_0$  : 11 位地址线，可寻址 2KB 地址空间

$D_7 \sim D_0$  : 8 位数据线

$\overline{WE}$  : 写允许，低电平有效。

$\overline{OE}$  : 输出允许，低电平有效。

$\overline{CE}$  : 片选信号，低电平有效。

根据所学知识，28C16 与 8088 系统的连接图如图所示。

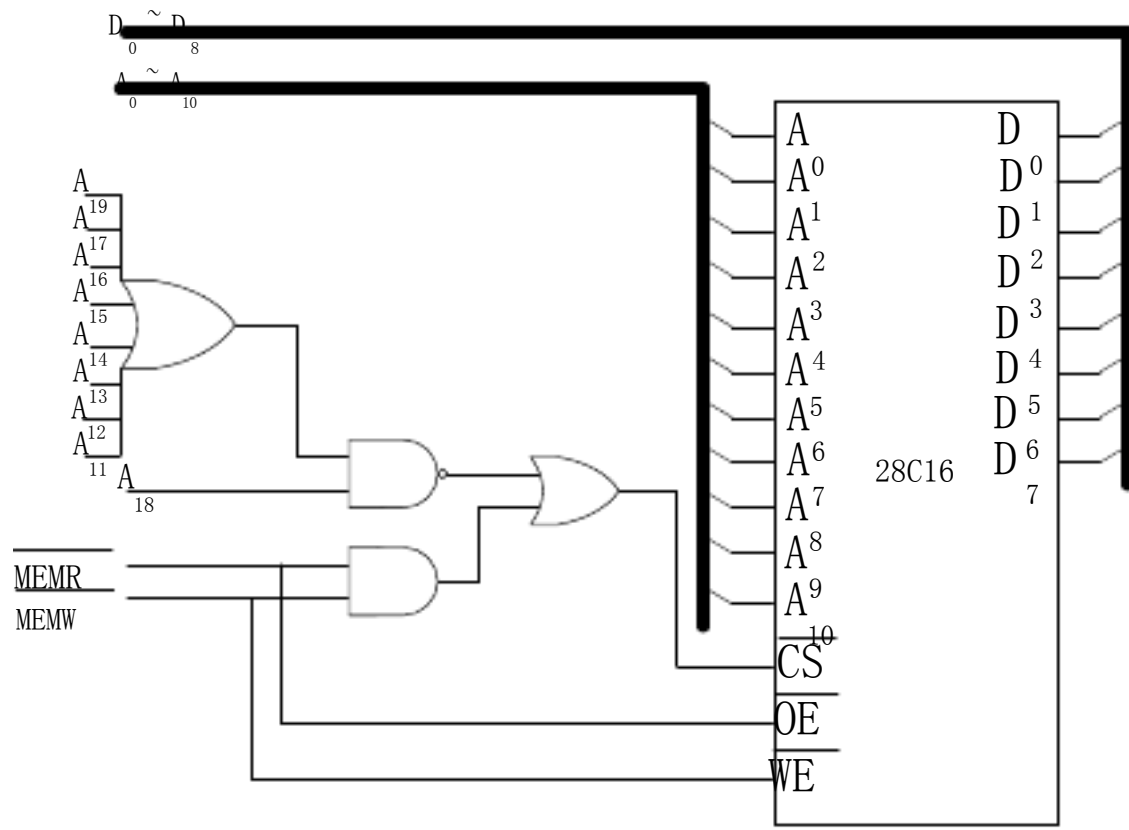


图 28C16 与 8088 系统的连接图



## 7 章习题

1. 简述 I/O 接口的基本功能。

答：(1) 地址选择 (2) 控制功能 (3) 状态指示 (4) 速度匹配  
(5) 转换信息格式 (6) 电平转换 (7) 可编程性

2. 简述 I/O 接口与 I/O 端口的区别。

答：I/O 接口是指 I/O 设备与系统总线之间的连接部件。

I/O 端口是指 I/O 接口内部可由 CPU 进行读写操作的各种寄存器，根据存放信息的不同，这些寄存器分别称为数据端口、控制端口和状态端口。

3. 简述 I/O 端口的编址方式及优缺点。

答：I/O 端口编址的方式可以分为独立编址和统一编址两种方式。

独立编址方式是指 I/O 端口与存储器有相互独立的地址空间。

统一编址方式是指 I/O 端口与存储器共享一个地址空间，所有的存储单元只占用

其中的一部分地址，而 I/O 端口则占用另外一部分地址。

优缺点：独立编址方式的优点之一是存储器的容量可以达到与地址总线所决定的地址空间相同；优点之二是访问 I/O 端口时的地址位数可以较少，提高总线的利用率。但是缺点是必须设置专门的 I/O 指令，增加了指令系统和有关硬件的复杂性。

与独立编址方式相比，统一编址方式的优点是无需专门的 I/O 指令，从而使编程较灵活，但是 I/O 端口占用了存储器的一部分地址空间，因而影响到系统中的存储器的容量，并且访问存储器和访问 I/O 端口必须使用相同位数的地址，使指令地址码加长，总线中传送信息量增加。

4. 简述程序查询、中断和 DMA 三种方式的优缺点。

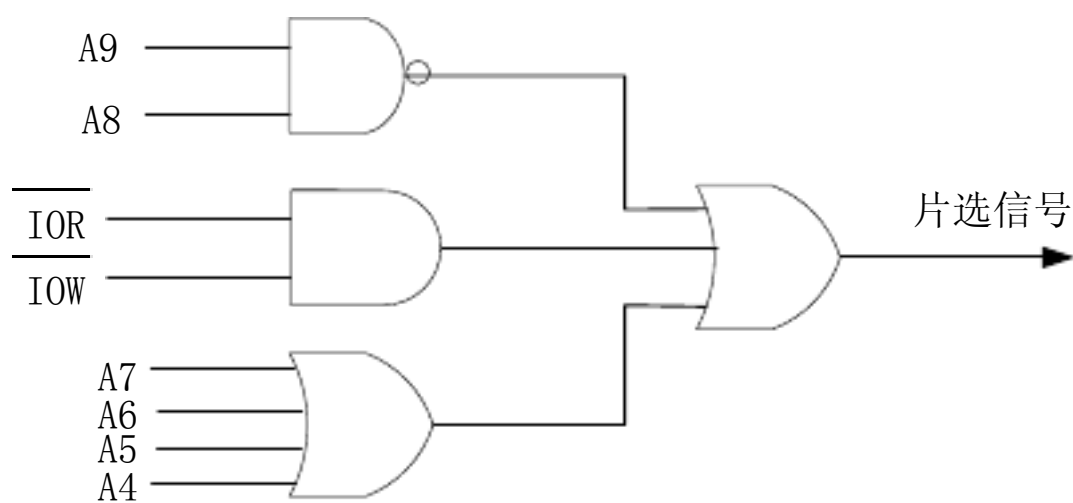
答：程序查询方式的优点在于可以防止数据的丢失，实现起来较为简单；缺点是它占用了微处理器的大量时间，实时性较差。

中断方式具有较好的实时性；但在一定程度上增加成本和复杂性。

DMA 方式的突出优点是传送过程无须处理器的控制，数据也无须经过微处理器，而是直接在 I/O 设备与主存储器间进行，因此既节约了微处理器的时间，也使传送速率大大提高；缺点是输入/输出操作占用微处理器时间，而且很难达到较高的数据传输率。

5. 8086 CPU 有 20 条地址总线, 可形成 1MB 的存储器地址空间, 可寻址范围为 00000H--FFFFFFH; 地址总线中的 16 条线可用于 I/O 寻址, 形成 64KB 的输入输出地址空间, 地址范围为 0000H--FFFFH; PC 机中用了 10 条地址线进行 I/O 操作, 其地址空间为 1KB, 可寻址范围为 000H--3FFH。
6. 对于微机而言, 任何新增的外部设备, 最终总是要通过 I/O 接口 与主机相接。
7. 在主机板外开发一些新的外设接口逻辑, 这些接口逻辑的一侧应与 I/O 设备 相接, 另一侧与 系统总线 相接。
8. 需要靠在程序中排入 I/O 指令完成的数据输入输出方式有 B C。
- (A) DMA                      (B) 程序查询方式                      (C) 中断方式
9. 8086CPU 用 IN 指令从端口读入数据, 用 OUT 指令向端口写入数据。
10. 在 8088 CPU 组成的计算机系统中有一接口模块, 片内占用 16 个端口地址 300~30FH, 设计产生片选信号的译码电路。

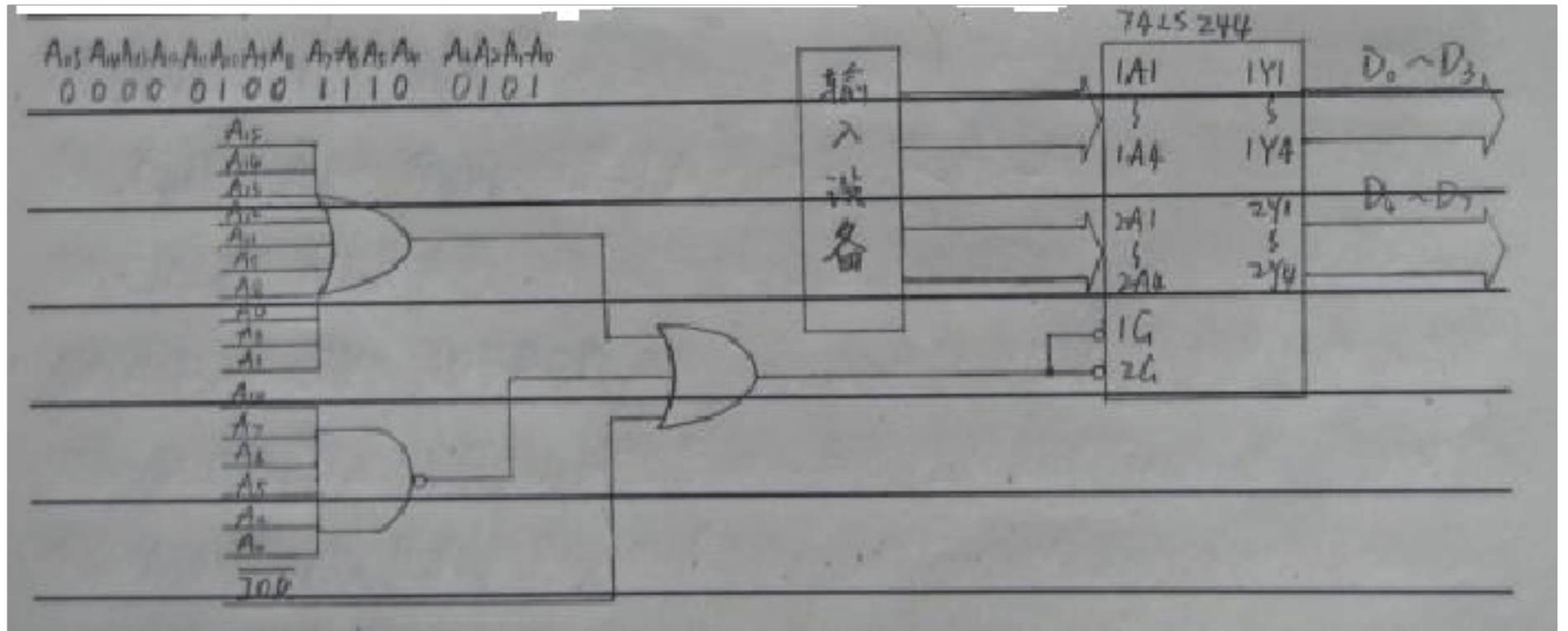
解: 由于片内有 16 个端口, 非别占用 300~30FH 地址。因此, 该接口模块的片选信号的译码电路设计时, A3~A0 不参加译码。其译码电路如图所示。



图

11. 在 IBM PC 系统中, 如果 AEN 信号未参加 I/O 端口地址译码, 会出现什么问题在没有 DMA 机构的其它微机系统中, 是否存在同样的问题
- 答: 在 IBM PC 系统中, 如果 AEN 信号未参加 I/O 端口地址译码, 则会出现 DMA 机构与 I/O 端口竞争总线的问题。在没有 DMA 机构的其他微机系统中, 不会存在同样的问题。
12. 在 8088 CPU 工作在最大方式组成的微机系统中, 利用 74LS244 设计一个输入端口, 分配给该端口的地址为 04E5H, 试画出连接图。

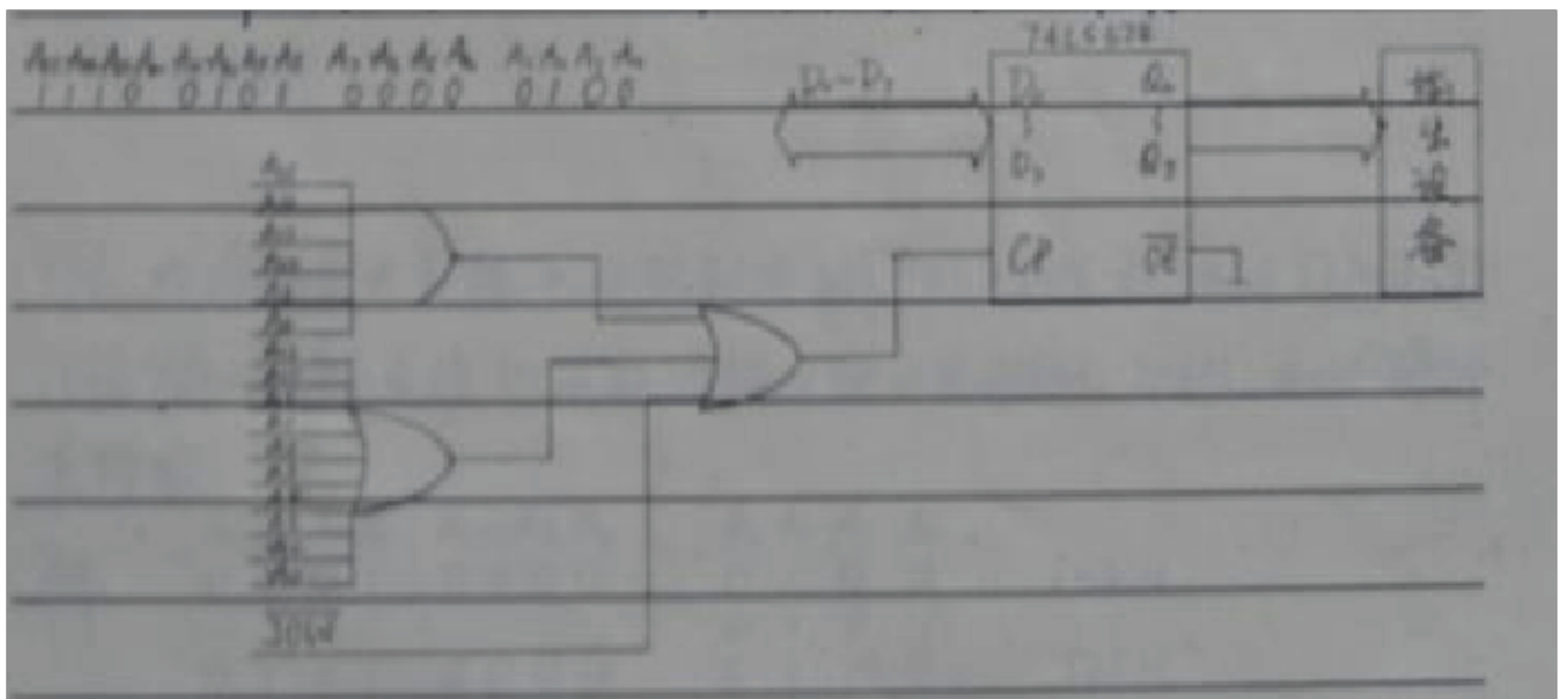
解：连接图如图所示。



图

13. 在上题的基础上，利用 74LS374 设计一个输出端口，分配给该端口的地址为 E504H，试画出连接图。若上题中输入端口的 bit3、bit4 和 bit7 同时为 1，将内存 BUFFER 开始的连续 10 个字节单元的数据由 E504H 端口输出；若不满足条件，则等待。试编写程序。

解：连接图如图所示。



图

程序如下：

```
MOV CX, 10
```

```
LEA SI, BUFFER
```

```
MOV DX, 04E5H  
  
WAIT1: IN AL, DX  
  
AND AL, 98H  
  
CMP AL, 98H  
  
JNZ WAIT1  
  
MOV DX, 0E504H  
  
L1: MOV AL, [SI]  
  
OUT DX, AL  
  
INC SI  
  
LOOP L1  
  
HLT
```

14. 在 8086 最大系统中，分别利用 2 片 74LS244 和 74LS273 设计 16 位输入和输出接口，其起始端口地址为 504H、506H，画出硬件连接图

解：硬件连接图如图所示。

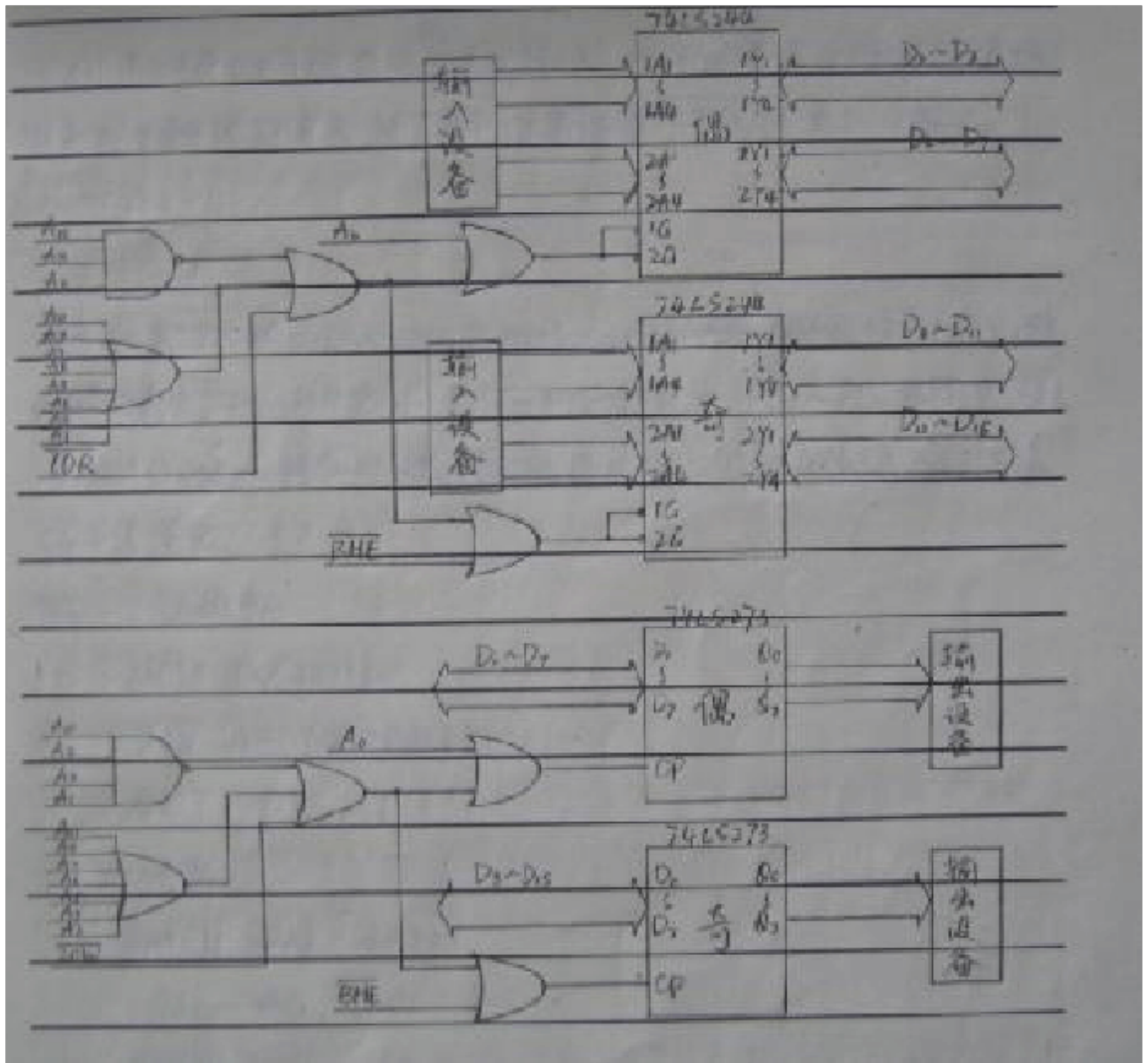


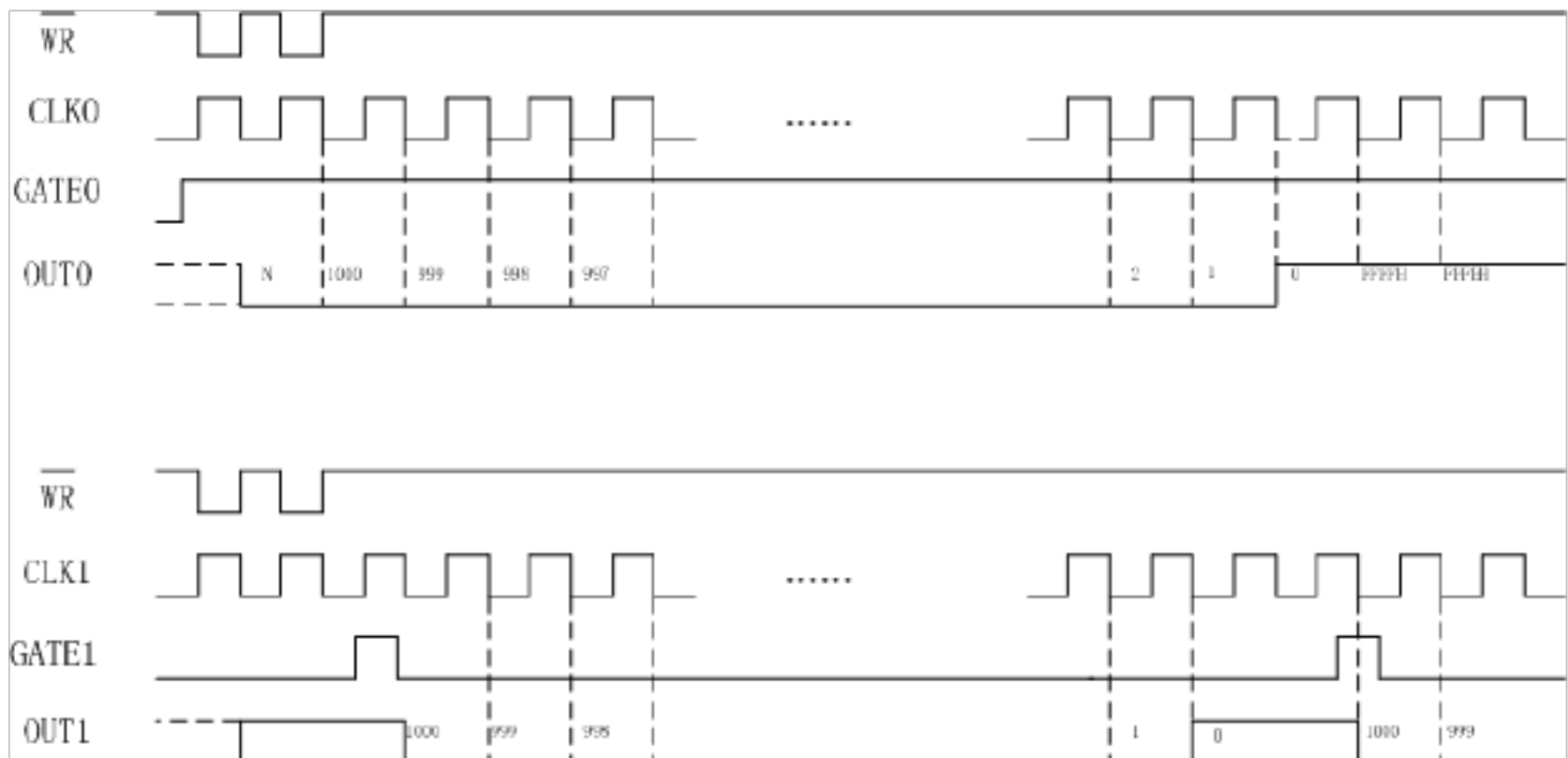
图 硬件连接图

9 章习题

1. 下列地址哪些能够分配给 8253/8254 的计数器 0 为什么 (23H、54H、97H、51H、FCH、59H)

解：因为已经约定采用 A2, A1 作为 8253 的内部地址线，而且计数器 0 的地址为 00，所以在题中所给的地址中只有 51H, 59H 的 A2 和 A1 同时为 0，即：A2A1=00。

2. 如果计数器 0 设定为方式 0，GATE0=1，CLK0=1MHz，时常数为 N=1000，请画出 OUT0 的波形。如果计数器 1 设定为方式 1，其它参数与计数器 0 相同，画出 OUT1 的波形。



3. 编程实现：将 8253 计数器 0 设置成方式 4，并置时常数 10000，然后处于等待状态，直到 CE 的内容  $\leq 1000$  后再向下执行。

解：

```

MOV DX, COUNTD    ;写入计数器 0 的方式控制字

MOV AL, 00111000B

OUT DX, AL

MOV DX, COUNTA    ;设置计数器 0 的常数

MOV AX, 10000

OUT DX, AL

XCHG AL, AH

OUT DX, AL

L1: MOV DX, COUNTD    ;写入计数器 0 的方式控制字

MOV AL, 0H

OUT DX, AL

MOV DX, COUNTA    ;读入 CE

IN AL, DX

MOV AH, AL

IN AL, DX

XCHG AL, AH

```

```
CMP AX, 1000 ; 判别 CE 当前大小
```

```
JA L1
```

4. 利用 8253 可以实现确定时间的延迟，编程实现延时 10 秒的程序段（设可以使用的基准时钟为 1MHz）。

解：本题使用计数器 0 和计数器 1，并且计数器 0 的输出 OUT0 作为计数器 1 的时钟输入 CLK1。

程序如下：

```
MOV DX, COUNTD ;写计数器 0 方式控制字
```

```
MOV AL, 00110100B
```

```
OUT DX, AL
```

```
MOV DX, COUNTA
```

```
MOV AX, 10000 ;写计数器 0 时常数，分频得到 100Hz 时钟频率
```

```
OUT DX, AL
```

```
XCHG AL, AH
```

```
OUT DX, AL
```

```
MOV DX, COUNTD ; 写计数器 1 方式控制字
```

```
MOV AL, 01110000B
```

```
OUT DX, AL
```

```
MOV DX, COUNTB
```

```
MOV AX, 999 ; 分频得到时钟频率。（在方式 0 下，时常数为 N 时，
```

```
; OUT 输出的低电平宽度为 N+1).
```

```
OUT DX, AL
```

```
XCHG AL, AH
```

```
OUT DX, AL
```

```
L1: ; 延时
```

```
MOV DX, COUNTD ; 当前 CE 的内容锁存到 OL
```

```
MOV AL, 01000000B
```

```
OUT DX, AL
```

```
MOV DX, COUNTB
```

```
IN AL, DX
```

```
MOV AH, AL
```

```
IN AL, DX
```

```
XCHG AL, AH
```

```
CMP AX, 999
```

```
JNA L1 ; 延时结束, 则继续执行, 否则, 跳到 L1, 继续延时
```

```
...
```

5. 比较 8254 方式 0 与方式 4、方式 1 与方式 5 的区别

方式 0 与方式 4

方式 0 OUT 端计数过程中为低, 计数值减为 0 时, 输出变高

方式 4 OUT 端计数过程中为高, 计数值减为 0 时输出宽度为 1 个 CLK 的负脉冲

方式 1 与方式 5

方式 1 OUT 端输出宽度为 n 个 CLK 的低电平, 计数值减为 0 时, 输出为高

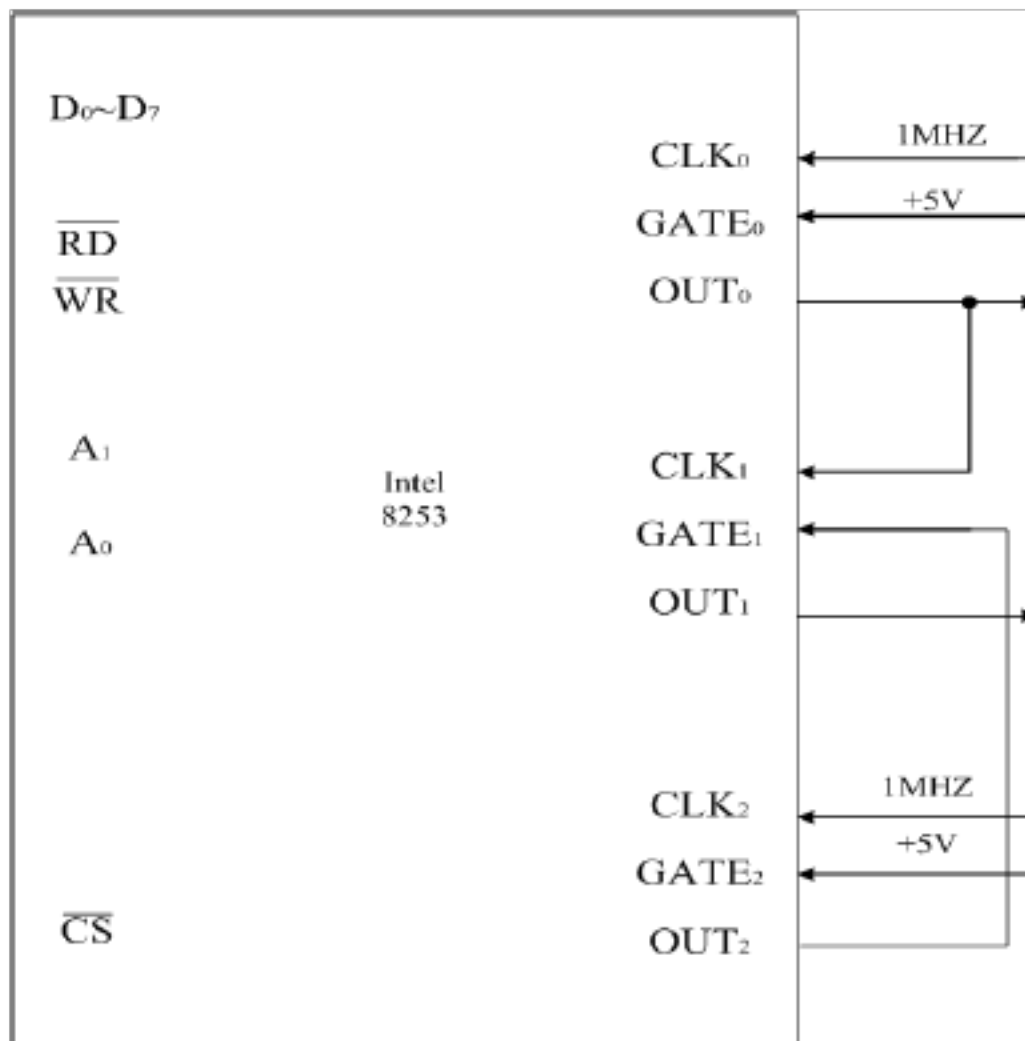
方式 5 OUT 端计数过程中为高, 计数值减为 0 时输出宽度为 1 个 CLK 的负脉冲

6. 在 8088 最小系统中, 8253 的端口地址为 284H~287H。系统提供的时钟为 1MHz, 要求在 OUT0 输出周期为 20 微秒的方波, 在 OUT1 输出周期为 200 微秒, 其中每周期为负的时间是 180 微秒的信号。请编写 8253 的初始化程序。

解:

OUT0 输出为 20 微妙方波, 可用方式三直接产生, OUT1 输出波形与书中例类似, 可用其中思想产生此信号。如果允许增加外部器件, 也可在例的基础上, 将 OUT 端信号通过与非门取反, 这样即可产生题目要求信号。本例利用例思想解答





MOV DX, 287H ;写计数器 0 控制方式字

MOV AL, 00010110B

OUT DX, AL

MOV DX, 284H ; 写计数器 0 时常数

MOV AL, 20

OUT DX, AL

MOV DX, 287 ; 写计数器 2 控制方式字

MOV AL, B

OUT DX, AL

MOV DX, 286H ; 写计数器 2 时常数

MOV AL, 200

OUT DX, AL

MOV DX, 287H

MOV AL, 01010010B ; 写计数器 1 控制方式字

OUT DX, AL

MOV DX, 285H

MOV AL, 9 ; 写计数器 1 时常数

OUT DX, AL

7. 通过 8253 计数器 0 的方式 0 产生中断请求信号，现需要延迟产生中断的时刻，可采用：

- A) 在 OUT0 变高之前重置初值；
- B) 在 OUT0 变高之前在 GATE0 端加一负脉冲信号；
- C) 降低加在 CLK0 端的信号频率；
- D) 以上全是。

解：D

A:方式 0 下，在 OUT0 变高之前重置初值，将在下一个 CLK 的下降沿使时常数从 CR 读入 CE 并重新计数。

B:在 OUT0 变高之前在 GATE0 端加一负脉冲信号可以延时一个时钟周期，达到延时的目的。

C:降低加在 CLK0 端的信号频率，可以增大时钟周期，达到延长 OUT0 端低电平的时间。

(注：A 中，如果重置的初值为 1，则不会达到延时的效果)

8. 已知 8254 计数器 0 的端口地址为 40H，控制字寄存器的端口地址为 43H，计数时钟频率为 2MHz，利用这一通道设计当计数到 0 时发出中断请求信号，其程序段如下，则中断请求信号的周期是 ms。

```
MOV AL, 00110010B
```

```
OUT 43H, AL
```

```
MOV AL, 0FFH
```

```
OUT 40H, AL
```

```
OUT 40H, AL
```

9. 若 8254 芯片可使用的 8086 端口地址为 D0D0H~D0DFH，试画出系统设计连接图。设加到 8254 上的时钟信号为 2MHz，

(1) 利用计数器 0~2 分别产生下列三种信号：

- ① 周期为 10us 的对称方波

② 每 1s 产生一个负脉冲

③ 10s 后产生一个负脉冲

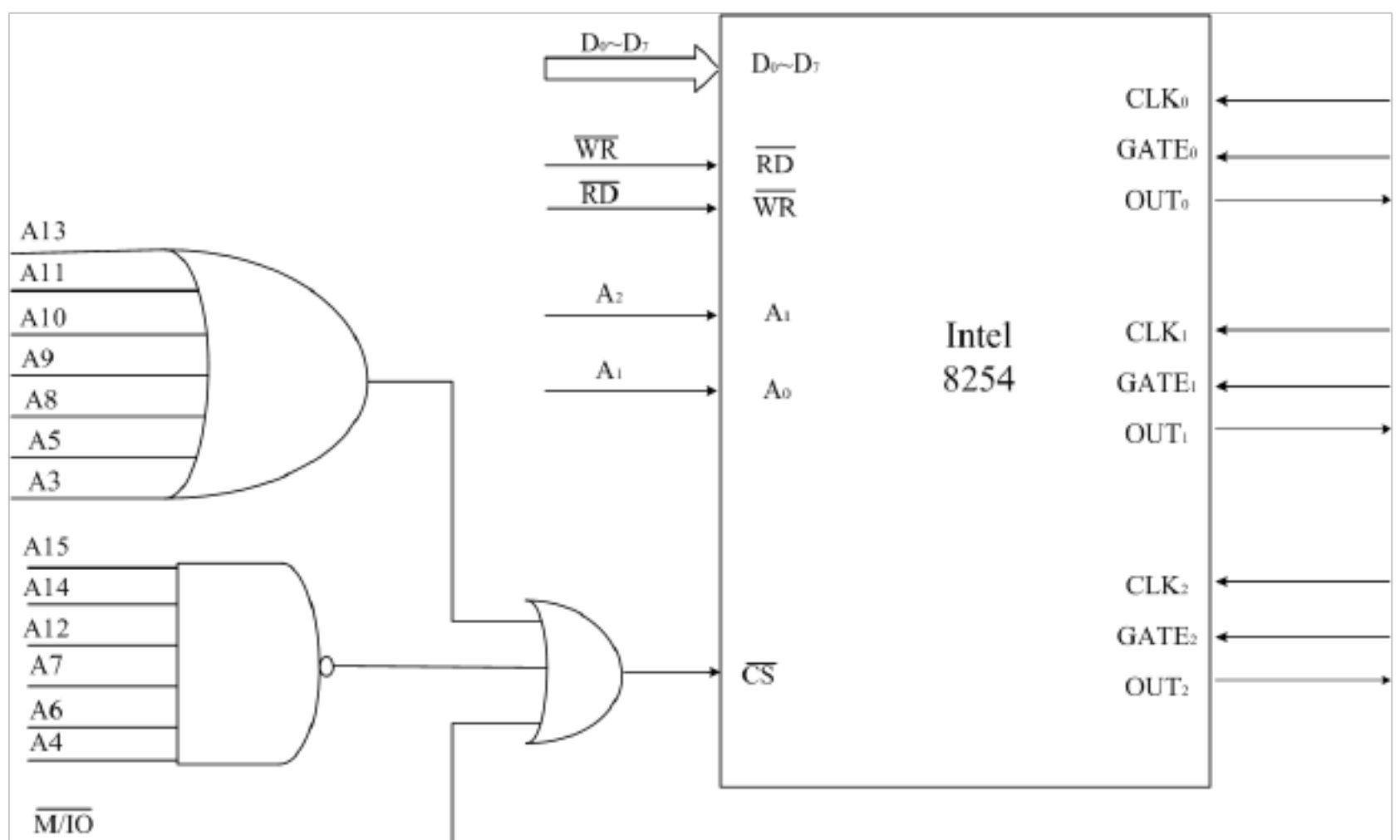
每种情况下，说明 8254 如何连接并编写包括初始化在内的程序段。

(2) 希望利用 8086 通过一专用接口控制 8253 的 GATE 端，当 CPU 使 GATE 有效开始，20us 后在计数器 0 的 OUT 端产生一个正脉冲，试设计完成此要求的硬件和软件。

解：

(1) 选用 D0D0H~D0DFH 中的偶地址 D0D0, D0D2, D0D4, D0D6 为基本地址作为 8254 的端口地址，设 8086

工作在最小方式下。8254 端口地址译码电路如下图：



计数器 0 输入端加 2MHz 的时钟信号，GATE0 加 +5V 电压，输出 OUT0 信号为周期为 10μs 的对称方波。

初始化代码：

```
MOV DX, 0D0D6H ; 写计数器 0 工作方式
```

```
MOV AL, 00010110B
```

```
OUT DX, AL
```

```
MOV DX, 0D0D0H ; 写计数器 0 时常数
```

```
MOV AL, 20
```

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/867153104126010003>