

现代电子学实验报告

实验题目： 低频数字相位测量仪

姓 名：

年 级： 2012 级

指导教师：

完成日期： 2015 年 10 月 14 日

原创性声明

本人声明本实验报告涉及的电路图、程序代码均为自己设计，没有抄袭他人的成果。
特此声明！

声明人：_____

目 录

摘要.....	1
一、系统设计要求与技术指标.....	2
二、方案选择与可行性论证.....	2
2.1 总体框架.....	2
2.2 频率测量.....	2
2.3 相位测量.....	3
三、系统模块设计.....	3
3.1 信号整形电路的设计.....	3
3.2 FPGA 数据采集电路的设计.....	5
3.2.1 硬件部分.....	5
3.2.2 精度分析.....	5
3.2.3 软件部分.....	5
3.3、单片机数据运算控制电路的设计.....	6
3.3.1 硬件部分.....	6
3.3.2 软件部分	7
3.4、数据显示电路的设计.....	10
3.4.1 显示部分设计方案	10
3.4.2 数据显示电路.....	10
四、参考资料.....	12
附录.....	13
主要器件介绍.....	13
FPGA 数据采集程序	15
硬件电路图.....	21

低频数字式相位测量仪的设计

摘要：基于过零检测法原理，以单片机 89C51 和可编程逻辑器件 CPLD 为核心，从数据采集、数据运算控制、显示等电路功能电路设计，实现了一个低频数字式相位测量仪系统。在此过程中，采用 MCU 与 FPGA 相结合的方案，将软件部分为数据采集、运算、控制和单片机控制显示两部分，充分发挥单片机具有的控制、运算能力强，FPGA 数据采集速度快的特点来对实现各个模块功能进行程序设计，同时还对相关程序进行调试和仿真，验证了其可行性，使其性能接近最优。而对硬件电路设计包括采用施密特触发器组成的整形电路、显示电路、FPGA 芯片及单片机外围电路等，实现了对频率信号频率、相位差的显示，同时配合系统完成数据采集、运算、控制等功能。

在上述基础上，本文还对有关频率信号的频率、相位测量技术及理论进行了研究和分析，对 FPGA 可编程芯片、单片机控制等的运用进行了学习，从而为课题研究奠定了理论基础。

关键字： 数据采集； 单片机； FPGA ； 频率； 相位差；

一、系统设计要求与技术指标

设计并制作一个低频数字相位测量仪，其设计要求如下：

- (1) 频率范围：20 Hz~20 kHz。
- (2) 相位测量仪的输入阻抗 $\geq 100\text{ k}\Omega$ 。
- (3) 允许两路输入正弦信号峰-峰值可分别在 1~5 V 范围内变化。
- (4) 相位测量绝对误差 $\leq 2^\circ$ 。
- (5) 具有频率测量及数字显示功能。
- (6) 相位差数字显示：相位读数为 0~359.9，分辨力为 0.1。

二、方案选择与可行性论证

2.1、总体框架

根据系统的设计要求，本系统可分为三大基本组成部分：数据采集电路、数据运算控制电路和数据显示电路。考虑到 FPGA/CPLD 具有集成度高，I/O 资源丰富，稳定可靠，可现场在线编程等优点，而单片机具有很好的人机接口和运算控制功能，本系统拟用 FPGA/CPLD 和单片机相结合，构成整个系统的测控主体。

FPGA 主要负责测量两个同频待测正弦信号的频率和相位差所对应的时间差。

单片机则负责读取 FPGA 测量到的数据，并根据这些数据计算待测正弦信号的频率及两路同频正弦信号之间的相位差同时通过功能键切换显示出待测信号的频率和相位差。

同时，由于 FPGA 对脉冲信号比较敏感，而被测信号是周期相同，相位不同的两路正弦波信号，为了准确地测出两路正弦波信号的相位差及其频率我们需要对输入波形进行整形，使正弦波变成方波信号，并输入 FPGA 进行处理。

综上所述，这个系统的总体原理框图如图 2.1 所示。

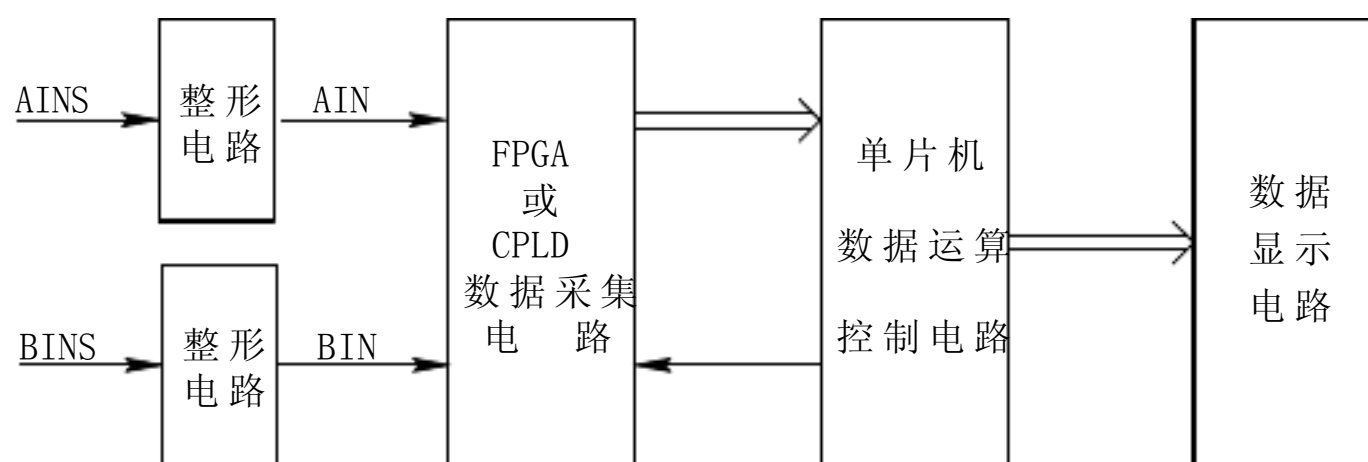


图 2.1 系统原理框图

根据题目要求，主要任务是频率和相位测量，几种测量方案比较如下：

2.2、频率测量

方案一：计数式直接测频法

这是指在一定的时间间隔 T 内，对输入的周期信号脉冲计数为 N ，则信号的频率为 $f_x = N / T$ 。

方案二：测周法

设信号周期为 T_x ，由晶体振荡器（或经分频电路）输出时标为 T_s 的脉冲，

将 T_x 与时标 T_s 进行比较, 若在 T_x 期间脉冲技术值为 N , 则 $T_x = NT_s$ 。

综合考虑量化误差与标准误差得出: 测量低频时不宜采用直接测频方法, 宜采用测低频信号的周期再换算成被测信号的频率, 从而提高测量的精确度。

为了提高测量准确度, 把被测信号经过几级 10 分频电路, 使周期扩大 10, 100, 1000 倍等, 主门开放时间 & 脉冲数 N 均增长同样倍数, 再通过内部电路自动移动小数点位置, 使显示的数值为被测信号的一个周期所对应的时间。利用这种“周期倍乘”的方法可以减少 1 误差, 从而提高了测量的准确度。

2.3、相位测量

我们采用直读式数字相位计, 其基本原理是基于时间间隔测量法, 通过相位-时间转换器, 将相位差 的两个信号 (分别称参考信号和被测信号) 转换成一定的时间间隔 的起始和停止脉冲。相位测量方案通常分为三种。

方案一: 将被测的两路正弦波信号经过波形整形为方波信号, 利用异或门电路进行鉴相处理, 将得到的脉冲序列经过 RC 平滑滤波取出其直流分量, 该直流电平的幅值与两路信号的相位差成正比, 将此信号送入 A/D 转换器由单片机进行运算处理从而计算出相位差值。

方案二: 采用脉冲填充计数法, 将正弦信号经波形整形称为方波信号, 其前后沿分别对应于正弦波的正相过零点与负相过零点, 对两路方波信号进行异或操作之后输出脉冲序列的脉宽可以反映两列信号的相位差, 以输入信号所整成的方波信号作为基频, 经锁相环倍频得到的高频脉冲作为闸门电路的计数脉冲, 由单片机对获取的计数值进行处理得到两路信号的相位差。

方案三: 将两路被测正弦波信号整成方波信号, 在一路信号的上升沿来时鉴相部分同方案二, 将两路方波信号异或后与晶振的基准频率进行与操作, 得到一系列的高频窄脉冲序列。通过两片计数器同时对该脉冲序列进行计数, 一路方波信号送入单片机外部中断口, 作为控制信号控制两片计数器, 得到的两路计数值送入单片机进行处理得到相位差值。

对以上三种方案进行比较, 方案一在低频段时, RC 滤波电路的输出波动很大, 难以达到要求的相位精度, 而方案二在所测频率较高时, 受锁相环工作频率等参数的影响会造成相位差测量的误差, 极大地影响测量的精度, 采用方案三由高精度的晶振产生稳定的基准频率, 可以满足系统高精度、高稳定度的要求。

三、系统模块设计

3.1、信号整形电路的设计

方案一: 最简单的信号整形电路就是一个单门限电压比较器 (如图 3.11 所示), 当输入信号每通过一次零时触发器的输出就要产生一次突然的变化。当输入正弦波时, 每过一次零, 比较器的输出端将产生一次电压跳变, 它的正负向幅度均受到供电电源的限制, 因此输出电压波形是具有正负极性的方波, 这样就完成了电压波形的整形工作。

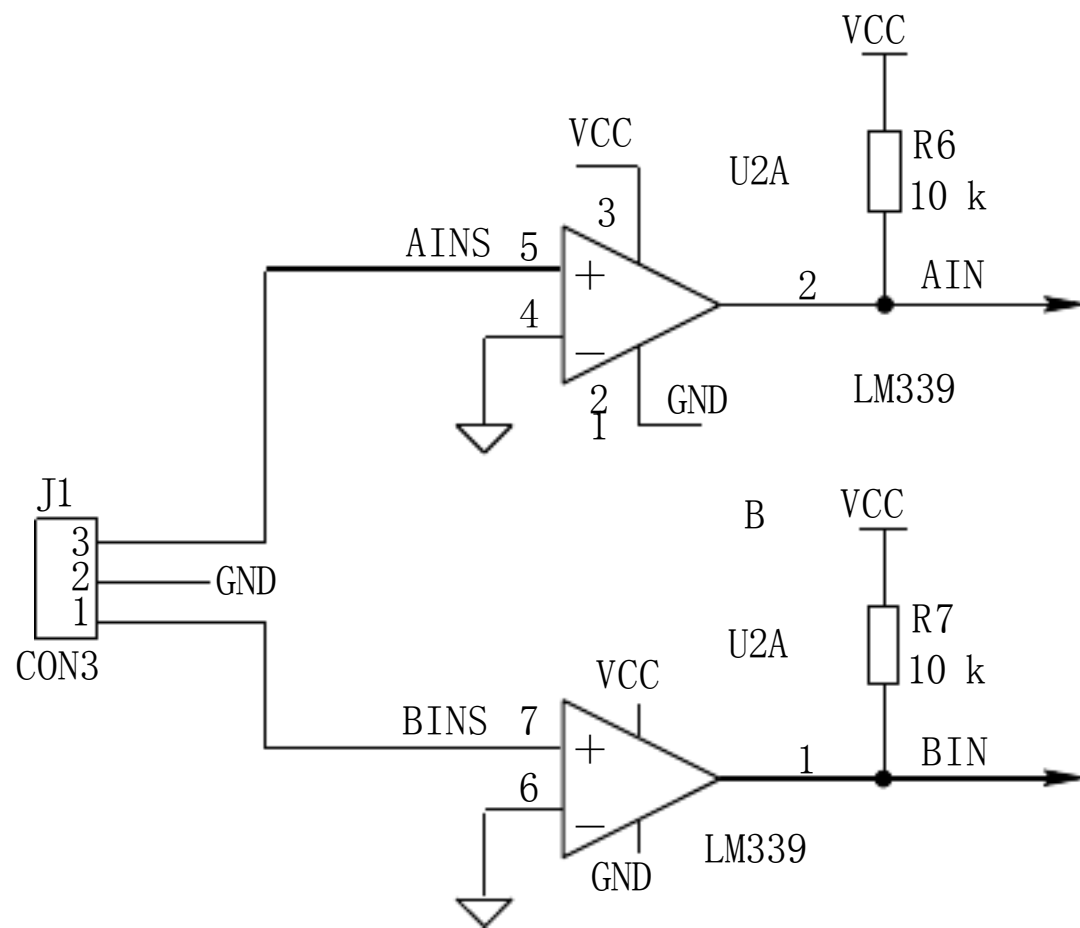


图 3.11 采用单门限触发器的整形电路

方案二：使用施密特触发器组成的整形电路。施密特触发器在单门限电压比较器的基础上引入了正反馈网络。由于正反馈的作用，它的门限电压随着输出电压 U_o 的变化而改变，因此提高了抗干扰能力。本系统中我们使用两个施密特触发器对两路信号进行整形，电路图如图3.12所示。

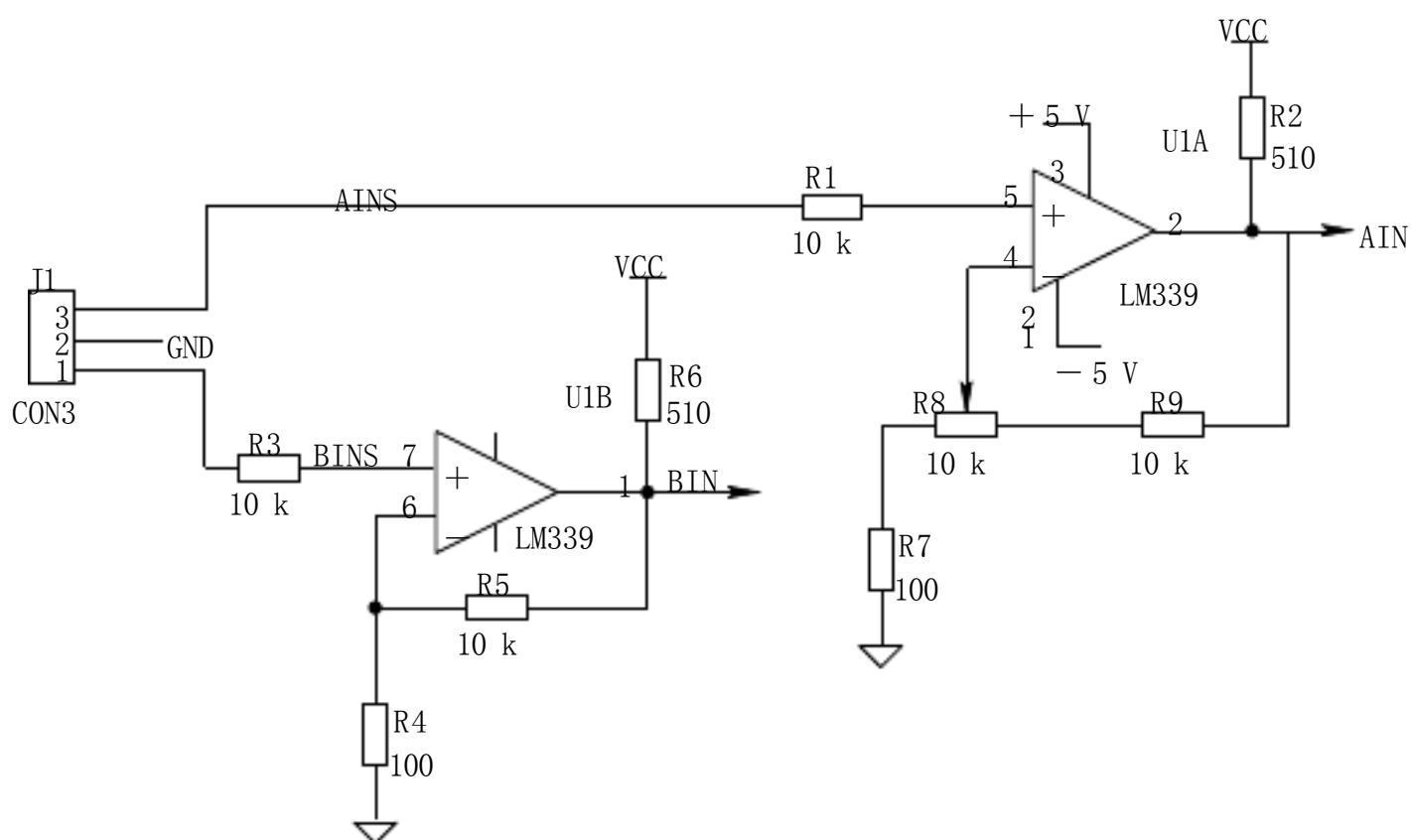


图 3.12 采用施密特触发器的整形电路

方案比较：为了避免过零点多次触发的现象，提高抗干扰能力，减少计数误差，故采用方案二电路。图中，R2 和 R6 均为上拉电阻，可选 10K。通过调节电位器 RV1，使得两个施密特触发器的门限电平相等。

3.2、FPGA 数据采集电路的设计

FPGA 数据采集电路的功能就是实现将待测正弦信号的周期、相位差转变为 19 位的数字量。FPGA 数据采集的硬件电路我们可采用 FPGA 下载板来实现，该下载板包含 FPGA 芯片、下载电路和配置存储器，其电路结构可参见对应的 FPGA 下载板说明书。本电路主要是进行 FPGA 的硬件描述语言(HDL)程序设计。

3.2.1、硬件部分：

根据系统的总体设计方案，FPGA 数据采集电路的输入信号有：CLK——系统工作时钟信号输入端；CLKAA, CLKBB——两路被测信号输入端；EN——单片机发出的传送数据使能信号，在 EN 的上升沿，FPGA 向单片机传送数据；RSEL——单片机发出的传送数据类型信号，当 RSEL=0 时，FPGA 向单片机传送被测信号频率数据，当 RSEL=1 时，FPGA 向单片机传送被测信号相位差数据。FPGA 数据采集电路的输出信号有：DATA[18..0]——FPGA 到单片机的数据输出口，由输出控制信号 EN 和 RSEL 控制。

3.2.2、精度分析

本数字式相位测量仪的要求是测试并显示输入信号频率范围在 20Hz~20KHz,测试并显示 a、b 的相位差，相位差的变化范围为 $\phi=0\sim 359.9$ ，相位差的显示分辨力为 0.1，要求测量相位的绝对误差 ≤ 2 ，由此可知：

$$f_{\min} = 20\text{Hz}$$

$$T_{\max} = 1/f_{\min} = 50\text{ms}$$

$$t = T_{\max}$$

$$f_{\max} = 20\text{KHz}$$

$$T_{\min} = 1/f_{\max} = 50\mu\text{s} \quad 2$$

$$t = 2/360 \cdot T_{\min} = 2/360 \cdot 50\mu\text{s} = 0.27\mu\text{s}$$

由以上分析可知，要保证系统要求的精度，必须采用低于 $1/0.27\mu\text{s}=3.7\text{MHz}$ 的采集速度对信号周期进行计数，为进一步提高测量精度，同时便于计算，我们采用了 10MHz 方波信号作为 FPGA 数据采样信号，FPGA 在 10MHz 时钟信号作用下对待测信号周期计数，并对两个同频正弦信号的相位差所对应的时间差进行计数，分别得到 19 位数字量的物理单位是 0.1us. 本设计采用 20MHz 的高频晶体振荡源，由 FPGA 内部的分频模块对 20MHz 信号进行二分频，得到 10MHz 的数据采样信号，其采样周期 0.1us。

为了实现中低频测量精度的要求，我们可采用 10MHz 的信号来循环计数被测信号的周期和两个同频正弦信号的相位差所对应的时间差值，时间单位为 0.1us。也就是说，计数周期和相位差所对应的时间差值的精度是 0.1us。20KHz 时达到 10KHz,可以实现高频多测量，低频少测量的效果，时间计数准确可靠，为后面单片机的数据处理提供了稳定、可靠的数据源。

3.2.3、软件部分：

根据以上设计思想及精度要求，FPGA 数据测量电路可设计成五个模块：

时钟信号分频模块 FPQ，作用是：将输入的 20MHz 的信号分频成 10MHz 的测

控基准时钟信号 CLKF。

测量控制信号发生模块 KZXH，作用是：根据两路被测信号整形后的方波信号 CLKAA 和 CLKBB，产生有关测控信号，包括时间检测使能信号 ENA，时间检测清零信号 CLRA，锁存频率数据控制信号 LOADA，锁存两路被测信号相位差数据控制信号 CLB。

被测信号频率和相位差数据检测模块 SJJC，作用是：在控制信号 ENA 和 CLRA 的控制下，对测控基准时钟信号 CLKF 进行计数和清零，以便获取有关频率和相位差数据。

数据锁存模块 SJSC，作用是：在 LOADA 的上升沿将频率数据锁存在 DATAA 中，在 CLB 的下降沿时将相位差数据存在 DATAB 中，

输出选择模块 SCXZ，作用是：根据单片机发出的控制信号传送使能信号 EN 和输出数据类型选择信号 RSEL，将被测信号频率数据或相位差数据输出。

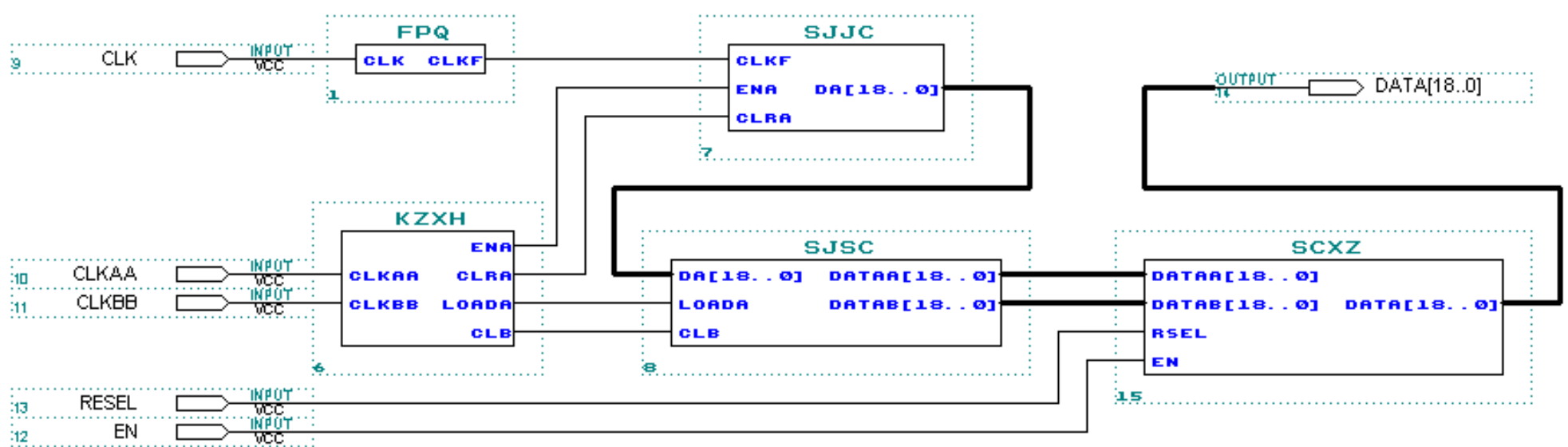


图 3.2.3 顶层设计模块

3.3、单片机数据运算控制电路的设计

单片机数据运算控制电路的功能就是负责读取 FPGA/CPLD 采集到的数据，并根据这些数据计算待测正弦信号的频率及两路同频正弦信号之间的相位差，同时显示出待测信号的频率和相位差。

3.3.1、硬件部分：

单片机数据运算控制电路的硬件可由单片机、晶振电路、按键及显示接口电路等组成。使用单片机的 P0 口，P2 口及 P1.0、P1.1、P1.2、P1.3 接收 FPGA 送来的对应于正弦信号的周期、相位差的 19 位数据信号。该电路的工作原理是：单片机通过向 FPGA 发送数据传送指令，使 FPGA 按照单片机的要求发送数据，同时通过使用单片机的串口，将待显示的数据信息送给数据显示电路显示。其原理图如图 3.31 所示。

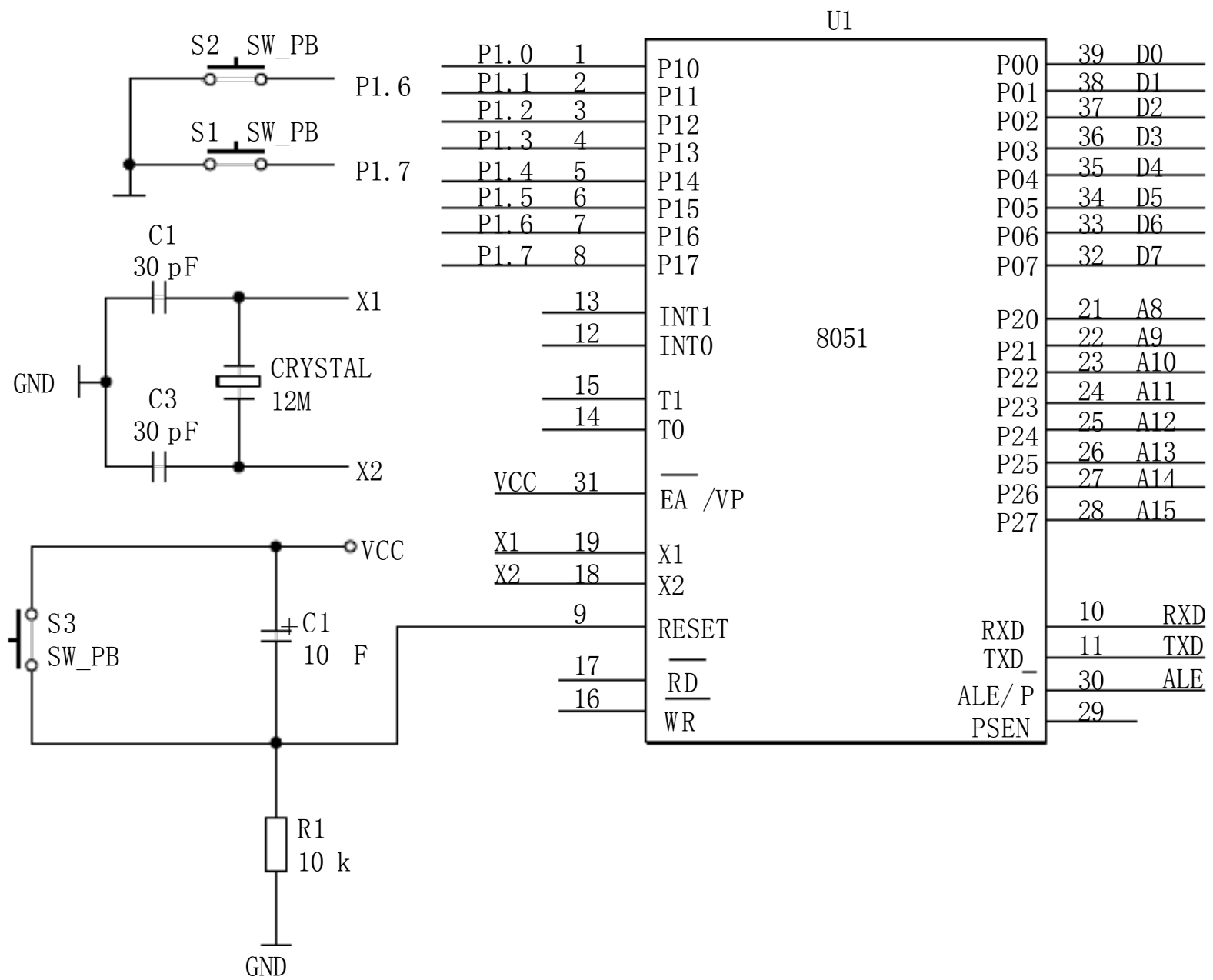
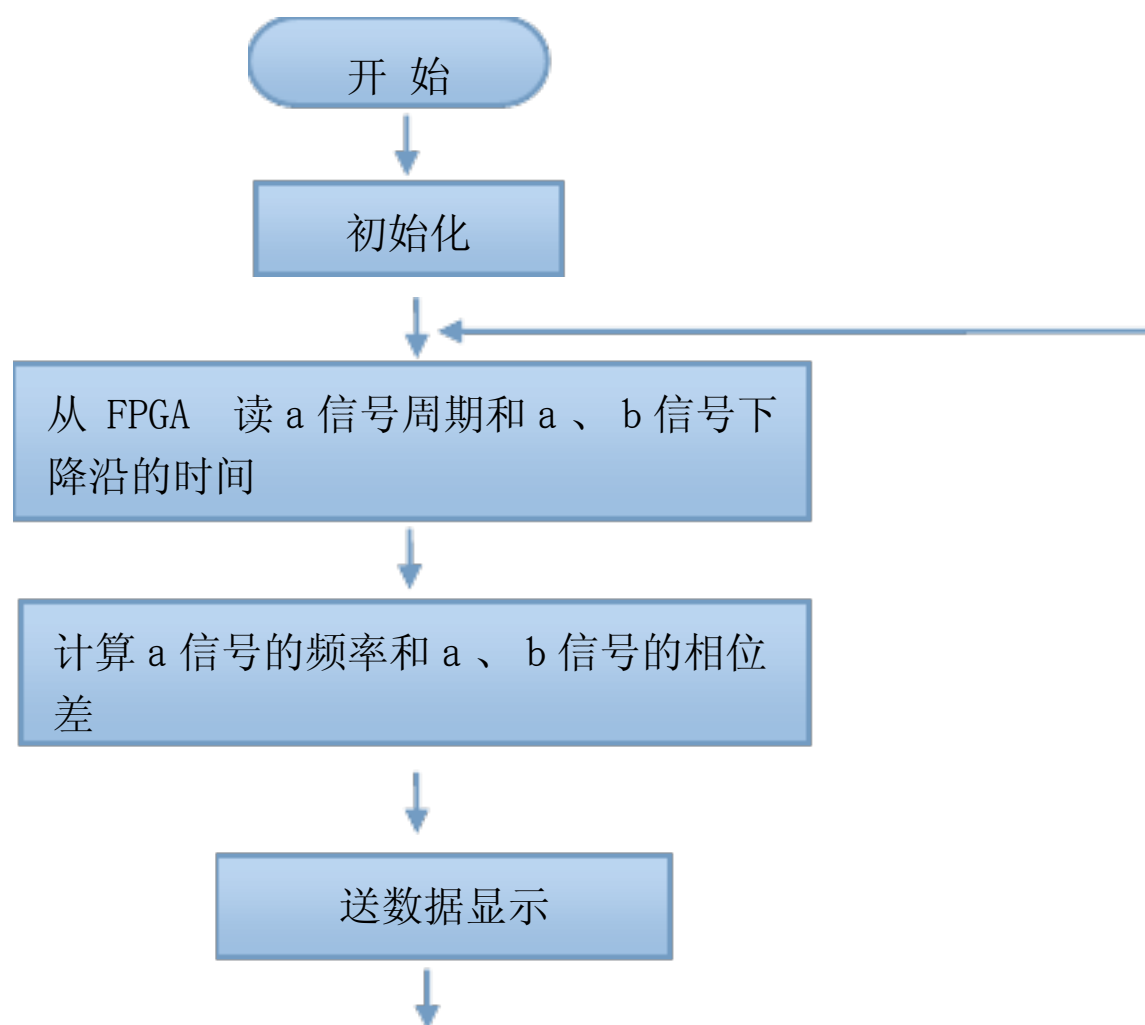


图 3.31 单片机系统原理图

3.3.2 软件部分:

单片机数据运算控制电路的软件设计思路是，单片机不断地从FPGA读取信号的周期和 a、b 信号相位差所对应的时间差，读取数据后进行有关计算，并通过转换后，送出给显示模块，实现频率和相位差的显示。单片机主程序流程图



如图 3.32 所示。

图 3.32 主程序流程图

单片机在获取 FPGA 的数据时，开始的是一般的读取指令 MOV 指令，分别从单片机的 P0 口、P2 口、P1 口的低 3 位读入数据，组合为一个 19 位的二进制数据，通过控制口线 P1.3、P1.4 控制 FPGA 释放数据。经过多次测试，采用这种方式获得了比较好的效果。单片机读取 FPGA 数据的程序流程图如 3.33 所示。

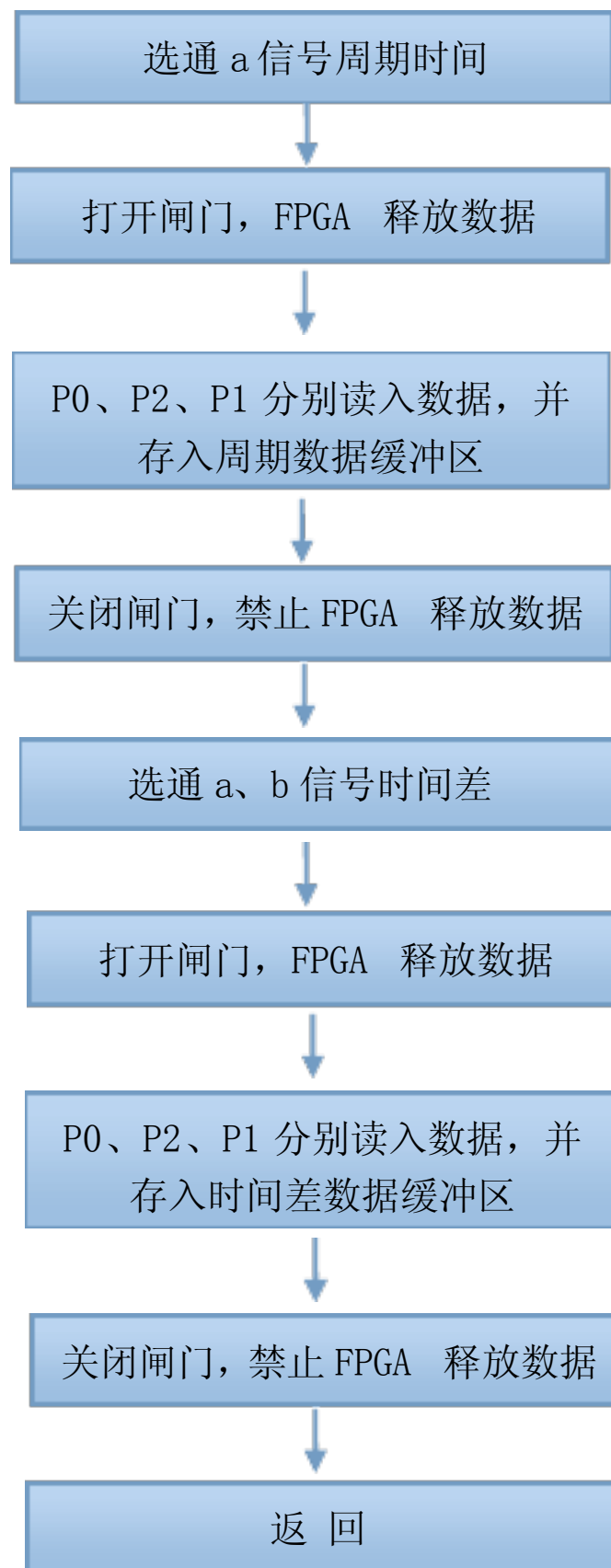


图 3.33 读 FPGA 数据程序流程图

单片机从 FPGA 读取信息后，对信息进行计算，算出信号 a 的频率，其流程图如图 3.34 所示。

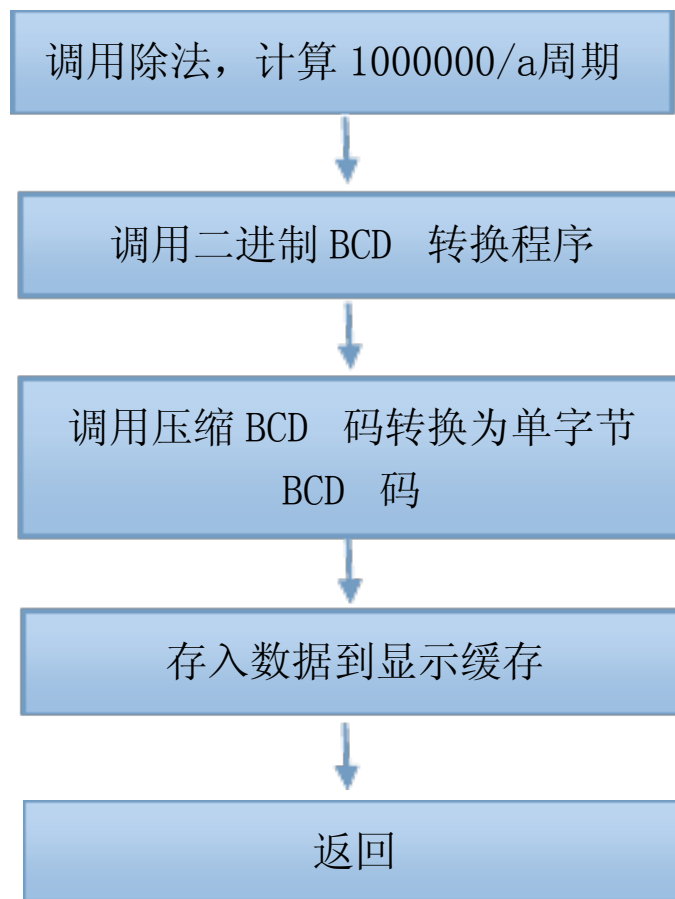


图 3.34 计算 a 的频率程序流程图

由于 a、b 信号是两路频率相同、相位不同的正弦波信号，因此经过整形电路后形成频率相同，时间上不重合的两路信号，这样，FPGA 可以计数出两路信号的时间差从而可以计算出 a、b 信号的相位差，其程序流程图如图 3.35 所示。

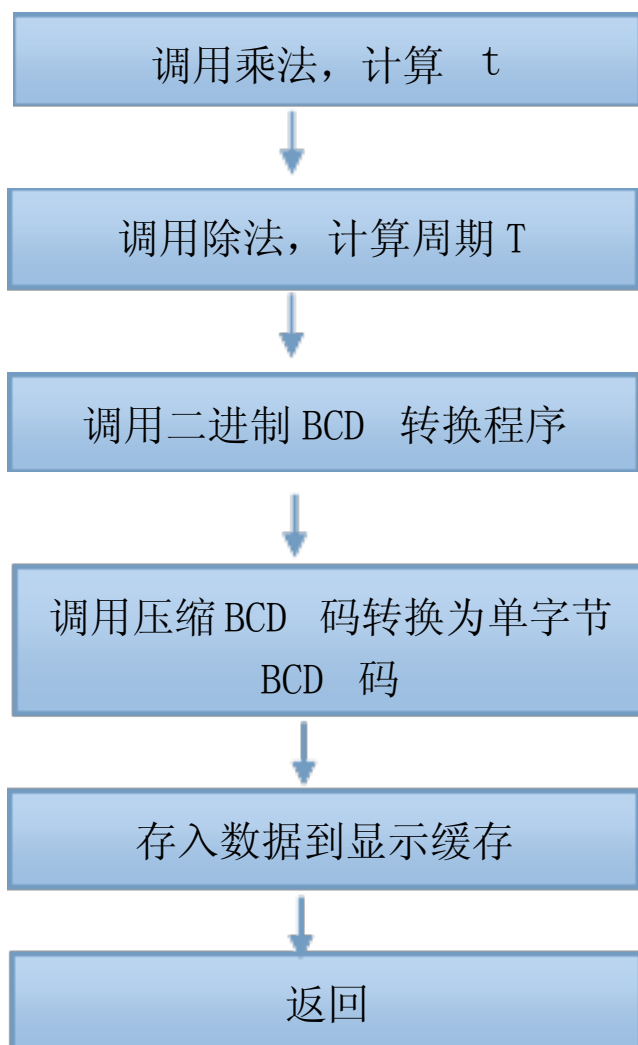


图 3.35 计算 a、b 相位差的程序流程图

最后单片机需要将信号送到输出端显示出来，即单片机通过显示子程序将信息送到显示电路显示出来，程序流程图如图 3.36 所示。

以上内容仅为本文档的试下载部分，为可阅读页数的一半内容。如要下载或阅读全文，请访问：<https://d.book118.com/936031111105011010>